



T.C.

SELÇUK ÜNİVERSİTESİ

FEN BİLİMLERİ ENSTİTÜSÜ

GÖRÜNTÜ İŞLEME UYGULAMALARI İÇİN FPGA GELİŞTİRME KARTI TASARIMI VE GERÇEKLEŞTİRİLMESİ

Kemal ERDOĞAN

YÜKSEK LİSANS TEZİ

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Temmuz-2013

KONYA

Her Hakkı Saklıdır

ÖZET

YÜKSEK LİSANS TEZİ

GÖRÜNTÜ İŞLEME UYGULAMALARI İÇİN FPGA GELİŞTİRME KARTI TASARIMI ve GERÇEKLEŞTİRİLMESİ

Kemal ERDOĞAN

Selçuk Üniversitesi Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman: Yrd. Doç. Dr. Nihat YILMAZ

2013, 68 Sayfa

Jüri
Danışman Yrd. Doç. Dr. Nihat YILMAZ
Doç. Dr. Salih GÜNEŞ
Yrd. Doç. Dr. Ömer Kaan BAYKAN

Bu yüksek lisans tez çalışmasında, görüntü işleme uygulamalarında kullanılabilecek bir FPGA geliştirme kartının tasarımı yapılmıştır. Tasarlanan bu kartın Terasic firmasının ürettiği TRDB-D5M model kamera ile birlikte kullanılması planlandığından dolayı tasarımlarda yine aynı firmanın ürettiği "DE0 Nano Board" isimli geliştirme kartı örnek alınmıştır. Ayrıca tasarlanan geliştirme kartına aynı firmanın ürettiği TRDB-LTM isimli LCD panel bağlanmış ve görüntüler bu ekran üzerinde gösterilmiştir. Kartın tasarımında Altera marka Cyclone-IV ailesinden, 22,320 lojik elemana sahip bir FPGA kullanılmıştır.

Bu çalışma kapsamında üretilen geliştirme kartının üzerinde çalıştırılması amacıyla Terasic firmasının hazırladığı örnek bir uygulama düzenlenip geliştirilerek kullanılmıştır.

Çalışma sırasında öncelikle tasarlanan kartın devre şeması ve bağlantıları çizilmiş, baskı devresi hazırlanmıştır. Daha sonra Verilog dili kullanılarak yazılan hedef uygulama geliştirilmeye çalışılmış ve görüntü sensöründen alınıp ekrana verilen renkli görüntünün bir dip anahtar vasıtasıyla siyah-beyaz görüntüye dönüştürülmesi uygulaması hazırlanmıştır. Bu uygulama düzenlenirken ve denemeleri yapılırken Quartus II 10.1 Web Edition programı, devre bağlantıları ve baskı devre çizimlerinde Proteus 7 programı kullanılmıştır.

Tez kitapçığında çalışma süresince ve öncesinde yapılan araştırmalara yer verilmiş, yapılan tasarımda kullanılan elemanlar, birimler ve üzerinde çalışan uygulama ile ilgili hususlar detaylı bir şekilde anlatılmaya çalışılmıştır.

Hazırlanan kartta QFP tipi FPGA'ların teminindeki zorluk nedeniyle FBGA paket yapısına sahip FPGA kullanılmıştır.

Anahtar Kelimeler: Alanda Programlanabilir Kapı Dizisi, FPGA, FPGA Geliştirme Kartları, FPGA Geliştirme Setleri.

ABSTRACT

MS THESIS

DESIGN AND IMPLEMENTATION OF AN FPGA DEVELOPMENT BOARD FOR IMAGE PROCESSING APPLICATIONS

Kemal ERDOĞAN

THE GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCE OF SELÇUK UNIVERSITY
THE DEGREE OF MASTER OF SCIENCE
IN ELECTRICAL AND ELECTRONICS ENGINEERING

Advisor: Asst. Prof. Dr. Nihat YILMAZ

2013, 68 Pages

Jury
Advisor Asst. Prof. Dr. Nihat YILMAZ
Assoc. Prof. Dr. Salih GÜNEŞ
Asst. Prof. Dr. Ömer Kaan BAYKAN

In this master thesis study, design of an FPGA development board that could be used in image processing applications has made. Because of the board that has designed is planned to use with the video camera named as TRDB-D5M which is manufactured by Terasic Corporation, in designs Board named as "DE0 Nano Board" that is again manufactured by Terasic Corporation has been taken as the model. Also LCD screen named as TRDB-LTM which is manufactured by the same company has been connected to the development board that has been designed and images have been displayed on this screen. In the design of the board an FPGA has been used that has 22,320 logic elements, brand as Altera and is from Cyclone IV family.

A demonstration application which was prepared by Terasic Corporation has edited and used for operating on the development board that is produced within this study.

During the study, primarily circuit diagram and connections of the board have been drawed and printed circuit has been prepared. Then the target application has tried to developed by using Verilog language and the application that the colored image is taken from the image sensor displayed on the screen is converted to gray level image by a dip switch has been prepared.

While this application was being edited and tested Quartus II 10.1 Web Edition program has been used; for circuit connections and printed circuit drawings Proteus 7 program has been used.

In thesis booklet, research studies has been included during and before the thesis study; elements and units that have been used in the design of the board and the points related to the application that is runned on the board have been tried to explain in detail.

Because of the difficulty of the procurement of the QFP type FPGA, an FPGA that has a package type of FBGA has been used on the board was designed.

Keywords: Field Programmable Gate Array, FPGA, FPGA Development Boards, FPGA Development Kits.

ÖNSÖZ

Bu tez konusunun seçiminde ve çalışmanın sürdürülmesi sırasında katkıda bulunan danışman hocam Yrd. Doç. Dr. Nihat YILMAZ'a teşekkürlerimi sunuyorum.

Tez çalışmalarımı yürütürken ve hayatımın her anında yardımlarını esirgemeyerek bana sabırla destek veren aileme, dostlarıma ve hocalarıma saygı ve sevgilerimi sunarım.

Kemal ERDOĞAN
KONYA-2013

İÇİNDEKİLER

ÖZET ..... **iv**

ABSTRACT ..... **v**

ÖNSÖZ ..... **vi**

İÇİNDEKİLER ..... **vii**

SİMGELER VE KISALTMALAR ..... **viii**

1. GİRİŞ **1**

2. KAYNAK ARAŞTIRMASI **4**

3. MATERYAL VE YÖNTEM **12**

3.1. FPGA Geliştirme Kartları 12
3.2. FPGA Geliştirme Kartı için İhtiyaç Duyulan Birimler 19
3.2.1. Cyclone IV FPGA 20
3.2.2. Giriş çıkış birimleri 25
3.2.3. Hafıza birimleri 27
3.2.4 Saat elemanı 30
3.3. FPGA'nın Programlanması 31

4. ARAŞTIRMA SONUÇLARI VE TARTIŞMA **32**

4.1. Kartın Tasarımında Kullanılan Elemanlar, Bağlantıları ve Çalışma Şekilleri 34
4.2. Kart Üzerinde Çalıştırılan Uygulama 43

5. SONUÇLAR VE ÖNERİLER **48**

5.1 Sonuçlar 48
5.2 Öneriler 49

KAYNAKLAR **51**

EKLER **54**

ÖZGEÇMİŞ **68**

SİMGELER VE KISALTMALAR

Simgeler

°C : Derece Selsiyus
I2C : Inter Integrated Circuit (Entegre Devre Arasında)
kbit : Kilo Bit
kbit/s : Saniyedeki Kilo Bit
kHz : Kilo Hertz
mA : Mili Amper
MB : Mega Bayt
MHz : Mega Hertz
µ : Mikro
µA : Mikro Amper
V : Volt

Kısaltmalar

ADC : Analog-Dijital Dönüştürücü
AS : Aktif Seri
ASIC : Uygulamaya Özel Entegre Devre
CD : Kompakt Disk
CMOS : Bütünleyici Metal Oksit Yarıiletken
CPLD : Karmaşık Programlanabilir Lojik Cihaz
DBWT : Ayrık Çiftdikgen Dalgacık Dönüşümü
DRAM : Dinamik Rastgele Erişimli Hafıza
DSP : Dijital Sinyal İşlemcisi
DVD : Çok Amaçlı Dijital Disk
D.C. : Doğru Akım
EEPROM : Elektriksel Silinebilen Programlanabilen Sadece Okunabilir Bellek
EPCS : Seri Yapılandırma Cihazı
EQFP : Geliştirilmiş Dört Taraflı Düz Paket
FBGA : İnce Toplu Izgara Dizini
FFT : Hızlı Fourier Dönüşümü
FHT : Hızlı Hartley Dönüşümü
FIFO : İlk Giren İlk Çıkar
FPGA : Alanda Programlanabilir Kapı Dizisi
FPNA : Alanda Programlanabilir Sinir Dizisi
FRAT : Sonlu Radon Dönüşümü
FRIT : Sonlu Ridgelet Dönüşümü
GAL : Soysal Programlanabilir Dizi Lojik
GND : Toprak
GOPs : Saniyedeki Giga İşlem
G/Ç : Giriş ve Çıkış
HPC : Yüksek Performanslı Hesaplama
IPC : Görüntü İşleyen Yardımcı-İşlemci
LAB : Lojik Dizilim Blokları
LCA : Lojik Hücre Dizisi
LCD : Sıvı Kristal Ekran

LED	: Işık Yayan Diyot
LEs	: Lojik Elemanlar
MLP	: Çok Katmanlı Perceptron(Algılayıcı)
PAL	: Programlanabilir Dizi Lojik
PC	: Kişisel Bilgisayar
PLA	: Programlanabilir Lojik Dizi
PLD	: Programlanabilir Lojik Aygıt
RAM	: Rastgele Erişimli Bellek
RBF	: Yarıçapsal Temel Fonksiyon
ROM	: Sadece Okunabilir Bellek
SCL	: Seri Saat Yolu
SDA	: Seri Veri Yolu
SDRAM	: Senkron Dinamik Rastgele Erişimli Hafıza
SOIC	: Küçük Çerçeveli Entegre Devre
SPLD	: Basit Programlanabilir Lojik Aygıt
SRAM	: Statik Rastgele Erişimli Hafıza
TTL	: Transistör-Transistör Lojik
USB	: Evrensel Seri Veriyolu
VGA	: Video Grafik Dizisi
VHDL	: Yüksek Hızlı Tümleşik Devreler için Donanım Tanımlama Dili
VLSI	: Çok Geniş Ölçekli Tümleşim
YSA	: Yapay Sinir Ağları
ZISC	: Sıfır Eğitim Ayarlamalı Bilgisayar Çipleri
1D	: 1 Boyutlu
2D	: 2 Boyutlu

1. GİRİŞ

Günümüzde hayatın hemen hemen her alanında elektronik sistemler sıklıkla kullanılmaktadır. Bu sistemlerin en önemli oyuncularından birisi de FPGA (Alanda Programlanabilir Kapı Dizisi) cihazlarıdır. FPGA kısaltması, İngilizce "Field Programmable Gate Array" kelimelerinin baş harflerinden oluşturulmuştur. FPGA'lar, yazılımının güncellenmesi yoluyla donanım yapısının kullanıcı tarafından değiştirilebildiği programlanabilir devreler olarak tanımlanabilmektedir. FPGA geliştirme kartları ise FPGA kullanılan uygulamaların geliştirilip, denemelerin yapılabilmesi için üretilen setlerdir. Bu geliştirme kartlarının üzerinde, kullanıcıların ihtiyacı olan çeşitli devre elemanları ve FPGA'ların programlamasını yapmaya yönelik elemanlar bulunabilmektedir.

FPGA'lar dijital görüntü işleme, tıbbi görüntüleme, telekomünikasyon, savunma ve otomotiv sanayi gibi birçok alanda kullanılmaktadırlar. Sektörde en çok Altera, Xilinx, Lattice Semiconductor, Actel, Quick Logic gibi markaların ürünleri yer almaktadır (Anonymous, 2009). Piyasada bu firmaların ürettiği FPGA'ları kullanarak geliştirme kartı veya çözüme yönelik ürünler sunan Terasic gibi birçok üretici bulunmaktadır.

FPGA'lar, sahip olduğu birçok özelliğin yanı sıra paralel işlem yapabilen yani aynı anda birden fazla işlemi yürütebilen ve sadece yazılım değişikliği yapılarak donanımının güncellenebilmesine imkân veren elemanlardır. Bu avantajlarından dolayı genellikle görüntü işleme, video işleme gibi yoğun işlemlerin yapıldığı alanlarda FPGA'lar sıklıkla tercih edilmektedir (Uzun, 2005).

Birçok farklı alanda olduğu gibi trafik denetlemelerinde de elektronik sistemler sıklıkla kullanılmaktadır. Görüntü işleme uygulamaları trafik denetleme sistemlerinde önemli bir rol oynamaktadır. Buradan yola çıkılarak, sürücülerin yaptığı bir ihlal olan trafikte ters yönde seyretmenin tespit edilmesine yönelik bir çalışmanın yapılması hedeflendiğinde; bu yüksek lisans tezinde yapılan çalışmalar hedeflenen projeye yönelik alt yapıyı oluşturacaktır. Böyle bir çalışmayı sağlayacak olan donanımların kontrolü ve görüntü işleme uygulaması için FPGA kullanmanın uygun olacağı yönünde fikir geliştirilmiştir. Bu fikrin oluşmasını sağlayan sebeplerden en önemlisi; FPGA'ların bu tip uygulamada ihtiyaç olan görüntünün alınması, aracın hareket yönünün tespiti, plakanın tespiti, tespit edilen plakanın kaydedilmesi veya işlem yapılmak üzere merkeze aktarımının sağlanması işlemlerini bir arada yapabilecek kabiliyette olmasıdır.

Böyle bir projenin hedeflenip gerçekleştirilmesi halinde ihtiyaç duyulacak çok önemli bir özellik de hazırlanan devrenin güncellenebilme özelliğinin olmasıdır. Bu tarz sistemler, kullanılan pozisyona, konuma ve iklim şartlarına göre hazırlanan devre üzerinde çeşitli iyileştirmelere ihtiyaç duymaktadır. FPGA'lar, ihtiyaç duyulan değişikliğe bağlı olmakla birlikte çoğunlukla fiziki bir müdahaleye gerek kalmadan donanım yapısında revizyon yapma olanağı sağlarlar. Bu özellikleri; kullanım amacına ve yerine göre değişik ihtiyaç talep edilen uygulamalar için vazgeçilmez birer oyuncu olmalarını sağlamıştır.

Diğer taraftan bu tipte oluşturulması hedeflenen bir trafik denetleme uygulamasının güç tüketiminin az olması avantaj sağlayacaktır. Eğer düşük güç tüketen bir sistem hazırlanabilirse, enerji hattı olmayan herhangi bir yerde güneş pili gibi alternatif güç kaynakları kullanılarak sistemin tertip edilmesine imkân sunabilecektir. Bahsedilen avantaj göz önüne alındığında kullanılacak kartın özgün bir tasarım olması gerekecektir. Özgün tasarımdan kasıt, hazır alınan FPGA kartlarındaki gereksiz sensörlerin ve güç harcayan elemanların çıkarılması ve projeye özgü tasarımın yapılmasıdır.

Bu çalışmanın ana teması bir görüntü işleme uygulamasının çalıştırılmasına yönelik bir kartın tasarımının yapılması ve gerçekleştirilmesidir. Buradan elde edilecek en önemli sonuçlardan birisi de projeye özgü tasarım kabiliyetinin oluşturulmasıdır. Ülkemizde FPGA kartı tasarımı alanındaki çalışmaların sayıca az olması, trafik denetleme sistemlerinde kullanılabilecek görüntü işleme uygulamalarının çalıştırılabileceği doğrultuda FPGA kartı tasarımıyla ilgili bir çalışmanın bulunamamış olması ve bunun yaşadığımız zaman diliminde önemli bir eksiklik olarak görülmesi böyle bir araştırmaya yönelmeyi gerekli kılmıştır. Bu çalışma FPGA kart tasarımı alanındaki gelecek çalışmalar ve bahsedilen trafik denetleme sistemlerine yönelik yapılacak çalışmalar için altyapı oluşturma yönünde bir başlangıç olacaktır.

Hazırlanan kartta kullanılan elemanların temeli olan FPGA, Altera firmasının ürettiği Cyclone IV serisinden bir FPGA'dır. Çalışmada FPGA geliştirme kartı üzerinde ihtiyaç duyulan elemanların yanı sıra bir kamera ve görüntünün gösterileceği bir ekran da kullanılmıştır. FPGA kartlarında işlenen görüntü en basit olarak VGA (Video Grafik Dizisi) protokolü kullanılarak VGA girişine sahip herhangi bir monitöre aktarılabilmektedir (Wang, 2009).

Bu tez çalışmasında görüntünün gösterileceği ekran Terasic firmasının ürettiği TRDB_LTM kodlu LCD (Sıvı Kristal Ekran) olarak belirlenmiştir. Tasarlanan kartın

üzerinde çalıştırılacak olan uygulamada görüntü sensöründen alınacak görüntü LCD ekran üzerinde gösterilecek ve bir anahtardan gelen lojik giriş seviyesine göre renkli, siyah-beyaz, gri seviyeli ve kırmızı seviyeli görüntü şeklinde değiştirilecektir.

Çalışmanın kaynak araştırması bölümünde, FPGA, FPGA'nın kullanıldığı çeşitli çalışmalar ve görüntü işleme uygulamalarına ve metotlarına yönelik yapılan araştırmalardan özet bilgi verilmiştir. Materyal ve yöntem bölümünde FPGA cihazlarının ataları sayılan ilk programlanabilir lojik cihazlardan FPGA'lara kadar uzanan aygıtların yapılarından söz edilmiş ve daha sonra tasarımı yapılan kartta bulunması gereken birimler anlatılmıştır. Araştırma sonuçları bölümünde tasarımı yapılan kartla ilgili bilgiler verilmiş, kullanılan elemanların özelliklerinden, çalışma şekillerinden bahsedilmiş ve kart üzerinde çalıştırılması planlanan uygulama kısaca anlatılmıştır. Sonuçlar kısmında, çalışmanın neticesinde ve uygulamasında elde edilecek kazanımlardan da söz edilmiştir. Öneriler bölümünde ise çalışmadan edinilen bilgi ve becerilerin kullanılmasına devam edilebilmesi için yapılması olası ileri dönem çalışmalar ve tavsiyeler sıralanmıştır.

2. KAYNAK ARAŞTIRMASI

FPGA'ların tarihçesine bakıldığında, ilk FPGA'nın üretimi Xilinx firması kurucularından Ross Freeman ve Bernard Vonderschmitt tarafından (XC2064) modeli ile 1985 yılında gerçekleştirildiği görülmektedir (Santarini, 2012).

Bu çalışmanın öncesinde ve süresi içinde geçmişte FPGA mimarisi, FPGA uygulamaları ve görüntü işleme yöntem ve uygulamalarıyla ilgili bazı yayınlar incelenmiş ve özetleri aşağıda sunulmuştur.

William S. Carter, Ross H. Freeman ve ark. (1986); çalışmalarında performansı düşük güçlü Schottky'e denk, lojik kapasitesi 1000'den 1600'e kadar olan birim hücre kapı dizisine denk ve kullanıcı tarafından programlanabilen tekrar yapılandırılabilen lojik hücre dizisini anlatmışlardır. Çalışmada anlatılan cihazın, TTL (Transistör-Transistör Lojik) ya da CMOS (Bütünleyici Metal Oksit Yarıiletken) giriş seviyeleriyle uyumlu olabilmesi için giriş arabelleğini programlama yeteneği, devredeki öykünüm becerisi ve tekrar programlanabilme gibi kullanışlı özellikleri kazanabilmesi amacıyla yeni bir mimari ve devre tasarımının bir araya getirilmesi sunulmaktadır.

Hung-Cheng Hsieh, Ross H. Freeman ve ark. (1988); çalışmalarında 9,000 kapılı XC3090 kodlu kullanıcı tarafından programlanabilen kapı dizisini anlatmışlardır. Cihaz ikinci nesil LCA (Lojik Hücre Dizisi) mimarisi tabanlı cihazlar ailesinin en büyük üyesidir. Bu mimari üç çeşit kullanıcı-yapılandırmalı elemanı bulundurmaktadır. Lojik blokların bir iç dizisi, giriş-çıkış bloklarının bir çevresi ve kaynakların bağlantısı özelliklerine sahiptir. Yapılandırma, lojik fonksiyon ve bağlantıları belirleyen içsel statik hafıza hücrelerini programlayarak kurulmaktadır. İleri üretim teknolojisinin kullanımıyla birleştirilen modüleriteye dayanan bir entegre tasarımının ve krokisinin metodolojisi, bu mimarinin 9,000 kapıya genişletilmesine izin vermiştir. Mimari kaynaklar, genel performanstan taviz vermeksizin lojik yoğunluk alanına izin vermek üzere tasarlanmıştır. Kullanıcı tarafından programlanabilen kapı dizileri alışılmışın dışında dijital tasarımların çoğunluğu için maske programlanan kapı dizileri yerine kullanılabilmektedir.

Nick Kanopoulos ve ark. (1988); bu bildirilerinde Sobel operatörlerini kullanan yekpare bir görüntü kenar bulma filtresinin tasarımı ve gerçekleştirilmesini sunmaktadırlar. Çip mimarisi, görüntü örneklerinin gradyan büyüklüğü ve yön hesaplamalarının gerçekleştirilmesini seri (pipeline) yapacak şekilde tasarlanmıştır. Çip

tasarımı, 2 μm, çiftli metal, CMOS teknolojisi tabanlıdır ve silikon derleyici sistemi kullanılarak 2 aydan daha kısa sürede gerçeklenmiştir. Cihaz, 10 MHz frekans değerinde iki fazlı saat ile çalışmak üzere tasarlanmıştır ve her saat devrinde istenen büyüklük ve yön çıkışını sağlamak için yaklaşık olarak saniyede $200x10^6$ eklemeyi ifa etmektedir. Görüntünün kenarının bulunması prototip sistemi gerçekleştirilmiştir.

Anwar S. Dawood ve ark. (2002); programlanabilir lojik sistemleri ve gerçek zamanlı görüntü işleme sistemlerinin ihtiyacı olan performans ve esneklik için etkin bir çözüm sunmaktadırlar. Uygulamaya Özel Entegre Devre (ASIC) cihazları da benzer performans sağlayabilmekte olduğunu söylemektedirler fakat o cihazların esnekliğin yetersiz olması ve yüksek geliştirme ve üretim maliyeti, uzay uygulamaları için benimsenmelerini kısıtladığını anlatmaktadırlar. FPGA'ların yüksek derecede esnek tasarım kabiliyeti, ölçeklendirilebilir devreler ve gerçek zamanlı sistem performansı sunduğunu anlatmaktadırlar. FPGA'ların paralel işlem yapma gücünün, verinin benzer bir mikroişlemci uygulamasına göre daha hızlı işlenmesine izin verdiğini söylemektedirler. HPC-I (Yüksek Performanslı Hesaplama) füzesi, Avustralya bilimsel amaçlı uydusu FedSar'da kullanılmak üzere, FPGA teknolojisinin çeşitli uzay uygulamaları için araç üstü uydularında kullanımının geçerliliğini göstermek amacıyla tasarlanmış ve üretilmiştir. Bu bildirileri, uzay uygulamaları için görüntü işleme algoritmalarının ve tekniklerinin FPGA'larda uygulanmasının detaylarını anlatmaktadır. Çalışmaları, HPC-I üzerindeki bir Gaussian Filtresinin ve Konvolüsyon Motorunun gerçekleştirilmesini, testinin yapılmasını ve performans değerlendirmesini sunmaktadır.

Fan Yang ve Michel Paindavoine (2003); bu bildirilerinde, video dizilerindeki yüzlerin yerini belirleme ve kimlik doğrulaması yapma imkânı veren gerçek zamanlı bir görme sistemini anlatmaktadırlar. Bu anlatılan işlemler görüntü işleme tekniklerdir ve RBF (Yarıçapsal Temel Fonksiyon) nöron network yaklaşımını kullanmaktadır. Bu sistemin güçlü olduğunu gösteren yanı sekiz adet video dizisi üzerinde sayısal olarak değerlendirilmesidir. Modeller, Cambridge, Birleşik Krallık'daki Olivetti Araştırma Laboratuvarı'nın veritabanını kullanarak bir yüz tanıma uygulaması için adapte edilmiştir ve diğer sistemlere karşı performansları karşılaştırılmıştır. Bunlar gömülü sistem tabanlı üç donanım gerçeklemesi olan, sırasıyla, FPGA'lar, ZISC (Sıfır Eğitim Ayarlamalı Bilgisayar Çipleri) ve TMS320C62kodlu DSP'dir (Dijital Sinyal İşlemcisi). Algoritma karmaşıklığı analiz edilmekte, kaynak kullanımı ve işlem hızı bakımından donanım gerçekleme sonuçları sunulmaktadır. Yüz takibi ve kimlik doğrulama başarı oranları, sırasıyla (FPGA) %92, (ZISC) %85 ve (DSP) %98.2 şeklindedir. 288x352

görüntü boyutu için üç gömülü sistemin işlemci hızları sırasıyla 14 görüntü/s, 25 görüntü/s ve 4.8 görüntü/s şeklindedir.

I. S. Uzun ve ark. (2005); çalışmalarında, son dönemlerde yüksek boyutlardaki dalgacıkların zayıflığının üstesinden gelmek için Ridgelet dönüşümünün tanıtıldığından bahsetmektedirler. Bu çalışmada, görüntü işleme uygulamaları için FRIT (Sonlu Ridgelet Dönüşümü) dizaynını ve FPGA gerçeklemesini sunmaktadırlar. Anlatılan mimari, FRAT'in (Sonlu Radon Dönüşümü) ve 1D (1 Boyutlu) DBWT'nin (Ayrık Biorthogonal Dalgacık Dönüşümü) yapı taşları olarak önerilmektedir. Xilinx Virtex-II cihaz ailesini hedefleyen, maksimum sistem frekansı, çip alanı ve imge boyutu tabanlı önerilen mimariler için FPGA uygulamasının detaylı bir değerlendirmesi rapor edilmiştir. Çalışma sonuçlarına göre, önerilen FRIT mimarisi için çekirdek hızı 100 MHz civarındadır ve 7x7 boyutunda bir giriş imgesi için 491 dilim kilitlemektedir.

I. S. Uzun ve ark. (2005); FFT (Hızlı Fourier Dönüşümü) tabanlı işaret ve görüntü işleme gibi uygulamaların, algoritmalarla olan deney yeteneğine ek olarak yüksek hesaplama gücüne ihtiyaç duymakta olduğunu anlatmaktadırlar. Alan Programlanabilir Kapı Dizileri (FPGA) şeklindeki yeniden düzenlenebilir donanım araçlarının ekonomik fiyatının yanında yüksek performans sağladığından bahsetmektedirler. Ancak, kullanıcıların FPGA'ları çok düşük-seviyede programlaması gerektiği ve kullanılan cihazın mimarisinin ayrıntılı bir şekilde bilinmesi gerektiğini söylemektedirler. Çalışma, görüntü işleme algoritmalarının deneylerini ya da gelişimini kolaylaştırmamaktadır. Bu çalışmalarında, yüksek performans ve kolay gelişimin çift taraflı ihtiyaçlarının en uygununu sağlamak için gerçek zamanlı uygulamalar için 1D ve 2D (2 Boyutlu) FFT'lerinin gerçeklenmesinde yüksek seviyeli çerçevenin tasarımını yapmaktadırlar. Radix-2, radix-4, ayrık-radix ve FHT (Hızlı Hartley Dönüşümü) içeren geniş alanlı FFT algoritmaları sistem tasarımcılarının farklı sistem ihtiyaçlarını karşılamak için genel bir çerçeve altında gerçeklendiğini anlatmaktadırlar. Sonuçların, 2D FFT paralel gerçeklemesinin doğrusal hızlanmaya ve büyük matris boyutlarında gerçek zamanlı performansa ulaşıldığını gösterdiğini söylemektedirler. Sonuç olarak, 2D FFT tabanlı FPGA tabanlı parametrik çevre frekans düzleminin görüntü filtreleme uygulaması için bir çözüm olduğunu sunmuşlardır.

Suhaib A. Fahmy ve ark. (2005); medyan filtresinin verimli bir donanım uygulamasını sunmaktadırlar. Giriş örneklerini kümülatif bir histogram oluşturmak için kullanılmışlardır ve bunu daha sonra ortanca değeri bulmak için kullanmışlardır. Bu tasarımın kaynak kullanımı pencere büyüklüğünden bağımsızdır ama buna rağmen her

giriş örneğindeki bit sayısına bağlı olmaktadır. Bu durum ise iz dönüşümü gibi dönüşümlerin ihtiyaç duyduğu geniş-pencereli ortanca filtreleme işleminin verimli bir şekilde gerçekleştirilmesini sağlamaktadır. Yöntemi daha sonra ortanca filtreleme ağırlıklarına genişletmişlerdir. Tasarımlar Xilinx Virtex II FPGA için sentezlenmiştir. Performans ve bölgeler farklı boyutta pencerelerin başka uygulamalarıyla karşılaştırılmıştır. Tasarımdaki FPGA üzerinde heterojen kaynakların kullanımı parça kullanımında azalmayı ve yüksek çıkışı sağlamaktadır.

Samir Tagzout ve ark. (2000); bu bildirilerinde Hough dönüşümünü hesaplamak için yeni bir algoritma tanıtmışlardır. Çalışmanın ana fikri, devre performansları ve doğruluk ihtiyaçlarının bir araya gelmesinin, genel Hough dönüşümü açıklaması ile bir sıra dışı metodun birlikte kullanımına dayanması şeklinde sunulmuştur. Öncelikli olarak yüksek performanslı dijital sinyal işleme uygulamalarına rakip olabilecek bir alternatif olması için, FPGA'ların gerçeklemesinin uygun hale getirilmesi amacıyla bu algoritma geliştirilmiştir. Tavsiye edilen mimari, kendi VLSI (Çok Geniş Ölçekli Tümleşim) uygulamasını çok açık şekilde yapan yüksek dereceli bir düzen sunmaktadır. Bu uygulama, daha kısa bir döngü ve daha düşük bir maliyet sağlayan jeneratör program tarafından elde edilebilmektedir. Açıklama için 8-bitlik imge piksellerinin uygulama sonuçları verilmiştir.

Marcelo Alves de Barros ve Mohamed Akil (1994); SRAM (Statik Rastgele Erişimli Hafıza) tabanlı alanda programlanabilir kapı dizileri kullanılarak gerçek zamanlı uygulamalar için görüntü işleme algoritmalarının donanım gerçeklemelerinin değerlendirilmesiyle ilgili bir çalışma sunmaktadırlar. Bu alanda ve teknoloji karakteristiğine adapte edilmiş bir kapsamlı mimari modeli tartışmaktadırlar. Bunun gibi bir model üzerine uygulanan mimarinin alan maliyetleri ve zamanlama performanslarını değerlendirmek için bir metot anlatmaktadırlar. Bir imge tanılama sistemindeki ön işleme zincirinin fizibilite çalışmasını sunmaktadırlar.

C. T. Huitzil, ve M. A. Estrada (2005); görüntü işlemenin geleneksel işlemcilerin sağladığından daha fazla hesaplama gücü ve veri akışı kabiliyeti istediğinden bahsetmektedirler. Özel donanım dizaynının, işlem zamanını geliştirebileceğinden ve daha iyi birim silikon alan başına düşen performansa ulaşmasını sağlayabileceğinden söz etmektedirler. Bu yayında, FPGA tabanlı konfigüre edilebilir sistolik mimarisinin özel olarak gerçek zamanlı windows tabanlı görüntü operasyonları için adaptasyonu sunulmuştur. FPGA üzerinde gerçekleştirilen mimarinin 7x7 pencere genişliğine kadar olan algoritmaları yürütmek için olduğu, fakat mimarinin,

eğer istenirse daha geniş pencere boyutlarını kapsamak için ölçeklendirilebileceğini anlatmaktadırlar. Mimarinin, 60 MHz saat frekansında 3.16 GOPs (Saniyedeki Giga İşlem) çıkışa ve 512 × 512 siyah-beyaz görüntü üzerindeki 7x7 generik pencere tabanlı operatörler için 8.35 milisaniyelik işlem zamanına ulaştığı anlatılmıştır. Mimari performans ve donanım faydası bakımından diğer mimarilerle rahatlıkla kıyaslanabilmektedir. Mimari etkililiğin ispatlanması için teorik ve deneysel sonuçlar sunulmuştur.

J. Batlle ve ark. (2002); bu makalelerinde video-oranlı bilgisayarlı görüntü uygulamaları etrafında yeni bir yeniden tasarlanabilir paralel mimari sunmaktadırlar. Bu mimari, 2D (iki boyutlu), FPGA/DSP tabanlı yeniden programlanabilir işlemci dizilerinden oluşmaktadır. Bu işlemciler birbirlerine, kelebek bağlantılarındaki gibi oluşan, klasik enine bağlantı sistemlerindeki kısıtlamaları aşmak için ağdaki herhangi iki işlemci arasındaki video-oranı bağlantılarına izin veren FPGA tabanlı sistolik 2D dizileriyle bağlanmıştır. Bu mimari paralel/boru-hattı şeklindeki işlemler için tasarlanmıştır. Mimari, çeşitli anlık giriş görüntülerini işlemekte ve ön-işlemeli işlemlerden düşük-seviyeli yorumlara kadar geniş çaplı gerçek-zamanlı bilgisayarlı görüntü uygulamalarını içermektedir. Teklif edilen bu mimari, sunucuya son yüksek - seviyeli yorumlama görevlerini yapma imkânı vermektedir. 2D ağındaki birbirine bağlı işlemcilerin arasındaki bilgi akışı tüm resimlerin video-oranında piksel-piksel transferinde yatmaktadır. Bu sonuçla, tatmin edici her tür işlemciden böyle bir sistem gerçeklenebilmektedir. Anlatılan tüm mimari, sunucudan bağımsız bir şekilde tasarlanmıştır.

Bernard Girau (2006); sinir ağlarının genellikle paralel hesaplama modelleri olarak düşünülebildiğini söylemektedir. Ancak operatörlerin sayısı ve standart sinir ağı modellerinin karmaşık bağlantı grafikleriyle, dijital donanım cihazlarıyla başa çıkamayacağını anlatmaktadır. Programlanabilir dijital donanımın, sinir ağlarının esnek donanım uygulamaları için bir fırsat olarak ortaya çıktığını anlatmıştır. Standart sinir ağı modellerinin FPGA gibi programlanabilir devrelere uygulandığında birçok alan ve topoloji problemi çıkarabildiğini bu yüzden çok hızlı olan FPGA teknolojisindeki gelişmelerden tamamen yararlanılamayacağını söylemektedir. Bazı ayarlanabilen donanım prensiplerinin sinirsel hesaplamaya uygulanması sayesinde, teorik ve pratik çerçevesinin FPNA (Alanda Programlanabilir Sinir Dizileri) basit donanım topolojilerini karmaşık sinirsel yapılarla uyumlu hale getirdiğinden bahsetmiştir. FPNA, basit topolojisi ve orijinal veri değişim şemasıyla FPGA'ya uygulaması kolay olan

güçlü sinirsel yapılar oluşturmaktadır. Bu iki kısımlık çalışma, hem FPNA konsepti hakkında basılan hem de basılmayan yayınlardan farklı sonuçlar toplamaktadır. İlk kısım tanımlar ve teorik taraflara odaklanmaktadır. Genel iki-katmanlı FPNA tanımından başlanarak, tüm önerilen hesaplama şemaları birlikte tanımlanmıştır ve karşılaştırılmıştır. Doğrulukları ve kısmî benzerlikleri tartışılmıştır. FPNA tabanlı sinir ağlarının hesaplama gücü 'underparameterized convolutions' kavramı yoluyla nitelendirilmiştir.

Medhat Moussa ve ark. (2006); YSA'nın (Yapay Sinir Ağları) FPGA'lar için geleneksel uygulamaya uygun olan paralel mimariler olduğunu söylemektedirler. Önemli bir uygulama sorununun, hassasiyet ve uygulama alanı arasında uygun dengeyi kuran nümerik hassasiyet formatlarını belirlemek olduğunu anlatmışlardır. Standart tek ya da çift haneli hassasiyet temsilleri kuantalama hatalarını minimize ederken, çok önemli donanım kaynakları gerektirmektedir. Az hassas sabit-noktalı temsil, daha az donanım kaynağı gerektirebilmektedir ancak özellikle tahmin problemlerinde öğrenmeyi engelleyen kuantalama hatalarının eklenmesine yol açmaktadır. Bu bölüm bu sorunu incelemektedir. Çalışmada hem sabit hem de yüzen nokta hassasiyetlerini kullanarak FPGA üzerinde MLP (Çok Katmanlı Perceptron) uyguladıkları yeni bir deneyin raporunu sunmaktadırlar. Sonuçlar, sabit-noktalı MLP uygulamasının yüzer-noktalı FPGA tabanlı MLP'ye göre, 12 kat daha hızlı olduğunu, 13 kattan daha fazla az alan kapladığını, çok daha büyük işlem yoğunluğu sağladığını göstermektedir.

Kolin Paul ve ark. (2006); geri yayılım algoritmasının yapay sinir ağları uygulamalarında kullanılan yaygın bir teknik olduğunu anlatmaktadırlar. Algoritmanın özet olarak matris vektör çarpımları ve skaler çarpım işlemleri ile doğrusal olmayan uygulamaların karışımı olarak tanımlanabileceğini söylemektedirler. Algoritma hesabının yoğun olduğu ve yüksek derecede paralellik vermekte olduğunu bildirmektedirler. Bu özelliklerin geri yayılım algoritmasını gerçeklemek için sistolik bir donanımı oluşturduğundan bahsetmektedirler. Bu makalede tam geri yayılım algoritması için yeni bir sistolik mimari tanıtmaktadırlar. N adet giriş sinir hücreli, P adet saklı katmanlı sinir hücreli ve M adet çıkış sinir hücreli sinir ağı için, önerilen P işlemcili mimari her bir eğitim set vektörü için (2N + 2M + P + max (M,P)) çalışma zamanına sahip olduğu anlatılmaktadır. Bu çalışmada, öğrenme aşamasının tüm hesabını tamamen paralelleştiren geri yayılımın ilk kez bu şekilde gerçeklenmesi sunulmaktadır. Çalışmada dizi yardımcı işlemci temelli Annapolis FPGA üzerinde gerçeklenmiş ve 5GOPS oranında kayda değer bir performans elde edilmiştir. Önerilen

yeni tasarım hedefleri Virtex kitleridir. Bu yüksek seviyeli mimarileri elde etme işlemini ayrıca sistolik dizi tasarım aracı MMAlpha kullanarak da tanımlamaktadırlar. Bu, çok yüksek seviyeli dilde (Alpha) sistemlerini özelleştirmeyi ve elle optimize edilmiş VHDL (Yüksek Hızlı Tümleşik Devreler için Donanım Tanımlama Dili) kodu kullanılarak elde edilen tasarımı incelemelerini sağlamaktadır.

D. Crookes ve ark. (2000); FPGA formunda yeniden tasarlanabilir donanımı, gerçek zamanlı ihtiyaçlar altında görüntü işleme gibi hesap ağırlıklı DSP uygulamaları için yüksek performans elde etmenin farklı bir yöntemi olarak önermişlerdir. FPGA'ların yeniden programlanabilirliği, bir uygulamanın çözümünde FPGA'ların zaten elinde bulundurduğu performans avantajını sürdürürken ayrıca yazılım esnekliği elde etmesini de sağlamaktadır. Ancak, FPGA'ların büyük bir dezavantajı ise düşük-seviyeli programlama modellerinde oluşmaktadır. Bu iki seviye arasındaki boşluğu giderebilmek için araştırmacılar, FPGA tabanlı görüntü işleme için, kullanıcıdan donanım ayrıntılarını olabildiğince gizleyecek yüksek-seviyeli yazılım arayüzü sunmaktadırlar. Bu yaklaşımları, görüntü matematiği işlemleri üzerine kurulmuş çekirdek talimatlarıyla çok yüksek seviyeli IPC'nin (Görüntü İşleyen Yardımcı-İşlemci) ortaya çıkmasını sağlamaktadır. Arayüz, özel kullanıcı tanımlı işlemler için optimize edilmiş mimariler üreten bir üreteç içermektedir.

Peter Mc Curry ve ark. (2001); bu yayınlarında, bir imge sınıflandırıcı için bir FPGA ve dağıtılmış RAM (Rastgele Erişimli Bellek) mimarisini, bir obje tanımlama sisteminin obje sınıflandırma basamaklarını uygulayarak tanımlamaktadırlar. Sistem şimdiki programlanabilir DSP tabanlı uygulamalardan daha yüksek performans sunmaktadır. Bu yayın göstermektedir ki yüksek giriş-çıkış kaynakları ve pipeline mimarisinin mevcut olmasından dolayı FPGA kullanan uygulamalar, kayda değer performans artışı şeklinde sonuç vermektedir. Ayrıca bu çalışma FPGA çözümlerinin (gerçek zamanlı video işleme gibi) yüksek veri girişi ve karmaşık algoritmik manipülasyonlar isteyen görevler için uygunluğunu göstermektedir. Sistem RC1000-PP kodlu Virtex FPGA tabanlı bir geliştirme platformu ve Handel-C donanım tanımlama dili kullanarak uygulanmıştır.

Guohui Wang ve ark. (2009); bu bildirilerinde sıklıkla karşılaşılan bir video arayüz standardı olan VGA ile ilgili çalışmaları anlatmaktadırlar. Birçok FPGA tabanlı VGA denetleyicisi çalışmasının olduğunu fakat bunların kusurlarının bulunduğunu ve Çince karakterleri desteklemediklerini, destekleseler bile yüksek boyutta alan kapladıklarını söylemektedirler. Bu sebeplerden dolayı yüksek çözünürlüklü VGA

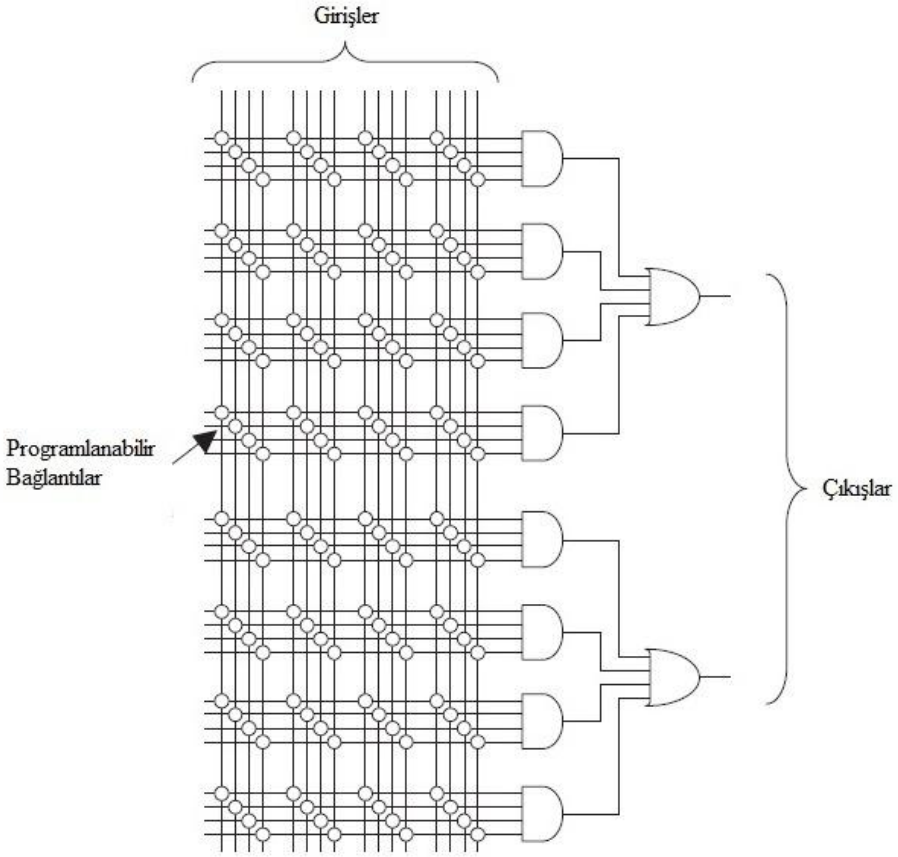
denetleyicisi çalışması yapmışlardır ve sundukları modülü VHDL dilinde hazırlamışlardır. Burada iki adet ana modül ve bunların lojik diyagramlarını sunmuşlardır. Yaptıkları deneylerin sonucunda Çince karakterlerin gösterimini yapan VGA denetleyicisi, yüksek çözünürlük sunmakta ve depolama aracı olarak kullandıkları cihazlarda da gözle görülür şekilde az yer kaplamaktadır.

3. MATERYAL VE YÖNTEM

3.1. FPGA Geliştirme Kartları

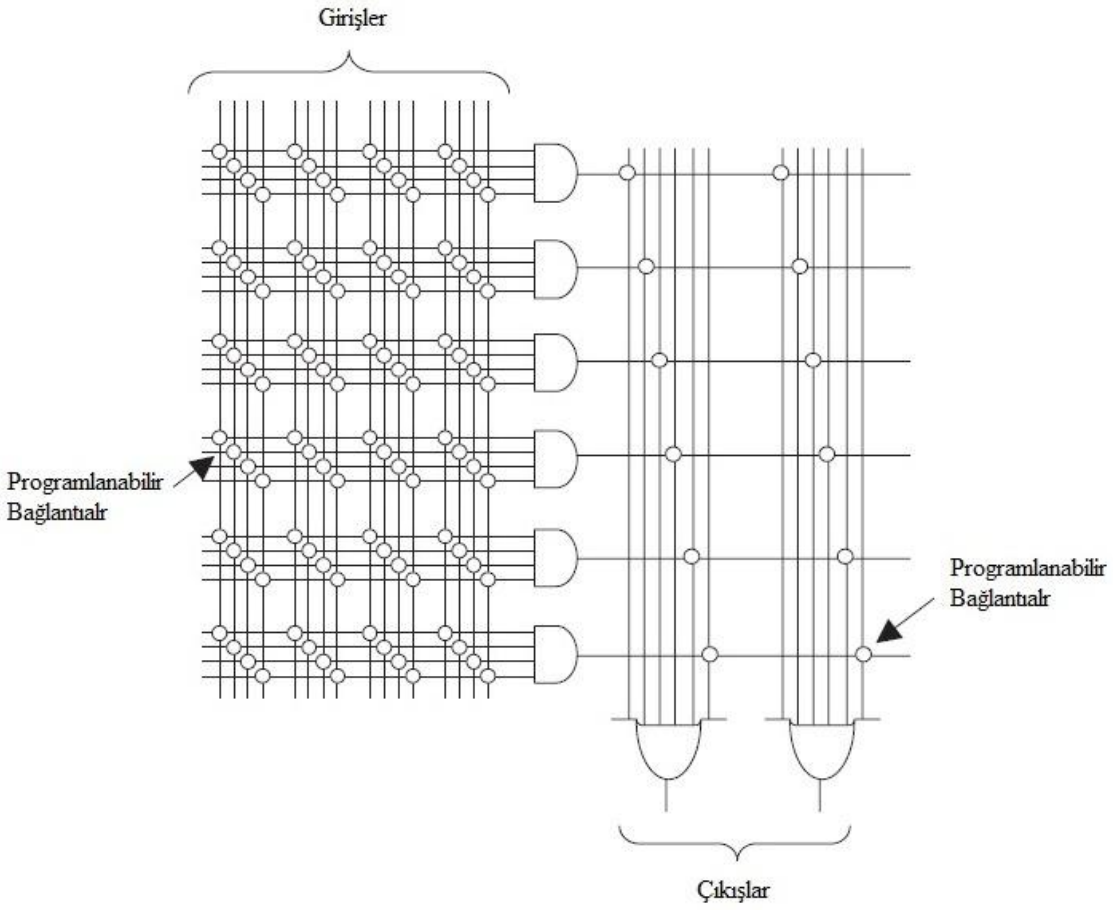
Programlanabilir lojik cihazların ilk olarak 1970'li yıllarda, düzenlenebilen lojik devrelerinin imal edilmesi fikri sonucunda, Monolithic Memories şirketi tarafından piyasaya çıkartıldığı görülmektedir. Fakat bunlarda mikroişlemcilerin aksine değiştirilip programlanabilme durumu sadece işlemci üzerindeki yazılım ve kodlarla sınırlı kalmamakta, lojik devrenin yani donanımın kendisi de güncellenebilmektedir (Pedroni, 2004).

İlk PLD'ler (Programlanabilir Lojik Aygıt), yapısal tasarımına bağlı olarak, PAL (Programlanabilir Dizi Lojik) ya da PLA (Programlanabilir Lojik Dizi) şeklinde isimlendirilmekteydiler. Bu ilk örneklerde flip-flop bulunmamakta sadece lojik kapılar bulunmaktadır. Şekil 3.1'de PAL mimarisi gösterilmektedir (Pedroni, 2004).



Şekil 3.1. PAL mimarisi

PAL cihazları, şekilde küçük dairelerle gösterilen programlanabilir bağlantıların, AND ve OR kapıların kullanıldığı basit bir yapıda oluşturulmuşlardır. Şekil 3.2'de ise 1970'li yılların ortalarında Signetics şirketi tarafından üretilmeye başlanan PLA'ların mimari yapısı gösterilmektedir (Pedroni, 2004).

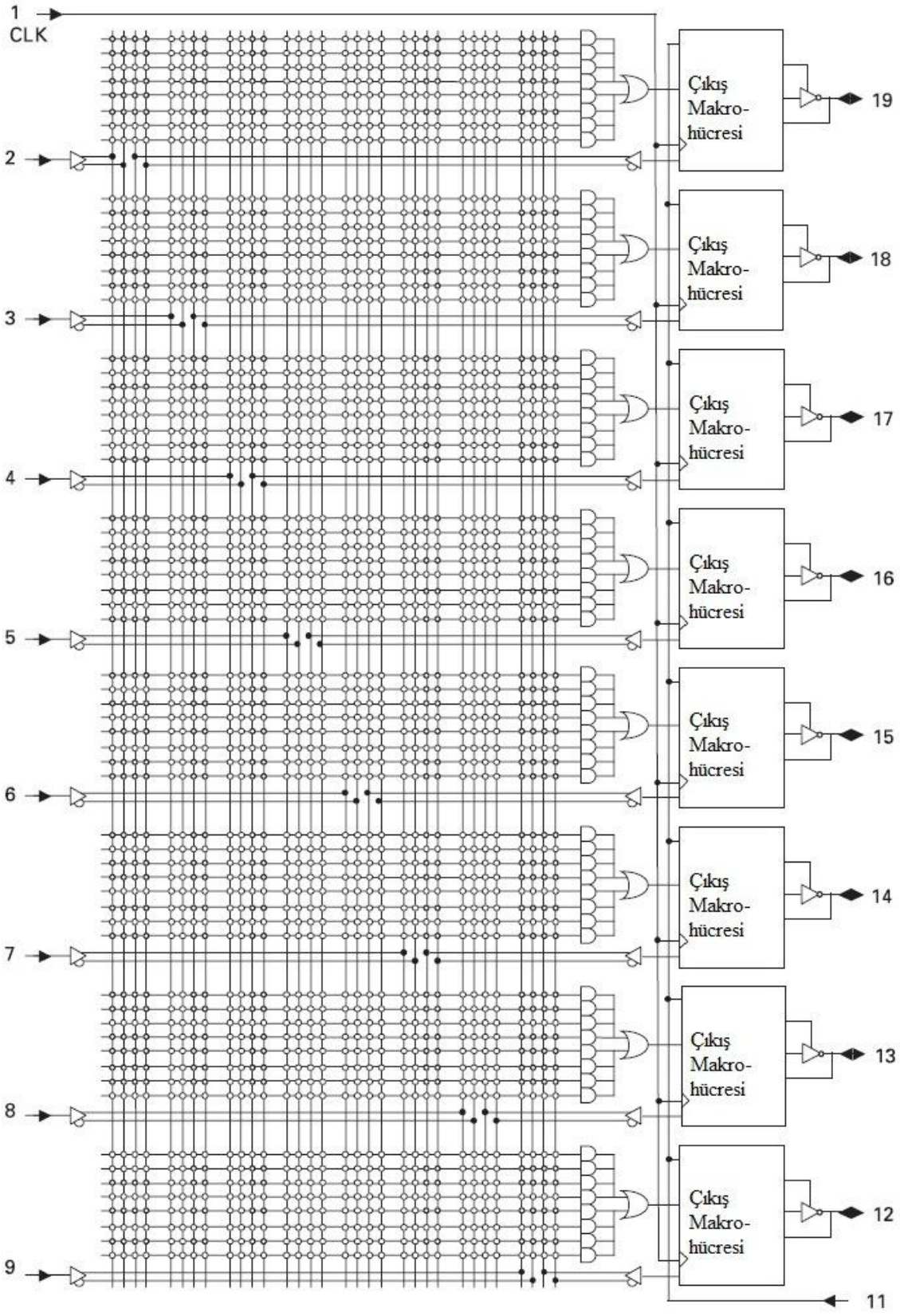


Şekil 3.2. PLA mimarisi

PLA cihazlarının PAL cihazlarına göre en belirgin farklılığı, mimarisindeki AND kapıların yanı sıra OR kapılarının da programlanabilir şekilde tasarlanmış olmasıdır. Hem PAL hem de PLA cihazlar kombinasyonel lojik fonksiyonlarla çalışmaktadırlar ve hafıza yetenekleri bulunmamaktadırlar.

Bunlardan sonra ise kayıt defterine sahip PLD'ler üretilmeye başlanmıştır ve bunların her bir çıkışında durum bilgisini saklamayı sağlayan flip-flop'lar bulunmaktadır. Lattice Semiconductor şirketi tarafından 1980'li yılların başında her PLD çıkışına flip-flop'un yanında ilave olarak lojik kapı ve çoklayıcı içeren makrohücre

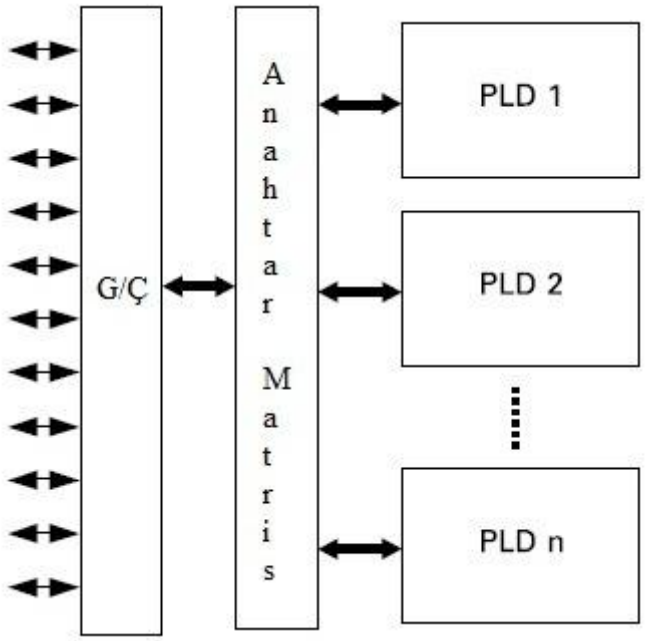
adı verilen lojik devreler konulmuştur (Pedroni, 2004). Bu makrohücreler de programlanabilir şekildedirler ve ilave olarak devrenin çıkışından programlanabilir dizilere geri besleme sinyali göndererek PLD'ye esneklik kazandırmaktadırlar. Bu yeni yapılar "generic PAL" yani kısaca GAL (Soysal Programlanabilir Dizi Lojik) şeklinde isimlendirilmişlerdir. Ayrıca GAL cihazlarıyla birlikte elektronik olarak yazılıp silinebilen EEPROM (Elektriksel Silinebilen Programlanabilen Sadece Okunabilir Bellek) hafızalar kullanılmıştır. Şekil 3.3'de CPLD'lere (Karmaşık Programlanabilir Lojik Cihaz) ilham kaynağı olan GAL cihazlarının mimarisi gösterilmektedir (Pedroni, 2004). Şekilde yapısı gösterilen entegrenin 1 numaralı pini saat sinyali girişi, pin numarası 2'den 9'a kadar olan pinler giriş, pin numarası 12'den 19'a kadar olan pinler ise çift yönlü olarak giriş veya çıkış olarak kullanılmaktadır.



Şekil 3.3. GAL mimarisi

Bahsedilen yapılar olan PAL, PLA, PLD ve GAL cihazlarının tamamına genel olarak SPLD (Basit Programlanabilir Lojik Aygıt) adı verilmektedir.

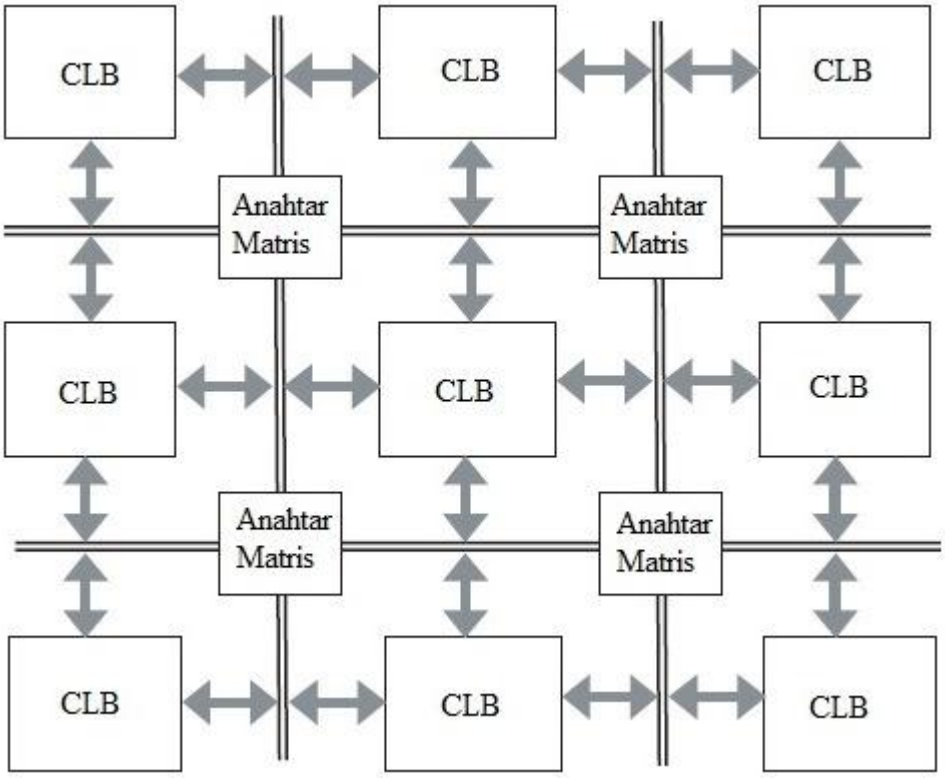
GAL cihazları, daha karmaşık çizimler ve yeni entegre üretim teknolojileri ve çeşitli lojik standartları kullanılarak aynı çip üzerinde üretilmeye başlanmıştır ve bu üretilen cihazlar da CPLD olarak adlandırılmışlardır. Şekil 3.4'deki CPLD mimarisinde görüldüğü gibi giriş çıkış portlarıyla PLD'lerin arasında konumlandırılan anahtar matris PLD'lerin birbirine ve giriş çıkış portlarına bağlantısını sağlamaktadır (Pedroni, 2004).



Şekil 3.4. CPLD mimarisi

Günümüzde dahi CPLD'ler daha yüksek kapasiteye, daha yüksek performansa ve daha ucuz maliyete sahip oldukları için yaygın olarak kullanılmaya ve Altera, Xilinx, Lattice gibi firmalar tarafından da üretilmeye devam edilmektedirler.

Nihayetinde 1980'li yılların ortalarında, CPLD'lere göre mimari, yapısal özellikler, teknoloji ve maliyet yönünden farklılıklar gösteren, alanda programlanabilir kapı dizileri Xilinx şirketi tarafından kullanıma sunulmuştur (Carter ve ark., 1986; Santarini, 2012). Şekil 3.5'de CLB'lerden (Yapılandırılabilir Lojik Bloklar) ve anahtar matris dizilerinden oluşan FPGA mimarisi gösterilmektedir (Pedroni, 2004).



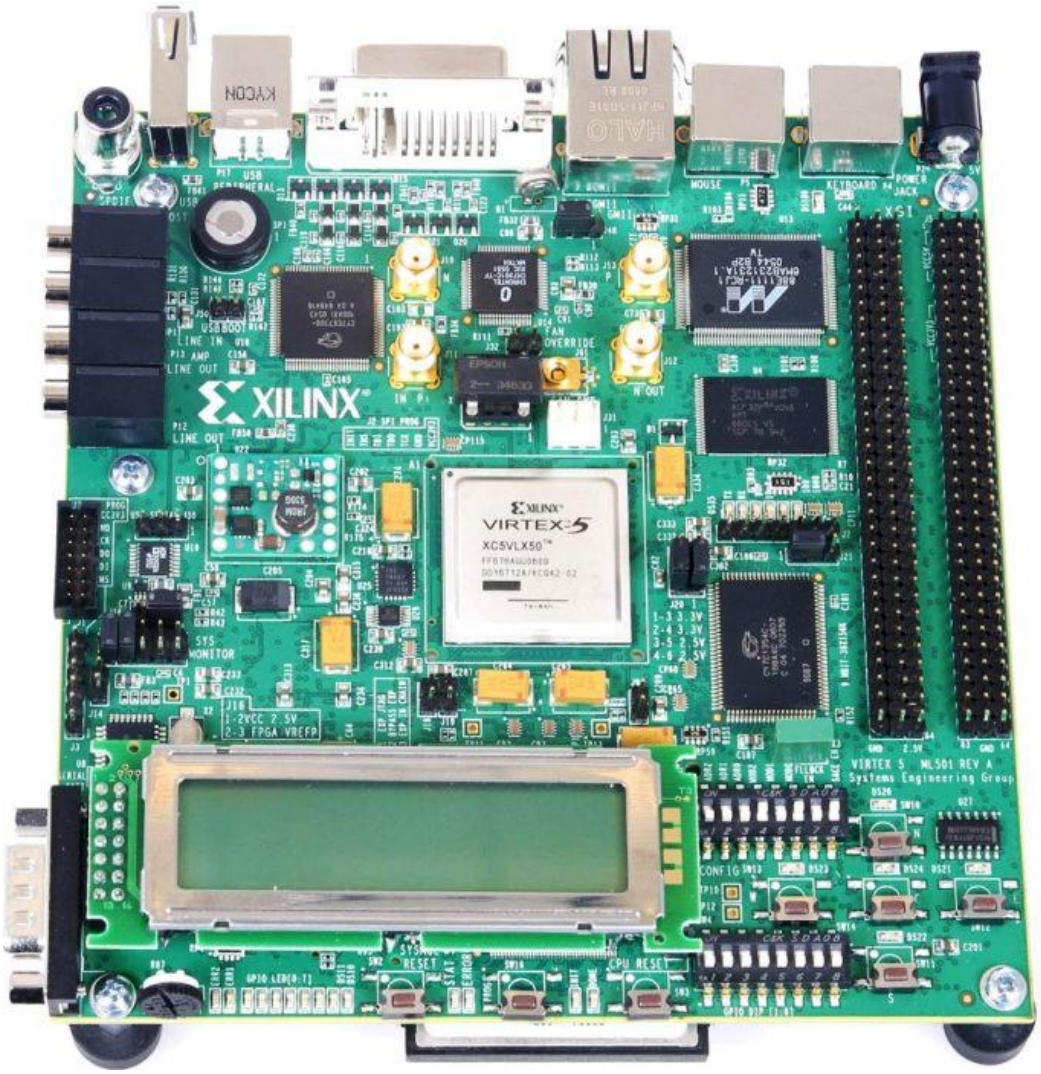
Şekil 3.5. FPGA mimarisi

CLB'lerin yapısı PLD cihazlarından farklılıklar göstermektedir. CLB'lerde işlemler LUT (Başvuru Çizelgesi) tabanlı gerçekleştirilmekte ve flip-flop sayısı PLD'lere göre çok fazla sayıda bulunmaktadır ve bu farklar daha karmaşık ardışsal devrelerin kurgulanıp çalıştırılabilmesini sağlamaktadır. Bunların yanı sıra SRAM hafıza, Faz Kilitli Döngü (PLL) v.b… farklı özelliklere sahip oldukları bilinmektedir. Bazı FPGA'lar çoklayıcı, DSP ve mikroişlemci gibi özel bloklar içerebilmektedir. CPLD'lerin blokları yapılandırıldıktan sonra enerji kesildiğinde o yapı eski haline dönememektedir bu yüzden EEPROM, flash gibi silinip yazılabilen hafıza birimleriyle birlikte kullanılmaktadırlar. FPGA'lar ise genellikle SRAM kullanmaktadırlar ve yapılandırma kalıcı olmamaktadır. Bu kalıcı olmayan yapılandırma sistemi FPGA'lar üzerinde boş alan sağlamakta ve çok fazla yapılandırılabilen dizi bulunduğundan dolayı maliyetin düşmesine de etki etmektedir. Dezavantaj olarak ise harici bir Sadece Okunabilen Hafıza (ROM) kullanılmasını zorunlu kılması gösterilebilmektedir. Tekrar yapılandırmanın ihtiyaç duyulmadığı çalışmalarda kullanılmak üzere yapılandırması kalıcı olan FPGA'lar da bulunmaktadır (Pedroni, 2004).

Günümüzde FPGA'ların 1000 civarında giriş-çıkış pinine sahip olabilen, nanometre boyutundaki 9 kata kadar katmanların kullanılmasıyla imal edilebilen, ileri

teknoloji ürünü çeşitlerinin olduğu bilinmektedir. Altera, Xilinx, Atmel, Actel, Quick Logic gibi firmalar, binlerce flip-flop devresine ve milyonlarca kapıya sahip FPGA'lar üretmektedirler.

FPGA geliştirme kartları, FPGA'ların programlanabilmesi ve yazılan programlardaki bazı özelliklerin düzgün çalışıp çalışmadığının kontrol edilebilmesi için çeşitli giriş-çıkış ve bağlantı elemanlarını ihtiva eden, üzerinde hafıza birimleri gibi çeşitli elektronik donanımları bulunduran, zaman zaman üzerinde CPLD'lerin de FPGA'lara eşlik ettiği geliştirme kartları olarak üretilmektedirler. Hatta çoğu zaman bu geliştirme kartları direkt olarak projelerin uygulanmasında da kullanılmaktadırlar. Fiyat aralığı olarak 40 Dolar civarı bir düzeyden başlayıp binlerce Dolar'ı bulan seviyelere çıkabilmektedir. Şekil 3.6'da Xilinx firmasının ürettiği fiyatı 1000 dolar civarında olan bir FPGA geliştirme kartı gösterilmektedir.



Şekil 3.6. Virtex-5 LX FPGA ML501 kodlu geliştirme kartı

3.2. FPGA Geliştirme Kartı için İhtiyaç Duyulan Birimler

Bu çalışmada yapımı hedeflenen geliştirme kartının, görüntü işleme uygulamalarında kullanılabilecek yapıda olması planlanmıştır. Hedeflenen kartta görüntü işleme uygulamaları çalıştırılacak ve bunun için kamera ihtiyacı oluşacaktır. Bu nedenle geliştirme kartının tasarımı yapılırken görüntü işleme uygulamalarında başarılı sonuçlar veren Terasic firmasının üretmiş olduğu D5M kodlu 5 megapiksel görüntü alma kapasitesine sahip CMOS görüntü sensörünün kullanılmasının uygun olacağı düşünülmüştür (Şekil 3.7).



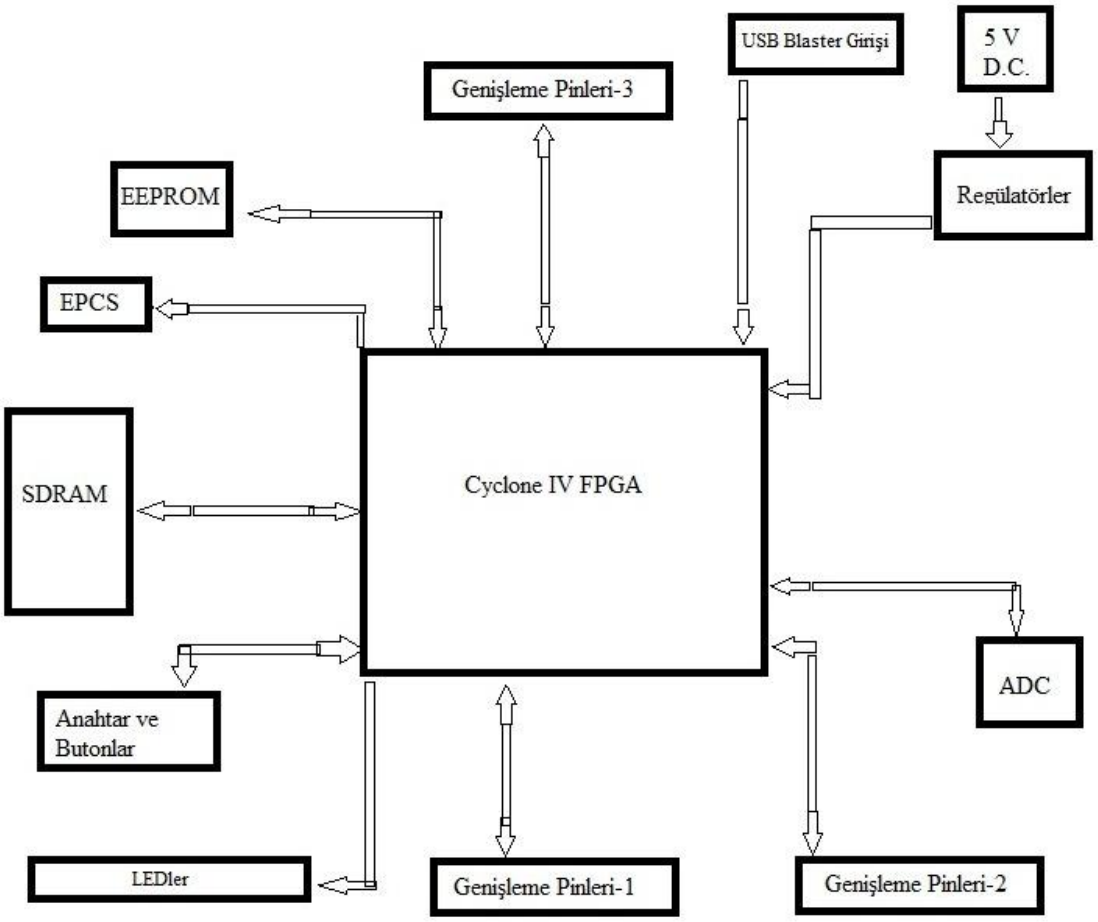
Şekil 3.7. D5M görüntü sensörü ve LTM LCD ekran

Tasarım planlanırken D5M sensörün birlikte başarılı bir şekilde çalışabildiği Terasic firmasının ürettiği DE0-Nanoboard isimli geliştirme kartı referans alınmıştır (Terasic Technologies Inc., 2007; Terasic Technologies Inc., 2012). Hedeflenen kartın tasarımı planlanırken öncelikle esası oluşturacak olan FPGA'nın seçimi yapılmıştır. Bunların yanı sıra kartta işlenen görüntüyü ekranda göstermede kullanılacak şekil 3.7'de gösterilen LTM kodlu LCD panel tercih edilmiştir.

Planlanan şekilde görüntü sensöründen görüntüyü alıp ekrana verebilecek bir kartın üretimi için gerekli olan birimler özetle, FPGA, giriş-çıkış birimleri, hafıza

birimleri, saat sinyali veren eleman, bağlantı elemanları, direnç ve kondansatör gibi pasif elemanlar olarak sıralanabilir.

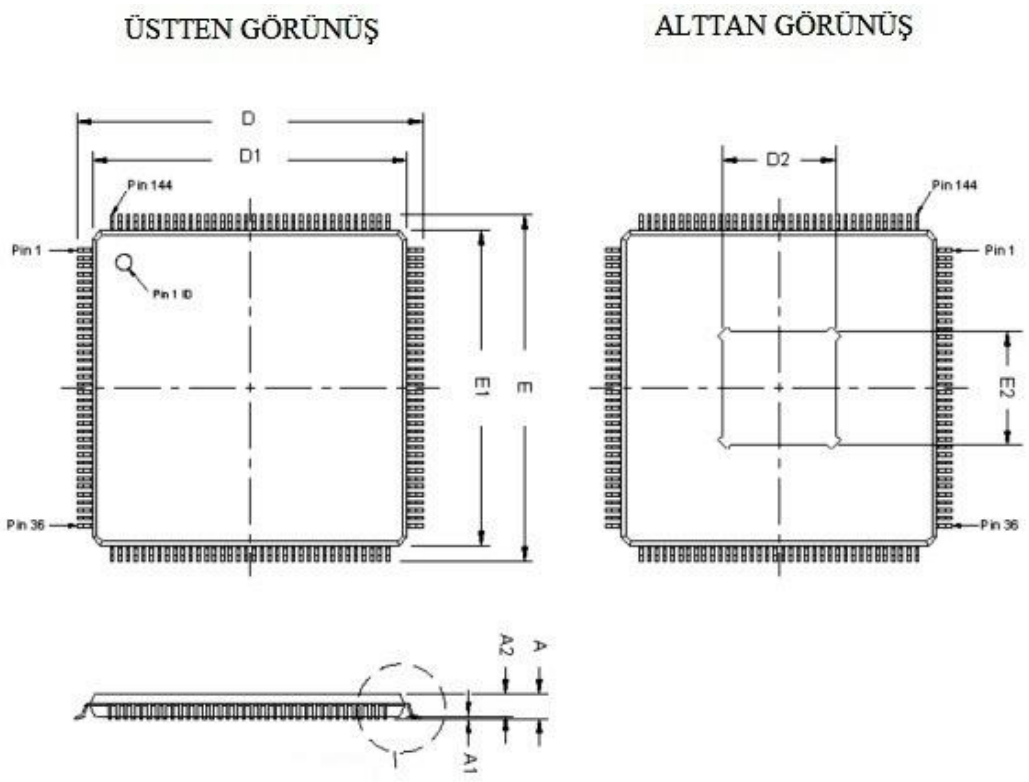
Tasarlanan kartın üzerindeki elemanların genel şeması şekil 3.8'de görülmektedir.



Şekil 3.8. Tasarlanan kartın üzerindeki elemanların genel görünümü

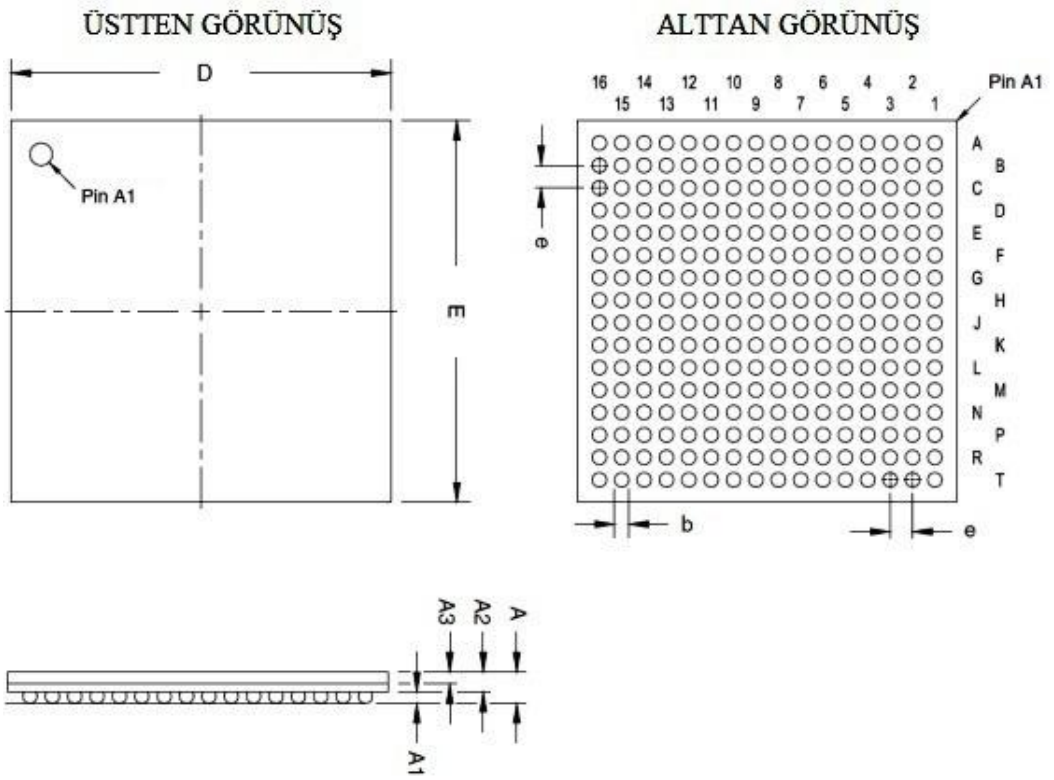
3.2.1. Cyclone IV FPGA

Altera firmasının üretmiş olduğu Cyclone-IV ailesine ait EP4CE22 kodlu, 22,320 lojik elemana sahip ve 594 kbit'lik gömülü hafızaya sahip, düşük güç tüketimi ve düşük sistem maliyeti sunan bir FPGA kullanılmasına karar verilmiştir (Anonymous, 2013). Başlangıçta şekil 3.9'da gösterilen 144 pinli EQFP (Geliştirilmiş Dört Taraflı Düz Paket) yapısına sahip EP4CE22E22C7N kod numaralı FPGA seçilmiştir (Altera Corporation, 2011). Bu paket yapısının tercih edilmesinin sebebi, FPGA'nın kartın üzerine montajı yapılırken sağlayacağı kolaylıktır.



Şekil 3.9. 144 pinli EQFP paket yapısına sahip EP4CE22E22C7N cihazı

EQFP paketli cihazın montaj avantajı bulunmaktadır. Fakat Amerika Birleşik Devletleri hükümetinin bu ürünün ithalatı için özel izin alınması şartı istemesinden dolayı ürün tedarik edilememiştir. Bunun yerine yine EP4CE22 serisinden olan 256 pinli, FBGA (İnce Toplu Izgara Dizini) paket yapısına sahip olan, aynı sayıda lojik elemana sahip EP4CE22F17C6N model numaralı FPGA'nın kullanılması kararlaştırılmıştır (Şekil 3.10) (Altera Corporation, 2011).



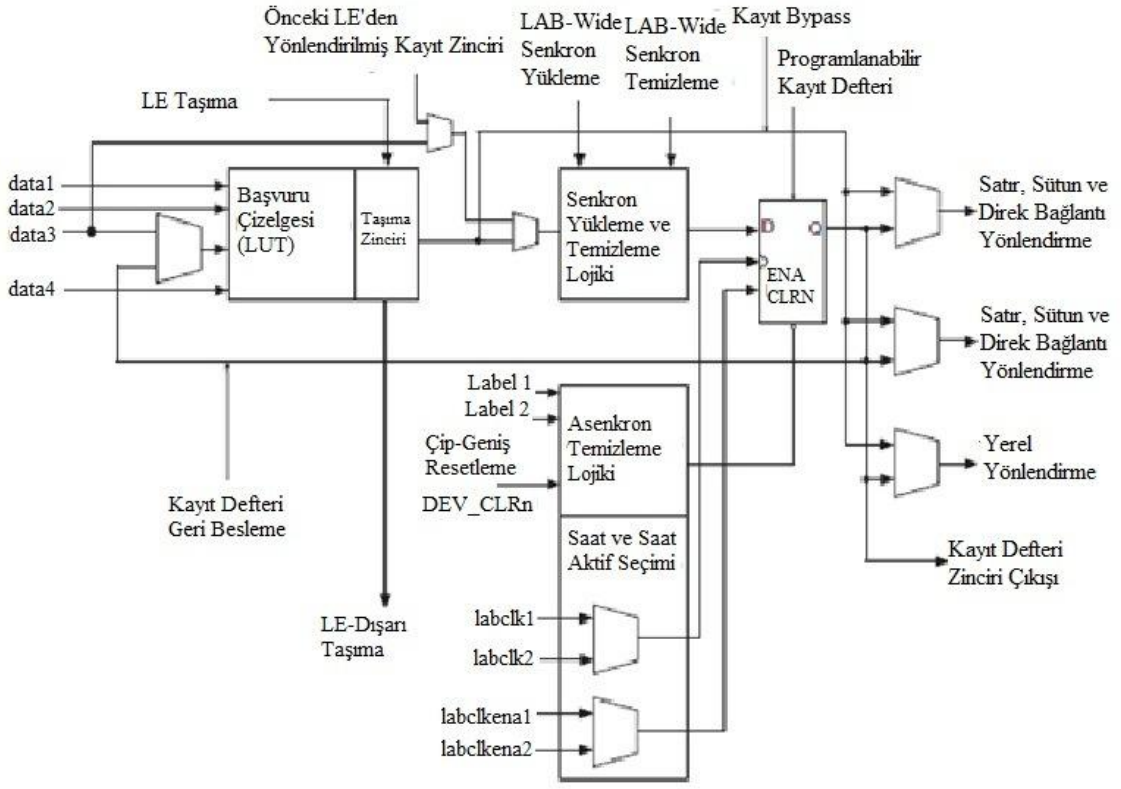
Şekil 3.10. 256 pinli, FBGA paket yapısına sahip olan EP4CE22F17C6N cihazı

Kullanılması kararlaştırılan FPGA cihazında 22,320 lojik eleman ve 594 kbit'lik gömülü hafıza ve 66 adet 18x18 gömülü çoklayıcı bulunmaktadır. Toplamda 8 banka ayrılmış olan FPGA'da 153 giriş çıkış pini kullanıma sunulmuştur. Bir FPGA'da bu sayılan özellikler ne kadar fazla olursa tasarım kabiliyeti, kolaylığı yani kullanıcıya sunulan imkânlar o kadar artmış olmaktadır. Bunların dışında 4 adet genel amaçlı PLL (Faz Kilitli Döngü) bulunmaktadır. PLL'nin, bir faz dedektörü ve osilatörden oluşan elektronik bir devre olduğu bilinmektedir. Sistem, giriş sinyali ile osilatörün çıkışındaki sinyallerin fazlarını karşılaştırıp çakışmalarını sağlamaktadır (Altera Corporation, 2010).

Cyclone IV cihazının çekirdek düzeni incelendiğinde, 9 Kbit'lik gömülü SRAM hafızaya sahip olduğu görülmektedir. Diğer bir adıyla bu M9K blokları tek port, basit çiftli port veya doğru çiftli port RAM'i ayrıca FIFO (İlk Giren İlk Çıkar) arabelleği veya ROM (Sadece Okunabilir Bellek) olarak yapılandırılabilmektedir. Bunların dışında herhangi bir veriyi saklamak amacıyla da yapılandırılabilmektedir. Cihazın çalışma sıcaklık aralığı kataloğunda 0°C - 85°C olarak verilmiştir. Bu aralık ticari uygulamalar düşünüldüğünde avantaj sağlamaktadır (Altera Corporation, 2010).

Cyclone IV cihazının en küçük lojik birimi LEs'dir (Lojik Elemanlar) (Şekil 3.11). Her bir lojik eleman aşağıdaki özelliklere sahip olmaktadır:

- Dört değişkenli fonksiyonları gerçekleştirebilecek 4 girişli LUT
- Bir programlanabilir kayıt defteri
- Taşıyıcı zincir bağlantısı
- Yerel, satır, sütun, kayıt zinciri ve direk link bağlantılarını sürebilme özelliği
- Kayıt paketleme desteği
- Kayıt geri besleme desteği

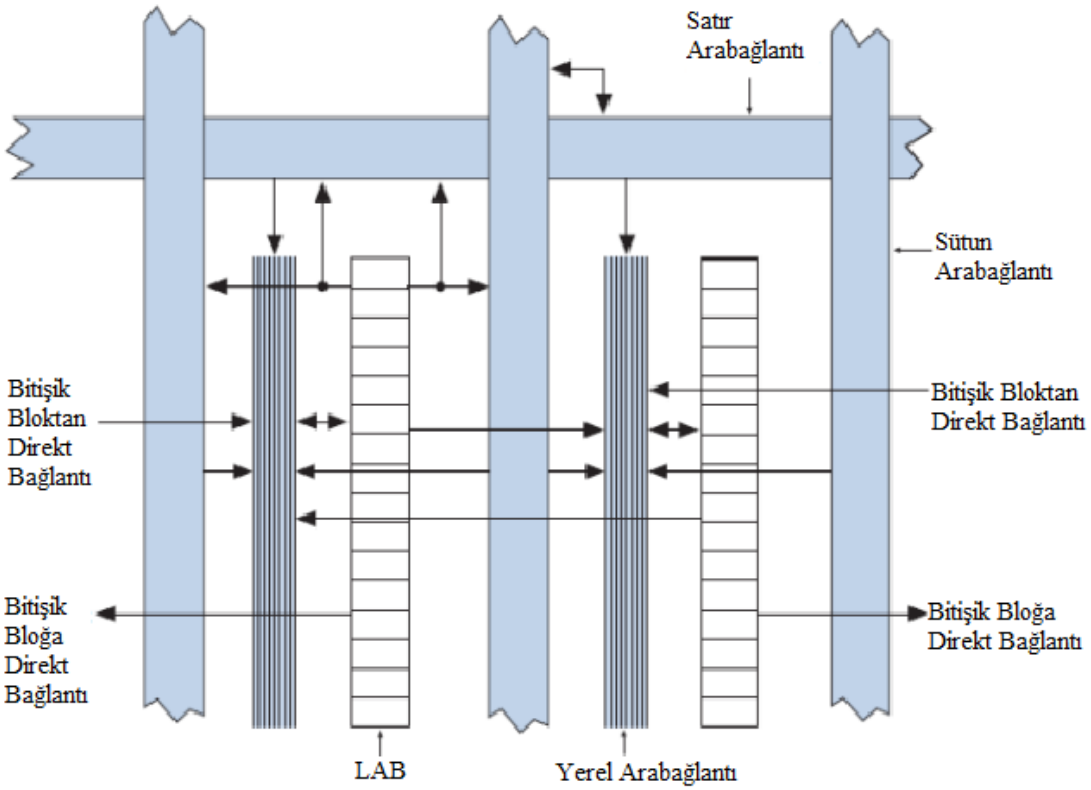


Şekil 3.11. Cyclone IV cihazının lojik elemanları

Her kayıt defterinin data, clock, clock enable ve clear girişleri bulunmaktadır. Global saat şebekesini, genel-amaçlı G/Ç pinlerini veya herhangi içsel lojiki kullanan sinyaller clock ve clear girişlerini kullanabilmektedirler. Genel amaçlı G/Ç pinleri veya içsel lojikler clock enable girişini sürebilmektedir. Kombinasyonel fonksiyonlar için başvuru çizelgesi çıkışı kayıt defterini atlayarak direk olarak lojik eleman çıkışlarını sürmektedir.

Her bir lojik elemanın yerel, satır ve sütun yol gösterici kaynağını süren üç çıkışı bulunmaktadır. Bu üç çıkış, başvuru çizelgesi veya kayıt defteri çıkışı tarafından bağımsız olarak sürülmektedirler. Bir lojik eleman yerel bağlantı kaynaklarını sürerken, iki lojik eleman çıkışı satır, sütun veya direkt bağlantı yol gösterici bağlantılarını sürmektedir. Bu, kayıt defteri başka bir çıkışı sürerken başvuru çizelgesinin bir çıkışı sürebilmesini sağlamaktadır. Bu özellik kayıt defteri paketleme olarak adlandırılmaktadır.

LABs (Lojik Dizilim Blokları), lojik elemanlarının oluşturduğu grupları kapsamaktadır. Lojik dizilim blokları Cyclone IV cihazının içindeki diğer bloklarla bağlantı arayüzü görevini yürütmektedir. Lojik dizilim blokları, 16 lojik eleman, lojik dizilim bloklarının kontrol sinyalleri, lojik eleman taşıyıcı zincirleri, kayıt zincirleri ve yerel bağlantılardan oluşmaktadır. Yerel bağlantılar bir lojik dizilim bloğunda bulunan lojik elemanlar arasındaki sinyalleri taşımaktadırlar. Kayıt zinciri bağlantıları, lojik dizilim bloğundaki bir lojik elemanın çıkışını bitişiğindeki lojik elemanın kayıt defterine transfer etmeye yaramaktadır (Altera Corporation, 2010). Şekil 3.12'de Cyclone IV cihazındaki lojik dizilim bloğunun yapısı gösterilmektedir.

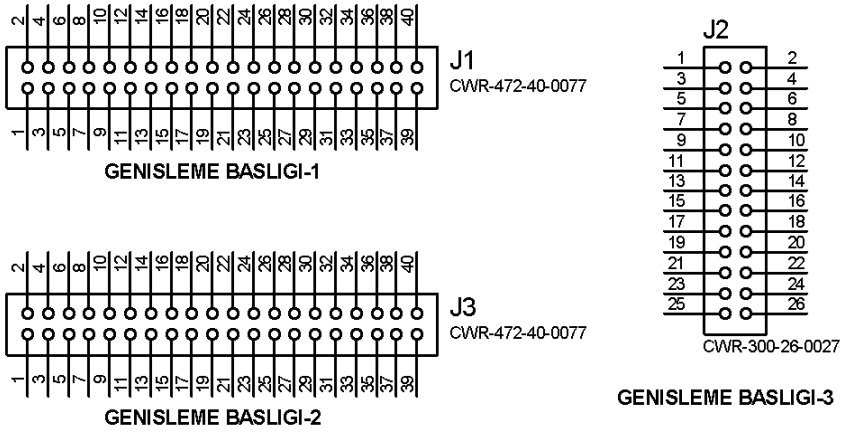


Şekil 3.12. Cyclone IV cihazındaki lojik dizilim bloğunun yapısı.

3.2.2. Giriş çıkış birimleri

Tasarlanan kartta görüntü sensörü, ekran, arayüz bağlantıları veya ihtiyaç durumunda kullanılabilmesi için genişleme pinlerinin konulması gerekmiştir. Kartın üzerinde 3 adet genişleme başlığı bulunmaktadır. Bunlardan birinci genişleme başlığı ile ikinci genişleme başlığı 40 pine sahiptir. Pinlerden 36 tanesi direk olarak Cyclone IV cihazına bağlanırken, 11 numaralı pinler D.C. 5 voltluk hatta bağlı, 29 numaralı pin 3.3 voltluk hatta bağlı, geriye kalan 12 ve 30 numaralı pin ise GND (toprak) hattına bağlıdır (Şekil 3.13). Detaylı pin bağlantıları ek-1 bölümünde gösterilmektedir. Bahsedilen 40 pinli birinci ve ikinci genişleme başlıkları kullanılarak Terasic firmasının üretmiş olduğu D5M model numaralı CMOS görüntü sensörünün veya LTM isimli LCD panelin bağlantısı yapılabilmektedir.

Üçüncü genişleme başlığı ise 26 pine sahiptir. Bu başlığın önemini arttıran esas özelliği ise pinlerinden 8 tanesinin analog dijital dönüştürücü elemanına bağlı olmuş olmasıdır. 1 numaralı pini 3.3 voltluk hatta bağlı, 26 numaralı pini ise toprak (GND) hattına bağlıdır.



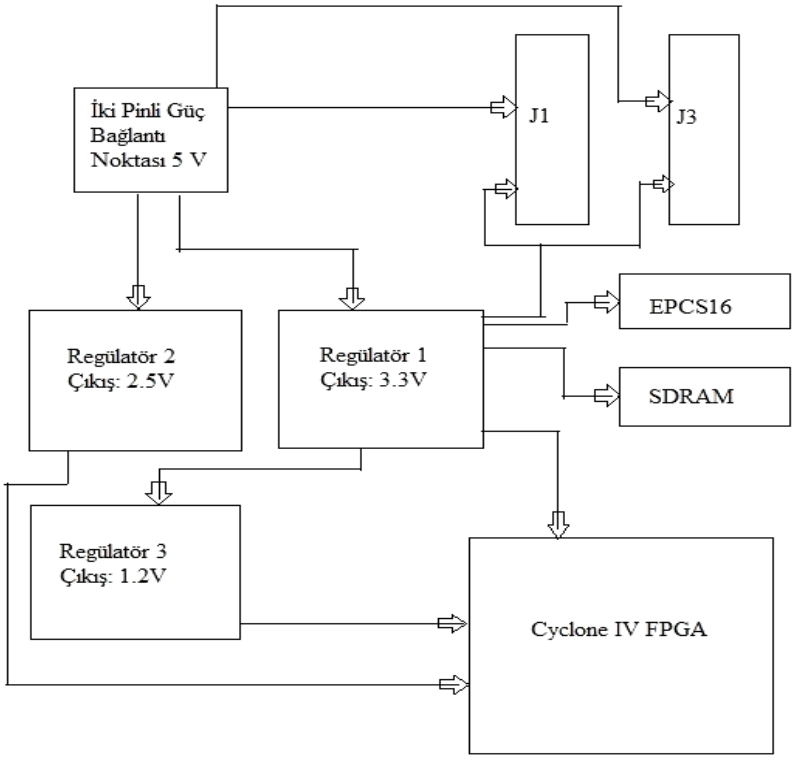
Şekil 3.13. Geliştirme kartı üzerindeki genişleme başlıkları.

Geliştirme kartında, Cyclone IV FPGA'nın pinlerine bağlı 8 adet LED (Işık Yayan Diyot) bulunmaktadır, bunlar durum bildirimi gibi ihtiyaçlar için kullanılabilirler. Uygulamalarda lojik 1 veya 0 verebilme imkânı tanıyan dört girişli dip anahtar bulunmaktadır. Ayrıca giriş birimi olarak iki adet de buton bulunmaktadır. Bu

butonlar da uygulamalarda geçici süre lojik 1 veya lojik 0 verilmesi gerektiğinde kullanılabilirler.

Kartın güç ihtiyacı 5 voltluk D.C. giriş ile sağlanmaktadır. İki pinli bir güç bağlantı noktasından alınan 5 voltluk D.C. gerilim iki adet regülatöre, 1 numaralı ve 2 numaralı genişleme başlıklarının 11 numaralı pinine girmektedir. Yani kart harici bir kaynaktan iki pinli güç bağlantı noktasına giriş yapılarak kullanılıyorken bahsedilen 11 numaralı pinlerden 5 V D.C. gerilim ihtiyaç halinde kullanılabilmektedir ya da bunun tam tersi olacak şekilde genişleme başlıklarına 5 V D.C. gerilim uygulanarak kartın çalışması sağlanabilmektedir.

Regülatörlerden sonra 2.5 V ve 3.3 V ve 1.2 V D.C. gerilim elde edilmektedir. Birinci regülatörden elde edilen 3.3 voltluk gerilim Cyclone IV cihazının bazı pinleri haricindeki kart üzerindeki ihtiyacı olan bütün elemanların beslemesinde kullanılmaktadır. Ayrıca üçüncü regülatörün girişi de birinci regülatörden sağlanmaktadır (Texas Instruments Incorporated, 2009). İkinci regülatörden elde edilen 2.5 V ve üçüncü regülatörden elde edilen 1.2 voltluk gerilimler ise Cyclone IV cihazının bazı pinlerine uygulanmaktadır (Texas Instruments Incorporated, 2013). Şekil 3.14'de kart üzerindeki gerilim dağılım şeması gösterilmiştir.



Şekil 3.14. Kart üzerindeki gerilim dağılım şeması.

3.2.3. Hafıza birimleri

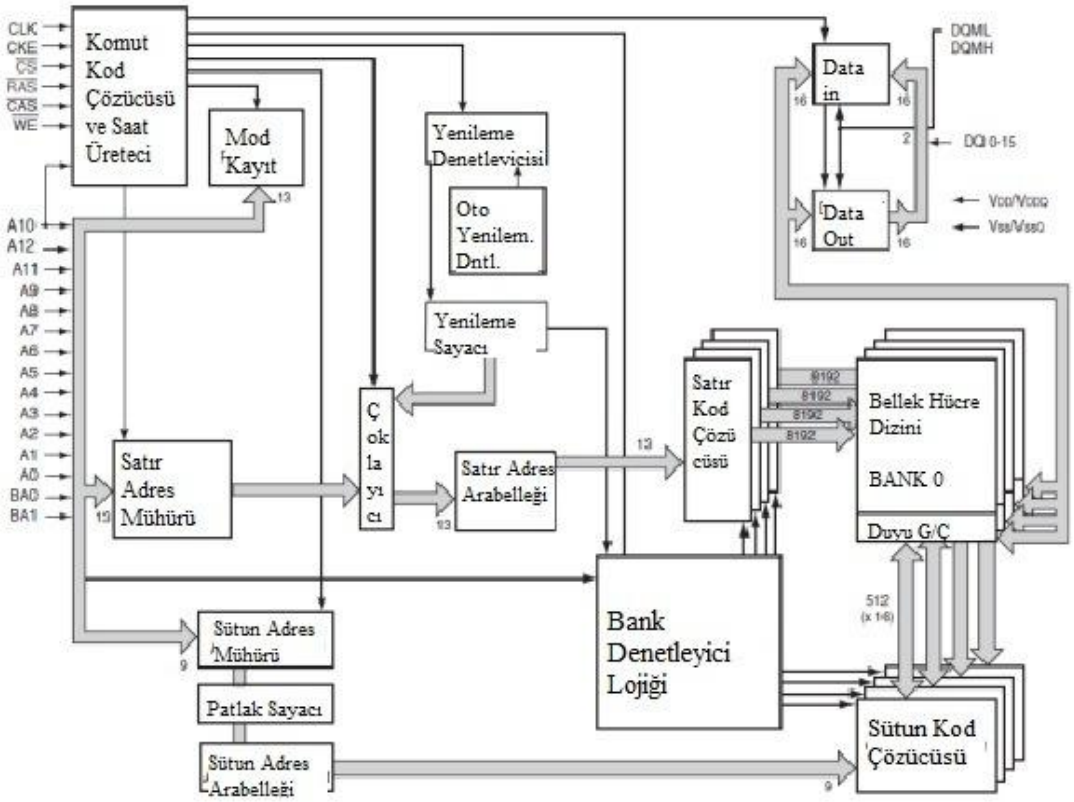
Kart üzerindeki bulunan hafıza birimleri SDRAM (Senkron Dinamik Rastgele Erişimli Hafıza), EEPROM ve EPCS'dir (Seri Yapılandırma Cihazı).

SDRAM ismi, Synchronous Dynamic Random Access Memory kelimelerinin baş harflerinden oluşturulmuştur. Öncelikle RAM'in (Rastgele Erişimli Hafıza) ne olduğunu açıklamak gerekirse, bilgisayar sistemlerinde işlemcilerin verileri depolamasında kullanılan bir elemandır. Diğer veri depolama elemanları olan hard disk, CD, DVD, vb.nin aksine RAM'lerde depolanan veriye belirli bir adres sırasına göre ulaşılmaz, ismindeki rastgele kelimesi buradan gelmektedir ve bu özellik verilere çok daha hızlı ulaşılabilmesine imkân tanımaktadır. FPGA'ların kendisinden istenilen işlemleri yaparken ihtiyacı olan geçici hafızayı ona sağlamak amacıyla RAM kullanılmaktadır (Anonymous, 2012).

SRAM ve DRAM (Dinamik Rastgele Erişimli Hafıza) çeşitlerinin FPGA sistemlerinde kullanıldığı görülmektedir. Statik yapıdaki SRAM'ler, DRAM'lere göre daha hızlı sonuçlar vermektedir. Buna karşılık olarak ise bit başına maliyet olarak DRAM'ler çok daha ucuza mâl olmaktadır ve bir sistemde bu RAM çeşitlerinden hangisinin tercih edileceği, kullanılacağı uygulamaya, alana göre değişmektedir (Keltcher, 2000).

SDRAM'lerin senkron yapısı, çalışma şeklinin sistem saatinden gelen sinyale göre eş zamanlı olması şeklinde açıklanabilir. Bu senkron yapı DRAM'lere göre verilere daha yüksek hızda erişme olanağı sağlamaktadır.

Bu çalışmada kullanılması planlanmış olan SDRAM, toplamda 256 MB hafızaya sahip olan ISSI firmasının üretmiş olduğu IS42S16160G kod numaralı elemandır. 200 MHz'e kadar saat desteği sağlayan, 54 adet pin bağlantısı bulunan bu elemanda 16 adet 16 MB'lık hafıza bloğunun bir arada çalışması ile 256 MB'lık hafıza sunulmaktadır (Integrated Silicon Solution, Inc., 2013). Şekil 3.15'de kullanılan SDRAM'in blok diyagramı gösterilmiştir.

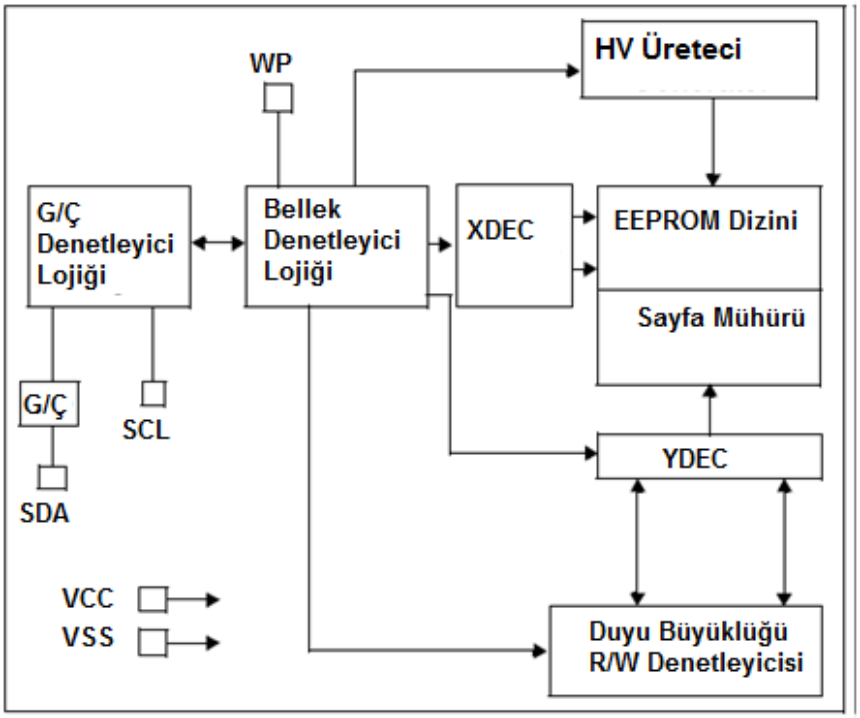


Şekil 3.15. Kullanılan SDRAM'in blok diyagramı.

EEPROM entegresi elektriksel olarak programlanabilen / silinebilen bir hafıza birimidir. Küçük boyuttaki verileri kalıcı olarak saklamak için kullanılırlar. EEPROM'lar non-volatile, yani sistemin elektrik gücü kesildiği zaman hafızalarındaki bilgiyi kaybetmeyen elemanlardır. EEPROM ismi Electrically Erasable Programmable Read Only Memory kelimelerinin baş harflerinin birleştirilmesiyle oluşur. EEPROM I2C protokolünü kullanarak veri akışını sağlar. I2C (Inter Integrated Circuit), Philips Semiconductors firmasının geliştirdiği bir çift yönlü ve çift hatlı veri iletişimi protokolüdür ve entegrelerin kontrolünü sağlamak amacıyla kullanılır (NXP Semiconductors, 2012). 100 kbit/s ile 5 Mbit/s arasında çeşitli hızlarda veri transferi yapabilen modları bulunmaktadır. I2C protokolüne sahip EEPROM'lar SDA (Seri Veri Yolu) ve SCL (Seri Saat Yolu) olmak üzere iki adet bağlantı hattını kullanır.

Bu çalışmada, sistem her yeniden başladığında bir uygulamanın FPGA üzerinde çalışmasını sağlayabilmek amacıyla bir EEPROM'un yerleştirilmesi planlanmıştır. Kullanılması planlanan EEPROM, Microchip firmasının ürettiği 24LC02B kod numaralı entegresidir. 24LC02B, 100 kHZ – 400 kHZ aralığında saat frekansına uygun şekilde çalışabilmekte olup 2kbit büyüklüğe sahiptir. Veri okuması sırasında 1 mA'e

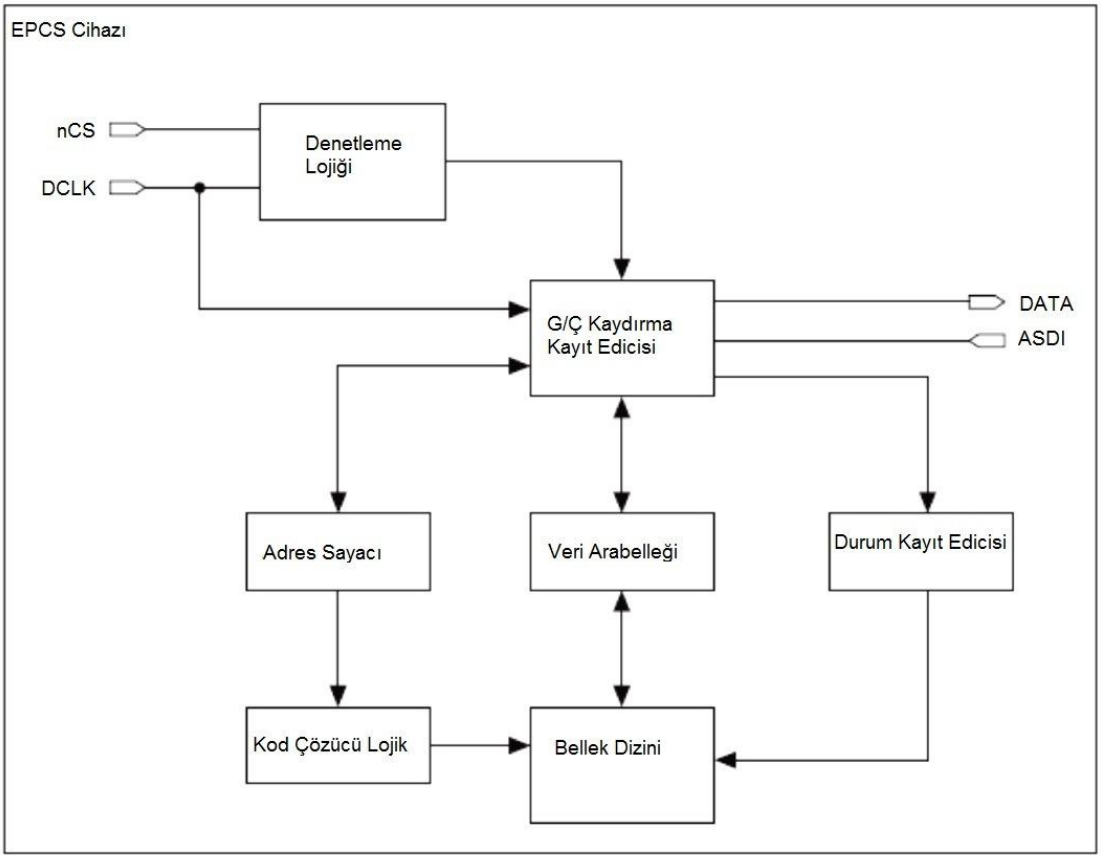
kadar akım çekerken, bekleme konumunda 1 µA akım çekmesi enerji kullanımı yönünden, 1 milyondan fazla kez yazılıp silinebilmesi de uzun ömürlü kullanım şeklinde avantaj sağlamaktadır (Microchip Technology Inc, 2007). Şekil 3.16'da EEPROM yongasının blok diyagramı gösterilmiştir.



Şekil 3.16. EEPROM yongasının blok diyagramı.

EPCS seri yapılandırma cihazı, genellikle SRAM tabanlı FPGA sistemlerinde kullanılmaktadır. Bu sistemlerin enerjisinin kesilip yeniden enerji verildiğinde yapılandırma verisinin tekrar yüklenmesi gerekmektedir (Anonymous, 2009). EPCS'ler enerjisi kesildiğinde üzerinde bulunan verisi silinmeyen hafıza birimleridir. Bir flaş hafıza olan EPCS cihazı bu yapılandırma verisini hafızasında saklar ve sistem her yeniden başladığında FPGA'nın SRAM hücrelerinin yeniden yapılandırılmasını sağlar. FPGA seri arayüz bağlantısı ile EPCS üzerinde bulunan veriye ulaşır.

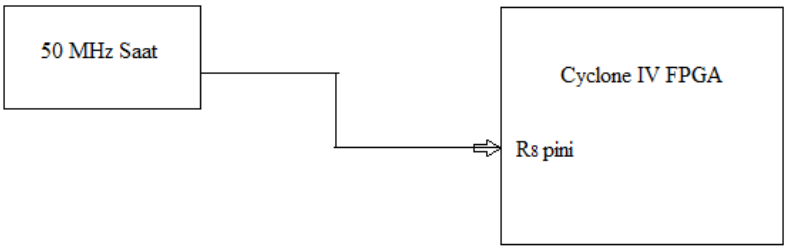
Bu çalışmada kullanılması planlanan seri yapılandırma cihazı, Altera firmasının ürettiği 16 MB hafızaya sahip olan EPCS16 isimli elemandır. Şekil 3.17'de EPCS seri yapılandırma cihazının blok diyagramı gösterilmiştir. EPCS16 üzerinde, seri saat girişi (DCLK), seri veri çıkışı (DATA), lojik 0 yonga seçimi aktif (nCS), aktif seri veri girişi (ASDI), gerilim besleme pinleri bulunmaktadır.



Şekil 3.17. EPCS seri yapılandırma cihazının blok diyagramı.

3.2.4 Saat elemanı

Kart üzerinde saat sinyalini vermeye yarayan 50 MHz'lik bir osilatör bulunmaktadır. Bu 50 MHz'lik osilatör doğrudan Cyclone IV cihazının saat için ayrılmış olan pinine bağlı bulunmaktadır (Şekil 3.18). Bu eleman Cyclone IV cihazında bulunan PLL devresini sürmek için kaynak saat olarak kullanılabilmektedir.



Şekil 3.18. 50 MHz saat devresinin Cyclone IV cihazına bağlantı blok diyagramı

3.3. FPGA'nın Programlanması

Kartın çalışması ve kart üzerindeki diğer elemanların kontrolü, esas eleman olan FPGA'ya bağlı bir şekilde gerçekleşmektedir. Bu tasarımda, FPGA'nın istenilen şekilde programlanması veya başka bir deyişle hazırlanan kodların, uygulamaların FPGA'ya aktarılabilmesi için USB (Evrensel Seri Veriyolu) Blaster sisteminin kullanılmasına karar verilmiştir. Altera firmasının ürettiği USB Blaster indirme kablosu tercih edilmiştir (Şekil 3.19).



Şekil 3.19. Altera USB Blaster İndirme Kablosu

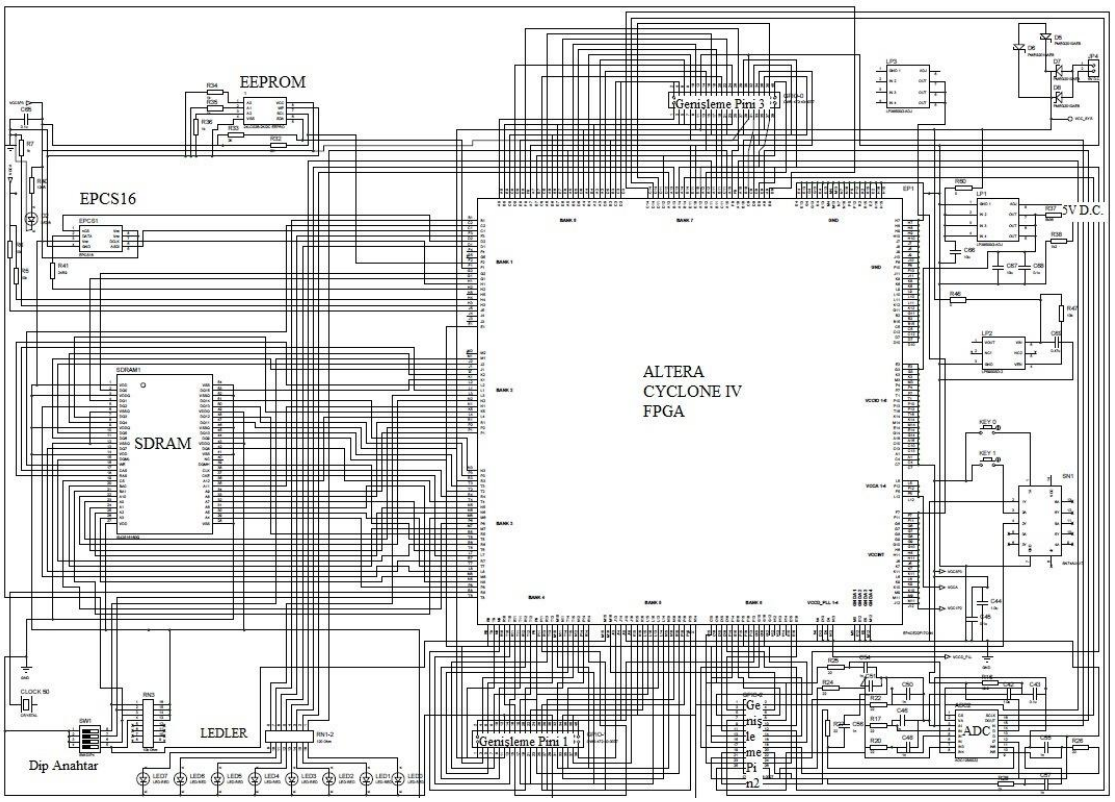
Altera USB Blaster İndirme Kablosu, Altera firmasının ürettiği Stratix, Cyclone, Arria, GX, APEX, ACEX 1K, Mercury, FLEX 10K, Excalibur isimli FPGA'lar ve MAX isimli CPLD'ler ile uyumlu bir şekilde çalışmaktadır. Ayrıca Windows 2000, Windows XP, Windows Vista, Windows 7, UNIX ve bütün Linux platformlarını desteklemektedir (Altera Corporation, 2009). FPGA'nın yapılandırılabilmesi için Quartus II yazılımına ihtiyaç duyulmaktadır.

FPGA'nın yapılandırılması işlemine başlamadan önce FPGA'nın bağlı olduğu güç kablosu çıkartılmakta ve USB Blaster indirme kablosu FPGA geliştirme kartına bağlanmaktadır. İndirme kablosu ilk defa çalıştırılacağında, Quartus II yazılımının bulunduğu klasörün içindeki sürücülerden sisteme uygun olan USB blaster sürücüsü seçilip kurulmakta ve daha sonra Quartus II yazılımı aracılığıyla derlenen yazılım FPGA'ya aktarılmaktadır.

4. ARAŞTIRMA SONUÇLARI VE TARTIŞMA

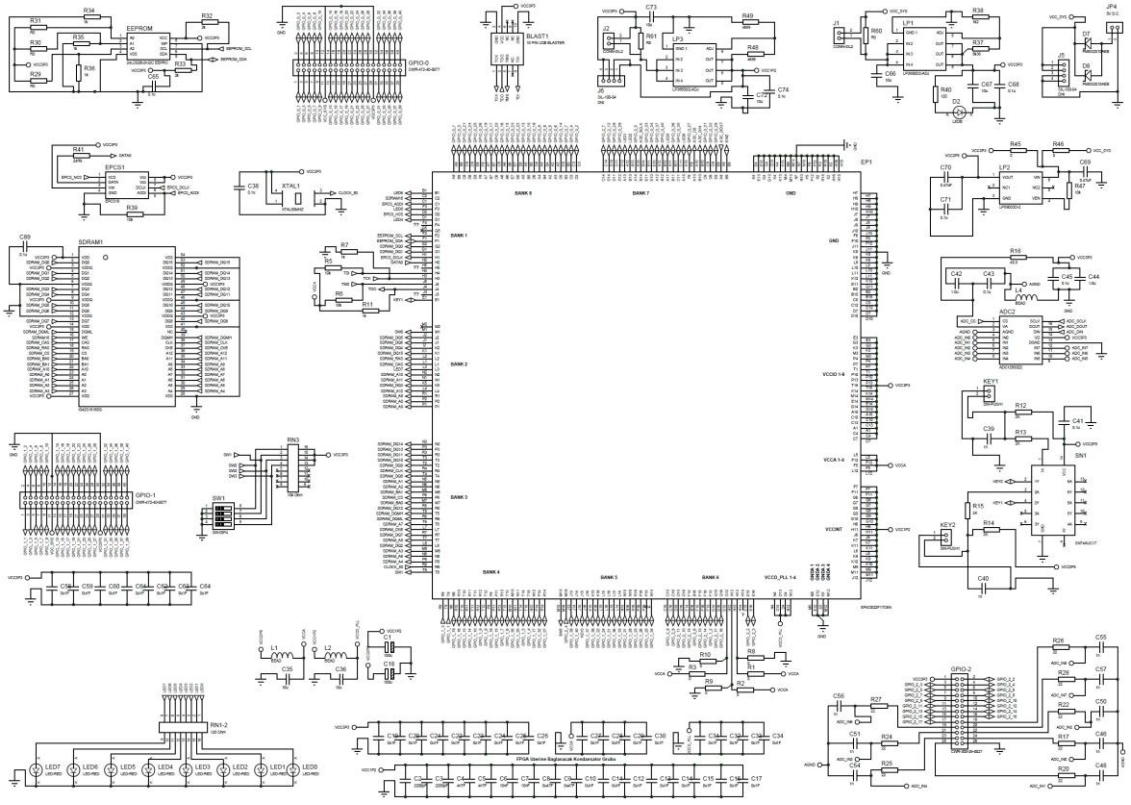
Çalışmanın sonucunda görüntü işleme uygulamalarında kullanılabilecek düzeyde bir FPGA geliştirme kartının tasarımı yapılmış, baskı devresi hazırlanmış ve imkânlar ölçüsünde gerçeklenmiştir. Bu bölümde tasarlanan kartın üzerinde kullanılan elemanların bağlantıları, çalışma şekilleri ve kartta çalıştırılan örnek uygulama detaylı bir şekilde anlatılmaya çalışılmıştır. Tasarlanan kartta kullanılan elemanlar ve malzemeler aşağıda sıralanmış ve şekil 4.1'de bağlantılarıyla birlikte gösterilmiştir.

- EP4CE22F17C6N model numaralı Cyclone IV FPGA,
- 256 MB hafızaya sahip SDRAM,
- 2 kbit kapasiteli EEPROM,
- 16 MB hafızalı EPCS Seri Yapılandırma Cihazı,
- 50 MHz saat sinyali sağlayabilen bir saat elemanı,
- Analog / Dijital dönüştürücü entegre,
- Toplamda 106 adet genişleme pini,
- Regülatörler,
- 8 adet çıkış amaçlı LED, ve 1 adet güç akışını gösteren LED
- 2 adet buton,
- Dip anahtar,
- Direnç, kondansatör, diyot v.b. elemanlardır.



Şekil 4.1. Tasarlanan karttaki elemanlar ve bağlantılarının görünümü

Şekil 4.1'de gösterilen bağlantılar hazırlanmış fakat bağlantıların çok fazla sayıda olmasından dolayı label denilen kısaltmalar kullanılarak çizim sadeleştirilmiştir (Şekil 4.2).

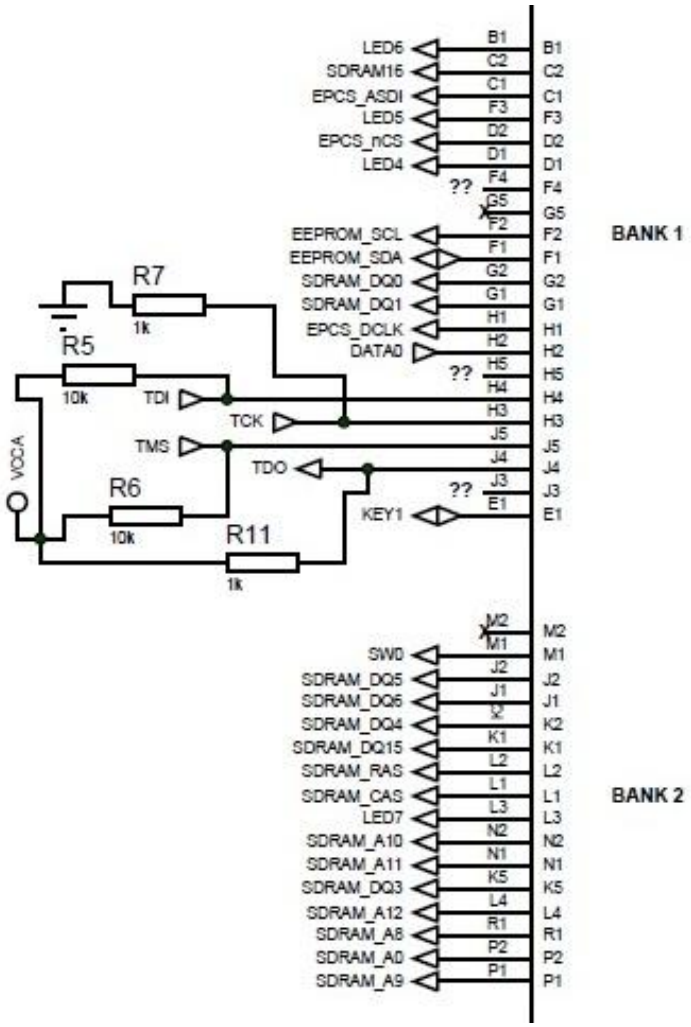


Şekil 4.2. Tasarlanan kartın bağlantılarının sadeleştirilmiş görüntüsü

4.1. Kartın Tasarımında Kullanılan Elemanlar, Bağlantıları ve Çalışma Şekilleri

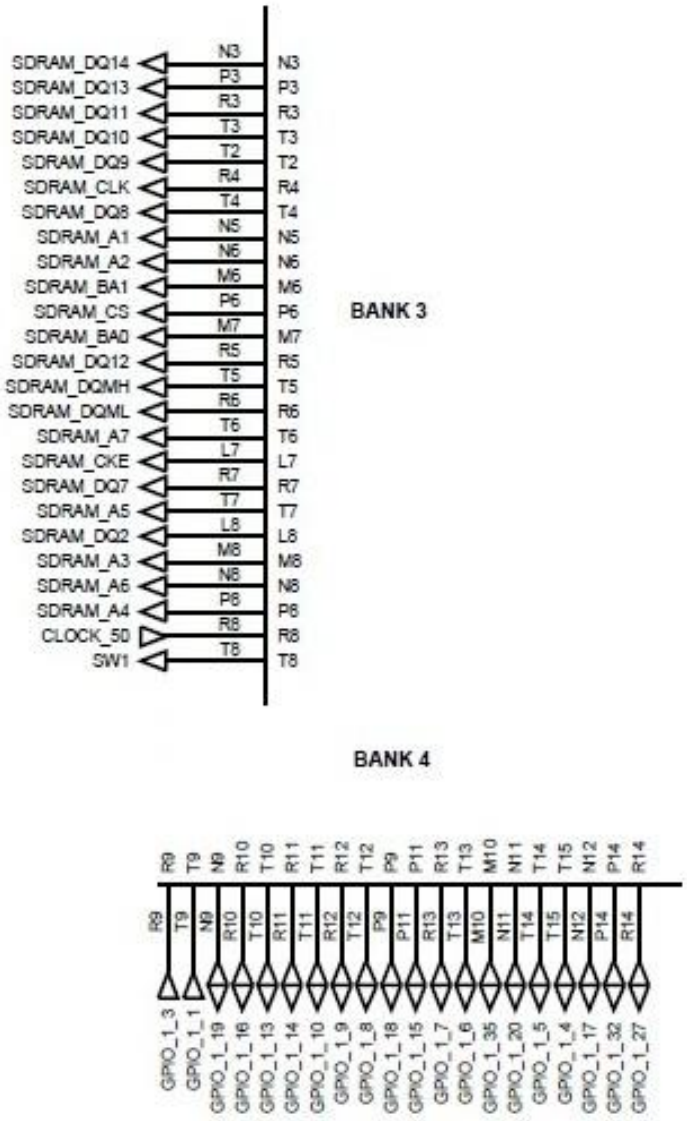
Kartın temel elemanı olan Cyclone IV serisi EP4CE22F17C6N kod numaralı FPGA, bank adı verilen 8 bölüme ayrılmıştır. Banklardaki her bir pinin bağlantısı ek-1 bölümünde gösterilmektedir. Bunlardan 1. banka, SDRAM'in bazı uçları, EPROM, EPCS seri yapılandırma cihazının uçları, bazı LED'ler ve anahtarların giriş ve çıkışları bağlanmıştır. Ayrıca FPGA cihazının programlanmasını sağlayan USB Blaster başlığının uçları da bank 1'deki pinlere gelmektedir (Şekil 4.3). USB Blaster başlığındaki TCK ucu saat sinyal girişi, TDO girişi FPGA'dan gelen veri girişi, TDI FPGA'ya giden veri çıkışı, TMS ise yapılandırma veya durum denetleme ucu şeklindedir.

Bank 2 bölümüne bağlı olan uçların iki tanesi hariç hepsi SRAM'e bağlanmıştır. Kalan iki bağlantıdan birisi dip anahtara birisi de 7 numaralı LED'e gitmektedir (Şekil 4.3).



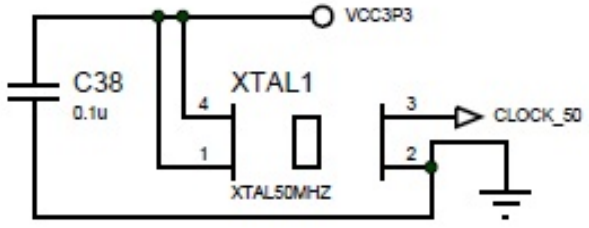
Şekil 4.3. Cyclone IV FPGA'nın bank1 ve bank2 bölümlerinin bağlantıları

Bank 3 bölümündeki 25 pinin 23 tanesi de bank 2 bölümündekiler gibi SDRAM'in uçlarına geriye kalan pinlerden bir tanesi dip anahtara, diğeri ise saat sinyali sağlayan osilatör cihazına bağlanmaktadır (Şekil 4.4).



Şekil 4.4. Cyclone IV FPGA'nın Bank3 ve Bank4 bölümlerinin bağlantıları

Saat sinyali sağlayan cihaz MEC firmasının ürettiği 50 MHz frekansında osilasyon sağlayan bir kaynaktır (Şekil 4.5). Saat sinyali veren eleman 3.3 voltluk gerilimle beslenmektedir.



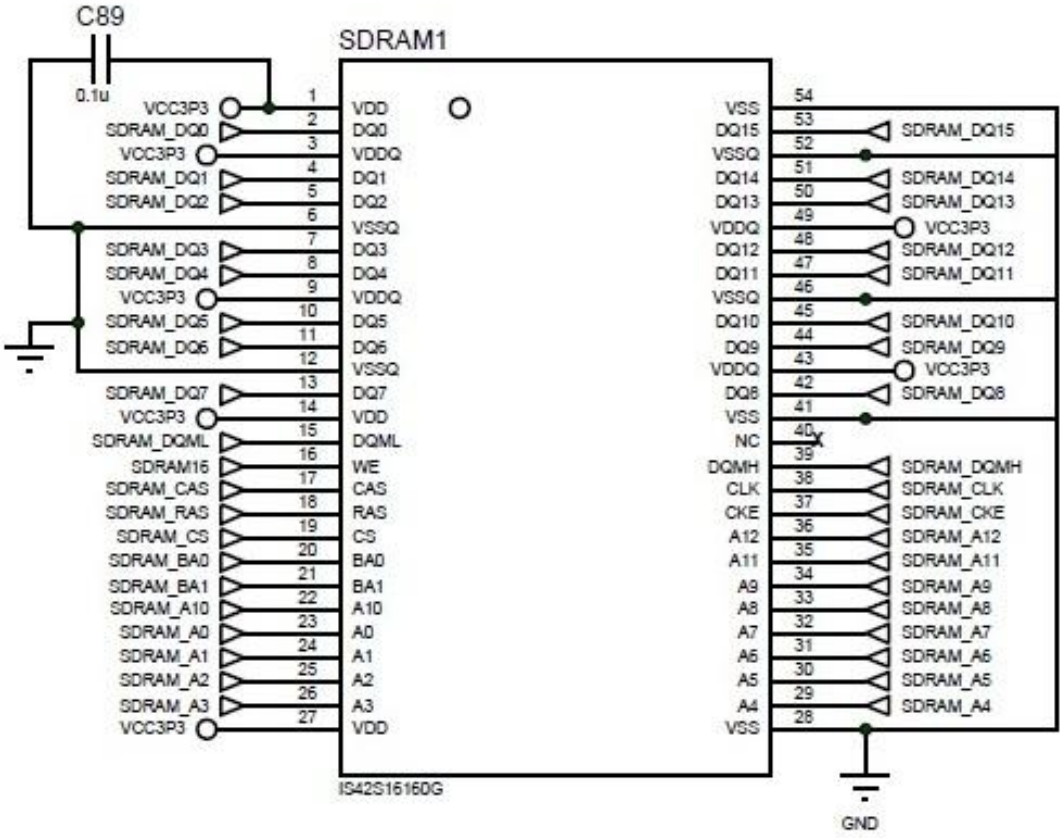
Şekil 4.5. Saat sinyali veren osilatörün bağlantıları

Bank 4, bank 5, bank 6 bölümlerinin pinlerden, bank 5 bölümünde dip anahtar ve butona bağlanan birer adet bağlantı ve bank 7 bölümünde 3 adet yapılandırma girişi haricindekilerin tamamı genişleme pinlerine bağlanan genel amaçlı giriş-çıkış uçları şeklindedir. Bank 7 bölümünde de dip anahtar, LED'ler, analog-dijital dönüştürücü cihazına bağlanan giriş ve çıkış uçları bulunmaktadır. Bunların dışındaki bank 7 bağlantıları ve bank 8 uçlarının tamamı, yine genişleme pinlerine bağlı bulunmaktadır.

Anlatılan 8 adet bankın dışında kalan uçlar ise besleme ve toprak hatlarına bağlı bulunmaktadır. 3.3 V, 1.2 V beslemeleri, programlama sırasında ihtiyaç duyulan sinyali sağlayan besleme bağlantısı ve son olarak faz kilitli döngü sistemi için ihtiyaç duyulan sinyaller de bu bağlantı noktalarından FPGA'ya sağlanmış olmaktadır.

Kart üzerinde toplamda 3 adet genişleme pini ve 1 adet USB Blaster programlayıcının bağlanabileceği bir başlık bulunmaktadır. 1 ve 2 numaralı genişleme başlıkları kamera ve LCD ekranın bağlantısını yapmak için kullanılacaklardır. 3 numaralı genişleme başlığındaki uçlar FPGA'nın genel amaçlı giriş-çıkış uçlarına ve kart üzerinde bulunan analog-dijital dönüştürücü entegresine bağlı bulunmaktadır.

Kartın tasarımında kullanılan IS42S16160G kod numaralı SDRAM bloğunun bağlantıları şekil 4.6'da gösterilmektedir. SDRAM, Cyclone IV FPGA cihazına 256 MB'lık hafıza sağlamaktadır. Kart üzerindeki uygulamada çalışan görüntü sensöründen gelen görüntü verileri öncelikle burada depolanmakta, daha sonra ekrana gönderilmek üzere tekrar buradan okunmaktadırlar. SDRAM entegresi 3.3 voltluk gerilim ile beslenmektedir. Senkron dinamik RAM olan bu cihazda, saat elemanından gelen sinyalin pozitif kenarında, eş zamanlı olarak bütün kayıt defterleri aynı anda okunmakta veya yazılmaktadır.

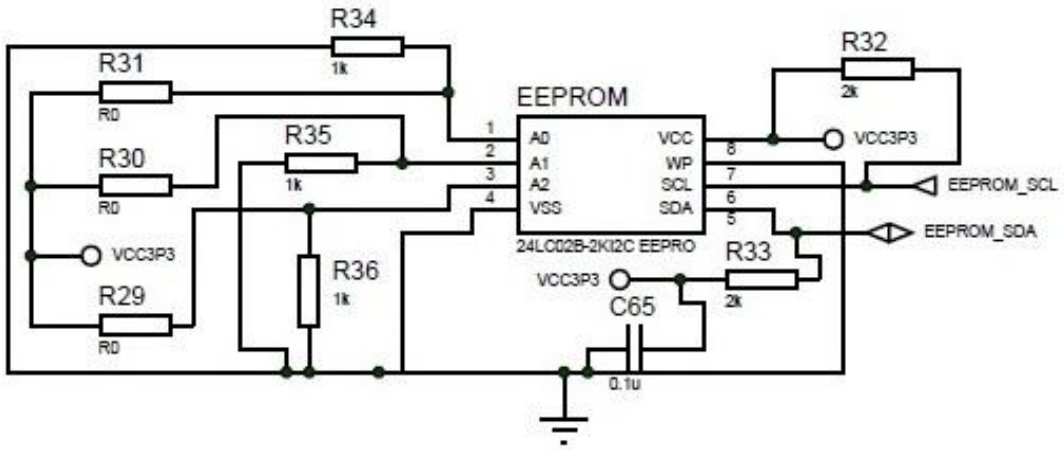


Şekil 4.6. SDRAM entegresinin bağlantıları

Cihazın pinlerinden VDD, entegre için, VDDQ ise giriş-çıkış arabelleği için gerekli olan beslemenin sağlandığı bağlantılardır. Aynı şekilde VSS ve VSSQ uçları da SDRAM ve giriş çıkış için toprak bağlantısını gerçekleştirmektedir. SDRAM'e "ACTIVE" komutu geldiğinde, A0'dan A12'ye kadar olanlardan satır adres giriş sinyali, A0'dan A9'a kadar olanlardan sütun adres giriş sinyali örneklenmekte, "READ/WRITE" komutları geldiğinde ise sıradaki banktaki bellek dizininden bir yer seçimi yapılmaktadır. BA0 ve BA1, "ACTIVE", "READ", "WRITE" ve "PRECHARGE" komutlarının hangi bank adresine uygulandığını tanımlamaktadırlar. CAS, RAS ve WE ile birlikte cihaz komutlarını düzenlemektedir. RAS, satır adres strobe komutu; CAS, sütun adres strobe komutu; WE, yazma seçimi şeklinde tanımlanmışlardır. CLK entegrenin ana saat girişidir ve CKE haricindeki bütün girişler CLK'ye gelen saat sinyalinin pozitif kenarında işleme tabi tutulmaktadır. Asenkron bir giriş olan CKE girişi, CLK girişinin aktif olduğunu belirlemektedir. CS ise çipin komut girişinin aktif olduğunu belirlemektedir. DQML ve DQMH giriş-çıkış arabelleklerinin alt ve üst verilerini, okuma modunda ise çıkış arabelleğini denetlemektedirler. Bunlar

lojik 0 seviyesinde iken ilgili arabellek baytı aktif, lojik 1 iken de tam tersi duruma gelmektedir. Yazma modundayken DQML ve DQMH giriş arabelleğini denetlemektedirler. Lojik 0 seviyesinde iken ilgili arabellek baytı aktif durumdadır ve veri SDRAM'e yazılabilmektedir. Lojik 1 seviyesindeyken ise giriş verisi maskelenmektedir ve yazma işlemi yapılamamaktadır. DQ0'dan DQ7'ye kadar olan veri giriş-çıkışı uçları, yazma komutu geldiğinde data yolundaki datayı DQ pinlerine mühürlemekte, okuma komutu geldiğinde ise çıkış için arabelleğe aktarmaktadır (Integrated Silicon Solution, Inc., 2013).

Tasarlanan kartta 24LC02B kod numaralı EEPROM entegresi kullanılmıştır. Bu cihazın içine kaydedilen uygulama, sistem her yeniden başlatıldığında veya enerjisi kesilip tekrar verildiğinde FPGA'ya aktarılarak FPGA üzerinde çalışmasını sağlamaktadır. EEPROM cihazının bağlantıları şekil 4.7'de gösterilmektedir.

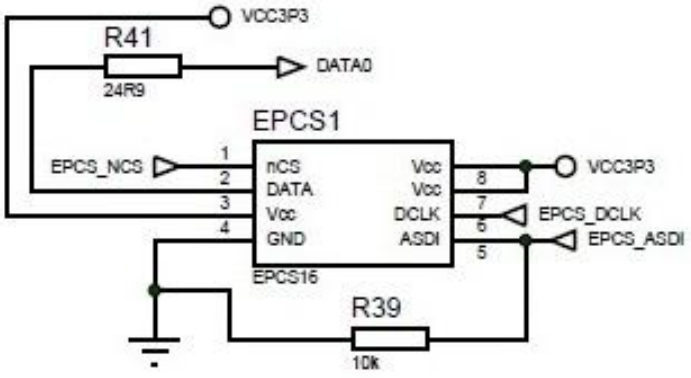


Şekil 4.7. EEPROM cihazının bağlantıları

EEPROM cihazı, çift yönlü, 2 hatlı veriyolu ve veri iletim protokolünü desteklemektedir. Veriyoluna veri gönderen cihaz verici olarak, veriyi alan cihaz da alıcı olarak tanımlanmaktadır. EEPROM, köle yani bağımlı cihaz olarak çalışırken, başlama ve durdurma durumlarını üreten, veriyolu erişimini kontrol eden ve seri saat pini olan SCL ucuna sinyal gönderen ana cihaz tarafından veriyolu denetlenmektedir. Ana veya bağlı cihazların her ikisi de alıcı veya verici olarak çalışabilmekte fakat kimin hangi modda çalışacağını ana cihaz belirlemektedir. Cihazda kullanılan veriyolu protokolüne göre, sadece veriyolu meşgul değilken veri transferi başlatılabilmektedir ve veri transferi gerçekleştirilirken saat hattı lojik 1 seviyesinde olduğu sürece veri hattı

sabit kalmak zorundadır. Eğer saat hattı lojik 1 seviyesindeyken veri hattında değişimler olursa, veri transferinde başlama veya durdurma durumlarına geçme şeklinde kesintilerin olmasına sebebiyet verecektir. Adresleme işi yapılırken, ana cihazdan alınan başlama durumundan sonraki takip eden ilk bayt bir kontrol baytıdır. Kontrol baytı, okuma ve yazma işlemleri için 4 bitlik "1010" şeklindeki bir kontrol kodunu içermektedir. Kontrol baytının içindeki kontrol kodundan sonraki üç biti etkisiz değer şeklindedir yani "1" ya da "0" olmasının bir önemi yoktur, fakat son biti ise yerine getirilecek işlemi tanımlamaktadır. Bu bit "1" değerinde ise okuma işlemi, "0" değerinde ise yazma işlemi seçilecektir (Microchip Technology Inc, 2007).

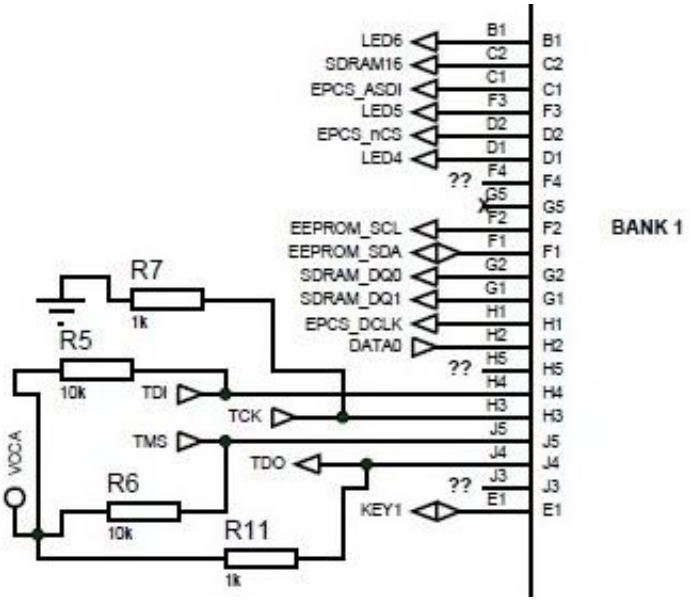
Tasarlanan kartta, FPGA'nın enerjisi kesilip yeniden başladığında FPGA üzerindeki SRAM hücrelerinin yapılandırılabilmesi için şekil 4.8'de bağlantıları gösterilen EPCS16 seri yapılandırma cihazı kullanılmıştır. Kullanılan cihaz, 8 pinli, SOIC (Küçük Çerçeveli Entegre Devre) pakete sahiptir. Cihazın aynı 8 pinli paket yapısına sahip 1 MB ile 16 MB arasında değişen hafızaya sahip çeşitleri bulunmakta ve bunlar arasında yapısal farklılıklar olmadığından gerektiğinde aralarında değişiklik yapılabilmektedir. EPCS16 100,000'den fazla defa silinip tekrar yazılabilen hafızaya sahiptir (Altera Corporation, 2012). Besleme gerilimi olarak 2.7 V ile 3.6 V aralığında çalışabilen cihaza VCC uçlarından 3.3 voltluk besleme gerilimi uygulanmaktadır. GND ucu toprak hattına bağlanmıştır.



Şekil 4.8. EPCS seri yapılandırma cihazının kart üzerindeki bağlantıları

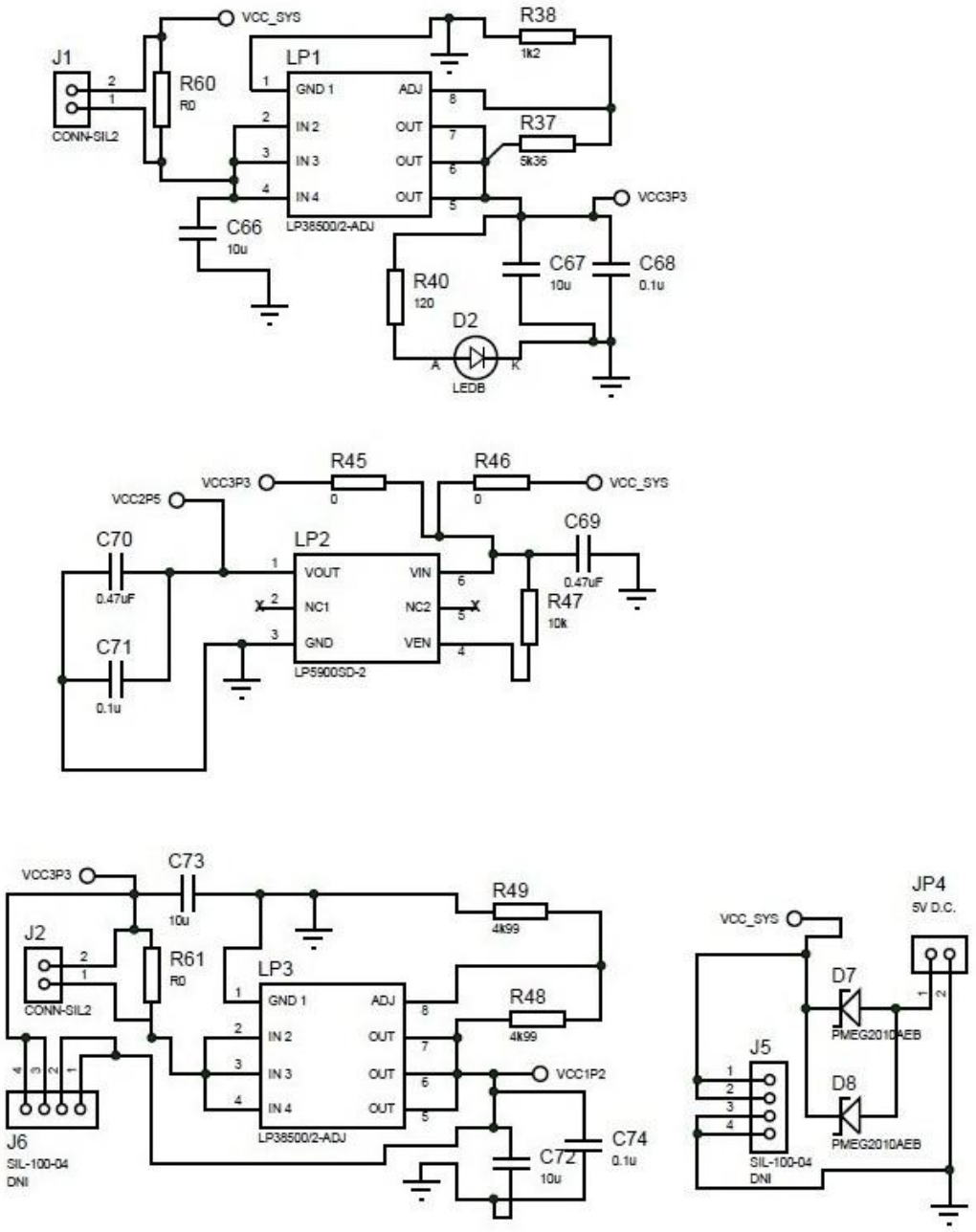
Altera firmasının ürettiği cihaz, Cyclone IV FPGA'nın da desteklediği (AS)x1 (Aktif Seri) yapılandırma şemasını kullanmaktadır. Aktif seri yapılandırma sisteminde yapılandırma akışını kontrol eden ana cihaz FPGA'dır ve EPCS cihazına saat sinyalini DCLK pininden FPGA sağlamaktadır. FPGA'nın nCS sinyalini lojik 0 düzeyine

çekmesiyle EPCS cihazı aktif duruma geçmektedir. FPGA bunu yaparken bank 1 bölümündeki D2 pinine bağlı bulunan nCS0 çıkışını kullanmaktadır (Şekil 4.9). Enerji kesilip tekrar geldiğinde EPCS cihazı nCS sinyalinin düşen kenarını bekler ve bu gerçekleşmeden hiçbir işleme başlamaz. EPCS aktif hale getirildikten sonra FPGA, EPCS'nin ASDI girişine adresleri ve direktifleri göndermektedir. EPCS cihazı ise DATA0 çıkışından FPGA'ya yapılandırma verilerini göndererek gelen talimatları cevaplamış olmaktadır. DATA0 ucundan sinyalin gidişi DCLK'ya gelen saat sinyalinin düşen kenarında gerçekleşmektedir (Altera Corporation, 2012).



Şekil 4.9. FPGA'nın bank 1 bölümünde bulunan EPCS bağlantıları

Kartın çalışması için gerekli enerji 5 voltluk bir D.C. gerilim girişiyle sağlanmaktadır (Şekil 4.10). Buradaki gerilim iki adet paralel bağlı schottky diyottan geçtikten sonra 1 ve 2 numaralı regülatörlere, 1. ve 2. genişleme pinlerinin 11 numaralı uçlarına gönderilmektedir (NXP Semiconductors, 2003). 1 numaralı regülatörün çıkışından elde edilen 3.3 voltluk gerilim, hex-schmitt tetikleyici hariç bütün elemanlara aktarılmaktadır ve bunların beslemesinde, çalışmasında kullanılmaktadır. Ayrıca bahsedilen 3.3 V gerilim, 3 numaralı regülatörün girişine verilmekte, bu regülatörün çıkışından ise 1.2 voltluk bir gerilim elde edilerek, Cyclone IV FPGA'nın VCCINT isimli bağlantı noktalarına verilmektedir. 2 numaralı regülatörün çıkışından ise 2.5 voltluk gerilim alınmaktadır. Elde edilen 2.5 V ise hex-schmitt tetikleyiciye ve butonlara aktarılmaktadır.



Şekil 4.10. Kartın güç girişi ve gerilim dönüşümleri

Kart üzerinde kullanılan analog-dijital dönüştürücü entegresi, National Semiconductor firmasının üretmiş olduğu ADC128S022 kod numaralı 8 kanallı bir cihazdır. Analog sinyalden saniyede 50,000 örnekleme yapıp 200,000 örnek şeklinde dijitale dönüşüm yapma imkânı sağlamaktadır. Cihaz SPI, QSPI, MICROWIRE gibi birçok arayüz standardını desteklemektedir. Analog girişi, 2.7 V ile 5.25 V değerleri arasındaki sinyalleri alıp örnekleyebilmektedir. Cihazın SCLK ucundan 0.8 MHz ile 3.2

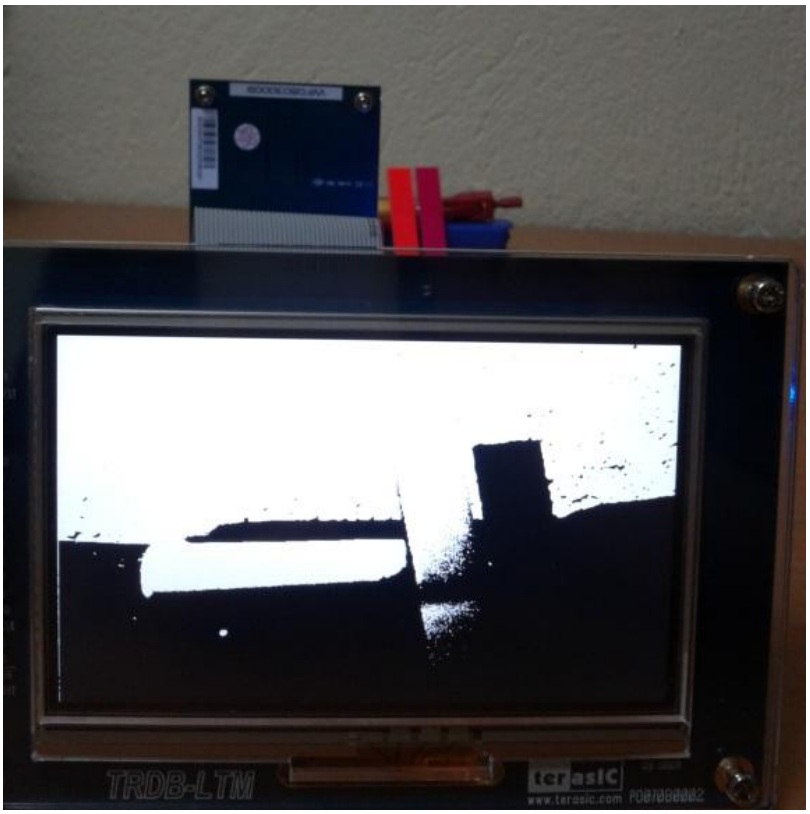
MHz aralığında saat sinyali verilmesi gerekmektedir ve bu kart tasarımında bu sinyal Cyclone IV FPGA'nın bank 7 bölümünde bulunan B14 ucundan sağlanmaktadır. IN0-IN7 girişleri analog sinyalin girebileceği uçlardır. DIN ve DOUT pinleri dijital verinin alınıp gönderildiği uçlardır. Cihaza gelen saat sinyalinin yükselen kenarında veri girişi, alçalan kenarında ise veri çıkışı işlemleri gerçekleştirilmektedir. CS pini çip seçimi ucu olup, burdaki sinyalin düşen kenarında dönüştürme işlemi başlamaktadır ve bu uçta lojik 0 durumu devam ettiği sürece de devam etmektedir. VA ve VD uçları besleme geriliminin bağlanacağı, DGND ise dijital toprak olup toprak hattına bağlanacak uçlardır. AGND analog toprak olarak isimlendirilmiştir ve analog giriş sinyallerin referansı olarak bağlanmaktadır (National Semiconductor Corporation, 2010).

Tasarlanan deneme kartındaki uygulamaların çalıştırılıp giriş çıkışların denenebilmesi için 4'lü dip anahtar, 2 adet bas-çek buton ve 8 adet LED konulmuştur. Bu elemanlar Cyclone IV FPGA'nın giriş-çıkış amaçlı kullanılan pinlerine, 3.3 voltluk besleme gerilimine ve toprak hattına bağlı bulunmaktadırlar.

Bahsi geçen bütün bağlantılar baskı devre çizim programında hazırlanmış ve tasarlanan FPGA geliştirme kartının baskı devre şeması elde edilmiştir. Baskı devre kartının yerleşim planı çizilirken üst katman, alt katman, 1. iç katman ve 2. iç katman olmak üzere 4 katmanlı bir tasarım hazırlanmıştır. Hazırlanan baskı devre kartı yerleşim planı ek-2 bölümünde sunulmaktadır.

4.2. Kart Üzerinde Çalıştırılan Uygulama

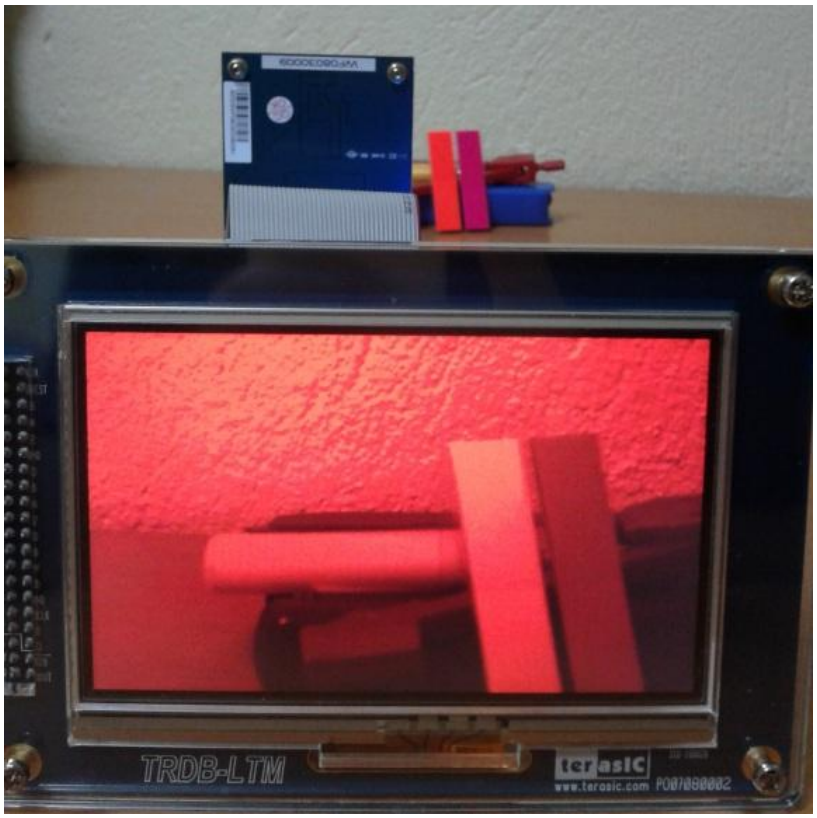
Çalışmada tasarımı hazırlanan kartın üzerinde çalışması amacıyla bir uygulama yapılması planlanmış ve Terasic firmasının DE0 Nano Board için hazırladığı örnek bir uygulamada bazı değişiklikler yapılarak kartta kullanılmasına karar verilmiştir. Düzenlenen uygulama D5M kodlu görüntü sensöründen alınan görüntü LTM kodlu LCD ekran üzerinde gösterilmekte ve dip anahtarın konumunun değiştirilmesi vasıtasıyla da ekrandaki görüntü renk seviyeleri değiştirilmektedir. Hazırlanan uygulamaya göre dip anahtar SW='X00X' konumundayken ekran görüntüsü siyah-beyaz, dip anahtar SW='X01X' konumundayken ekran görüntüsü gri seviyeli, dip anahtar SW='X10X' konumundayken ekran görüntüsü kırmızı seviyeli, dip anahtar SW='X11X' konumundayken ekranda gösterilen görüntü renkli görüntü şeklinde değiştirilmektedir.



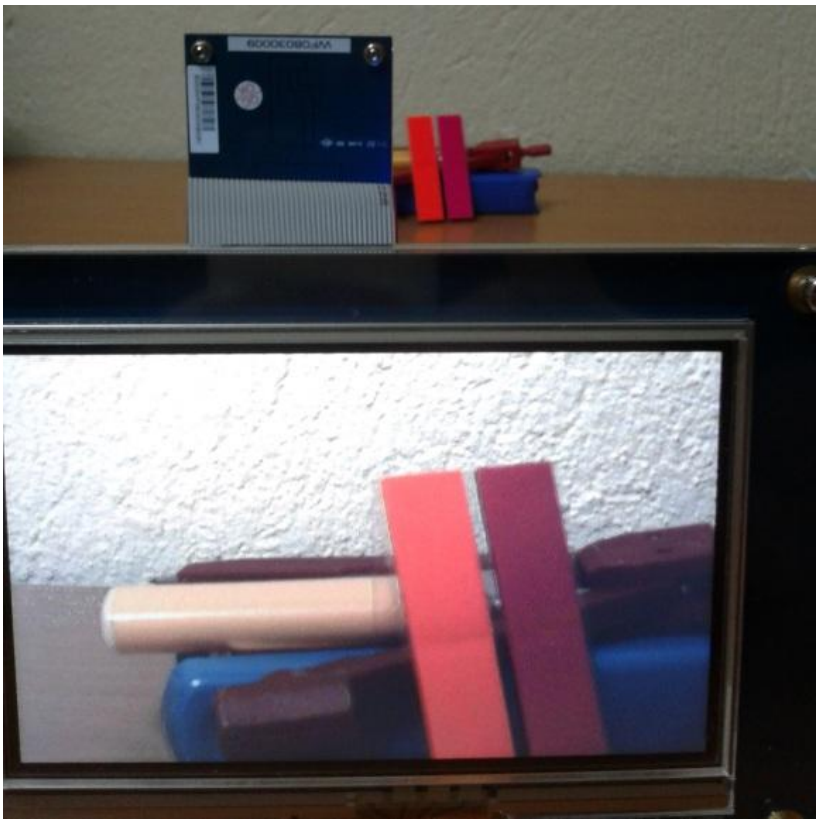
Şekil 4.11. Ekrandaki siyah-beyaz görüntü



Şekil 4.12. Ekrandaki gri seviyeli görüntü



Şekil 4.11. Ekrandaki kırmızı seviyeli görüntü



Şekil 4.11. Ekrandaki renkli görüntü

Görüntü ham görüntü halinde yani raw biçimde görüntü sensöründen FPGA'ya gelmektedir. FPGA içinde oluşturulan RAW2RGB modülünde ise kırmızı, yeşil ve mavi olmak üzere 12'şer bitlik 3 sinyal şeklindedir. Gelen bu sinyaller değiştirilmeden ekrana gönderildiğinde görüntü renkli görüntü olarak ekranda gösterilmektedir. Görüntünün renkliden gri seviyeli biçime dönüştürülmesi işlemi yapılırken bu 12 bitlik sinyaller toplanıp 3'e bölünerek yani piksellerin renk değerlerinin ortalaması alınarak gösterilmek üzere LCD'ye gönderilmektedirler. Görüntü siyah-beyaz şekilde gösterilmek istendiğinde alınan ortalama değerin 12. bitinin lojik değerine göre bütün bitler 1 veya 0 olarak ekrana gönderilmektedir. Ekranda kırmızı seviyeli görüntü elde edilmek istendiğinde ise elde edilen ortalama değer sadece kırmızı sinyal çıkışına gönderilmekte diğer yeşil ve mavi çıkışlara 0 değeri gönderilmektedir. Çizelge 4.1'deki özet kod parçasında dip anahtarın lojik konumuna göre renkli görüntünün dönüştürülme işlemi gösterilmektedir.

Kart üzerinde çalıştırılan uygulama verilog programlama dilinde hazırlanmıştır. Verilog programlama dilinin seçilmesinin sebebi ise Terasic firmasının kullandığı örnek alınan uygulamaların da aynı şekilde verilog dilinde olmasından dolayıdır.

Çizelge 4.1. Görüntünün renk seviyesinin değiştirilmesini yapan kod parçası

```
input   [11:0]  iData;
input   [3:0]   switch;
input   [1:0]   iSEC;
output  [11:0]  oRed;
output  [11:0]  oGreen;
output  [11:0]  oBlue;
reg     [11:0]  rRed;
reg     [12:1]  rGreen;
reg     [11:0]  rBlue;
reg     [11:0]  rkRed;
reg     [11:0]  rkGreen;
reg     [11:0]  rkBlue;
reg     [11:0]  ara1;
assign  oRed    =rkRed;
assign  oGreen  =rkGreen;
assign  oBlue   =rkBlue;
always@(posedge iCLK or negedge iRST_n)
begin
        if (!iRST_n)
        begin
                rkRed<=0;
                rkGreen<= 0;
        end
        else
    begin
        ara1=(rRed[11:0]+rGreen[12:1]+rBlue[11:0])/3;
        case(iSEC)
                2'b00:
                begin
                if(ara1[11]==1'b1) ara1[11:4]=8'b11111111;
                else ara1[11:4]=8'b00000000;
                rkRed=ara1;    //SIYAH BEYAZ GORUNTU
                rkGreen={1'b0,ara1};
                rkBlue=ara1;
                end
                2'b01:
                begin
                rkRed=ara1;    //GRİ SEVİYELİ GORUNTU
                rkGreen={1'b0,ara1};
                rkBlue=ara1;
                end
                2'b10:
                begin
                rkRed<=rRed[11:0];    //KIRMIZI GORUNTU
                rkGreen=rGreen[12:1]&13'b0000000001111;
                rkBlue=rBlue[11:0]&12'b000000001111;
                end
                default:
                begin
                rkGreen<=rGreen[12:1];
                rkRed<=rRed[11:0];    //NORMAL GORUNTU
                rkBlue<=rBlue[11:0];
                end
         endcase
    end
end
```

5. SONUÇLAR VE ÖNERİLER

5.1 Sonuçlar

Çalışma sonucunda, görüntü işleme uygulamalarında kullanılabilecek, bir görüntü sensörünün ve görüntüyü göstermek üzere bir LCD ekranın bağlanabildiği, test ve denemelerin yapılabilmesi amacıyla çeşitli giriş ve çıkışları bulunan bir FPGA geliştirme kartının tasarımı başarılı bir şekilde tamamlanmıştır. Kartta FPGA olarak Cyclone IV serisinden toplamda 256 pinli, 153 adet genel amaçlı giriş-çıkışa sahip, 500 MHz saat hızında çalışabilen, 22,320 lojik elemana bulunduran EP4CE22F17C6N kod numaralı FPGA cihazı kullanılmıştır. Geliştirme kartı kullanıcısının uygulama hazırlarken gereksinim duyacağı bellek ihtiyacını karşılamak üzere 256 MB hafızaya sahip SDRAM ve analog veri girişi ihtiyacı durumunda kullanılabilecek 8 adet girişe sahip analog-dijital dönüştürücü entegresi bulunmaktadır. Ayrıca toplamda bulunan 106 adet genişleme pini sayesinde ihtiyaç duyulabilecek farklı elemanlar da karta bağlanıp bunlardan yararlanılabilecektir.

Tez çalışmasına başlandığında kullanılması planlanan aynı sayıda lojik elemana sahip, 144 pinli EQFP paket yapısına sahip EP4CE22E22C7N FPGA temin edilememiş ve 256 pinli, FBGA paket yapısına sahip olan EP4CE22F17C6N kod numaralı FPGA temin edilebilerek kullanılmak durumunda kalınmıştır.

Terasic firmasının hazırlamış olduğu verilog programlama dilinde yazılmış olan bir uygulama tasarımı yapılan kartın üzerinde çalıştırılması amacıyla yeniden düzenlenmiş ve kart üzerinde bulunan dip anahtarın konumuna göre ekrandaki görüntünün renk seviyesinin, siyah-beyaz, gri seviyeli, kırmızı seviyeli ve renkli görüntü şeklinde değiştirilmesi sağlanmıştır.

FPGA geliştirme kartının şematik tasarımları, baskı devre çizimleri tamamlanmış, kartın üretilebilmesi için hazır hale getirilmiştir.

Karta bağlanabilen görüntü sensörü ve LCD Terasic firmasının üretmiş olduğu elemanlardır. Görüntü sensörü yatayda 2,592, dikeyde 1,944 aktif piksel sayısına sahiptir. Tam çözünürlük değeri olan 5 megapiksel seviyesinde çalıştırıldığında Cyclone IV cihazına saniyede 15 kare görüntü aktarabilmektedir. Karta bağlanabilen 4.3 inç ekran genişliğine sahip LCD ise 800x480 piksel çözünürlük değerinde renkli görüntüyü

gösterebilmektedir. Her iki eleman da kart üzerine yerleştirilen 40 pinli genişleme başlıklarına bağlanarak kullanılmaktadırlar.

Bu çalışma ile birlikte, bahsedilen özelliklerin ve elemanların bir arada kullanılabilmesini sağlayan bir FPGA geliştirme kartının nasıl tasarlanacağı, imal edileceği, FPGA cihazlarının yapılandırılması, programlanması ve kart üzerindeki elemanların özelliklerinin ve sınırlarının kartların kullanılacağı alanın seçiminde ne yönde rol alacağı konularında tecrübe kazanılmıştır. Bu sayede, hedeflenen trafik denetleme sistemlerinin gerçekleştirilmesinde projeye özel olarak sistemin ihtiyaçları doğrultusunda FPGA cihazının kullanıldığı tasarımların yapılması kolaylaşacaktır. Bahsi geçen sistemlerin üretilebilmesi sonucunda ise denetleme sistemlerinin maliyeti azalacak ve kurulumu kolaylaşacak, insanların huzurlu ve güvenli yaşamasına katkıda bulunulmuş olacaktır.

5.2 Öneriler

FPGA'lar elektronik sistemlerin içinde yer aldığı birçok alanda sıklıkla kullanılmaktadırlar ve çalışmada sözü geçen trafik denetleme sistemleri de FPGA cihazının kullanımı açısından isabetli bir alan olarak düşünülmektedir. Bu düşüncenin temelini oluşturan dayanak, FPGA cihazlarının sunduğu yeteneklere göre düşük maliyetli oluşu ve performans yönünden paralel işlem yapma kabiliyeti gibi fark yaratan özelliklere sahip oluşudur.

Görüntü işleme uygulamasının kullanıldığı bir trafik denetleme sisteminde, görüntü alma işleminin, görüntüyü işleyip ihlalin tespiti, ihlalin belgesi sayılabilecek görüntünün saklanması ve hatta bir iletişim protokolünün kullanılarak bu görüntülerin belirli bir merkeze aktarılması işlemlerinin bir arada yapılması, yüksek ihtimali olan bir gereksinimdir. Bütün bu işlemlerin tek bir işlemci tarafından paralel bir şekilde yürütülebilmesi önemli avantajlar sağlayacaktır. Bu tür sistemlerin tasarımları genellikle projeye özgü bir şekilde hazırlanmaktadır ve donanım değişikliğine gerek kalmadan yazılım değişikliğiyle kısmen güncellenebilen FPGA cihazlarının bu tür sistemlerde kullanımı isabetli seçim olarak düşünülebilmektedir. Ayrıca böyle bir sistem hazırlanırken düşük güç tüketim değerine sahip bir kart imal edilebilirse, sistemin kırsal alanlarda veya enerji sorunu yaşanan bölgelerde kurulumu basitleşecek, güneş pili gibi enerji kaynaklarından yararlanılarak sorunsuzca çalıştırılabilecektir.

Bu tez çalışmasının sonucunda kazanılan FPGA içeren kart tasarımı ve görüntü işleme uygulama tecrübesi ışığında, bir trafik denetleme sistemi projesinin veya başka bir ifadeyle; bir devam çalışmasının yapılması isabetli olacaktır. Hedeflenen trafik denetleme sisteminin, FPGA cihazı ile trafikte ters yönde seyreden araçların tespit edilmesi şeklinde özgün bir proje çalışması olması düşünülmelidir.

KAYNAKLAR

Altera Corporation, 2009, USB-Blaster Download Cable User Guide, *UG-USB81204-2.5*, 1.1-2.4.

Altera Corporation, 2010, Cyclone IV Device Handbook-Volume 1, *CYIV-5V1-1.8*, 1.1-7.16.

Altera Corporation, 2011, Package Information Datasheet for Mature Altera Devices, *DS-PKG-16.8*, 69-96.

Altera Corporation, 2012, Serial Configuration (EPCS) Devices Datasheet, 1-36.

Alves de Barros, M., and Akil, M., 1994, Low Level Image Processing Operators on FPGA: Implementation Examples and Performance Evaluation, *12th IAPR Int. Conf. on Pattern Recongnition-ICPR 1994*, Jerusalem-Israel, 262-267.

Anonymous, 2009, FPGA Architectures Overview [online], 1-CORE Technologies, http://www.1-core.com/library/digital/fpga-architecture/ [Ziyaret Tarihi: 11 Mayıs 2013].

Anonymous, 2012, Random-accessmemory [online], Wikipedia, http://en.wikipedia.org/wiki/Random-access_memory [Ziyaret Tarihi: 6 Nisan 2013].

Anonymous, 2013, Cyclone IV (E and GX) FPGAs [online], Altera Corporation, http://www.altera.com/devices/fpga/cyclone-iv/cyiv-index.jsp [Ziyaret Tarihi: 3 Mayıs 2013].

Batlle, J., Marti, J., Ridao, P. and Amat, J., 2002, A New FPGA/DSP-Based Parallel Architecture for Real-Time ImageProcessing, *Real-Time Imaging*, 8, 345-356.

Carter, W. S., Dong, K., Freeman, R. H., Hsieh, H., Ja, J. Y., Mahoney, J. E., Ngo, L. T., Sze, S. L., 1986, User Programmable Reconfigurable Logic Array, *IEEE Custom Integrated Circuits Conference -1986*, Rochester-USA, 233-235.

Crookes, D., Benkrid, K., Bouridane, A., Alotaibi K. and Benkrid, A., 2000, Design and Implementation of a High Level Programming Environment for FPGA Based Image Processing, *IEE Proceedings - Vision, Image and Signal Processing*, 147 (4), 377-384.

Dawood, A. S., Visser, S.J., Williams, J. A., 2002, Reconfigurable Fpgas For Real Tıme Image Processıng In Space, *14th Int. Conf. on Digital Signal Processing Proceedings-DSP 2002*, Santorini-Greece, 845-848.

Fahmy, S. A., Cheung, P. Y. K., and Luk, W., 2005, Artificial neural network training models in prediction of concrete compressive strength using euclidean

normalization method, *Int. Conf. on Field Programmable Logic and Applications-FPL 2005*, Tampere-Finland, 142-147.

Girau, B. 2006, FPNA: Concepts and Properties, *FPGA Implementations of Neural Networks, Springer US,* ISBN: 978-0-387-28487-3, 63-101.

Hsieh, H., Dong, K., Ja, J. Y., Kanazawa, R., Ngo, L. T., Tinkey, L. G., Carter, W. S., Freeman, R. H., 1988, A 9000-Gate User-Programmable Gate Array, *IEEE Custom Integrated Circuits Conference –CICC 1988,* Rochester-USA, 15.3.1-15.3.7.

Huitzil, C. T. and Estrada, M. A., 2005, FPGA-Based Configurable Systolic Architecture for Window-Based Image Processing, *EURASIP Journal on Applied Signal Processing*, 2005 (7), 1024-1034.

Integrated Silicon Solution, Inc., 2013, IS42S83200G, IS42S16160G, IS45S83200G, IS45S16160G, Synchronous DRAM Datasheet, *Rev. E 3/13/2013*, 1-62.

Kanopoulos, N., Vasanthavada, N., Baker, R. L., 1988, Design of an Image Edge Detection Filter Using Sobel Operator, *IEEE Journal of Solid-State Circuits*, 23 (2), 358-367.

Keltcher, P., Richardson, S. And Siu, S., 2000, An Equal Area Comparison of Embedded DRAM and SRAM Memory Architectures for a Chip Multiprocessor, *HP Laboratories Technical Report*, 1-12.

Curry, M. P., Morgan, F. and Kilmartin, L., 2001, Xilinx FPGA Implementatıon of an Image Classifier for Object Detection Applications, *Int. Conf. on Image Processing-ICIP 2001*, Thessaloniki-Greece, 346-349.

Microchip Technology Inc, 2007, 2K I2C Serial EEPROM User Manual, *DS21709G*, 1-11.

Moussa, M., Areibi, S. and Nichols, K., 2006, On the Arithmetic Precision for Implementing Back-Propagation Networks on FPGA: A Case Study, *FPGA Implementations of Neural Networks, Springer US,* ISBN: 978-0-387-28487-3, 37-61.

National Semiconductor Corporation, 2010, ADC128S022 A/D Converter Datasheet, *201627*, 1-18.

NXP Semiconductors, 2003, PMEG2010AEB Product Data Sheet, *R76/01/pp8*, 1-7.

NXP Semiconductors, 2012, I2C-Bus Specification and User Manual, *UM10204*, 3-31.

Paul, K. And Rajopadhye, S., 2006, Back-Propagation Algorithm Achieving 5 Gops on the Virtex-E, *FPGA Implementations of Neural Networks, Springer US,* ISBN: 978-0-387-28487-3, 137-165.

Pedroni, V. A., 2004, Circuit Design with VHDL, *MIT Press*, Cambridge - Massachusetts, 305-315.

Santarini, M., 2012, *Xcell Journal*, 81, 4.

Tagzout, S., Achour, K. and Djekoune, O., 2000, Hough Transform Algorithm for FPGA Implementation, *IEEE Workshop on Signal Processing Systems-SIPS 2000*, Lafayette-Louisiana-USA, 384-393.

Terasic Technologies Inc., 2007, Altera Cyclone IV Development & Education Board Schematics, 1-14.

Terasic Technologies Inc., 2012, DE0-Nano User Manual, 4-150.

Texas Instruments Incorporated, 2009, LP38500 Linear Regulator Datasheet, *300361*, 1-14.

Texas Instruments Incorporated, 2013, LP5900 Linear Regulator Datasheet, *SNVS358O*, 1-24.

Uzun, I. S., Amira, A., 2005, Design and FPGA Implementation of Finite Ridgelet Transform, *IEEE International Symposium on Circuits and Systems-ISCAS 2005*, Kobe-Japan, 5826-5829.

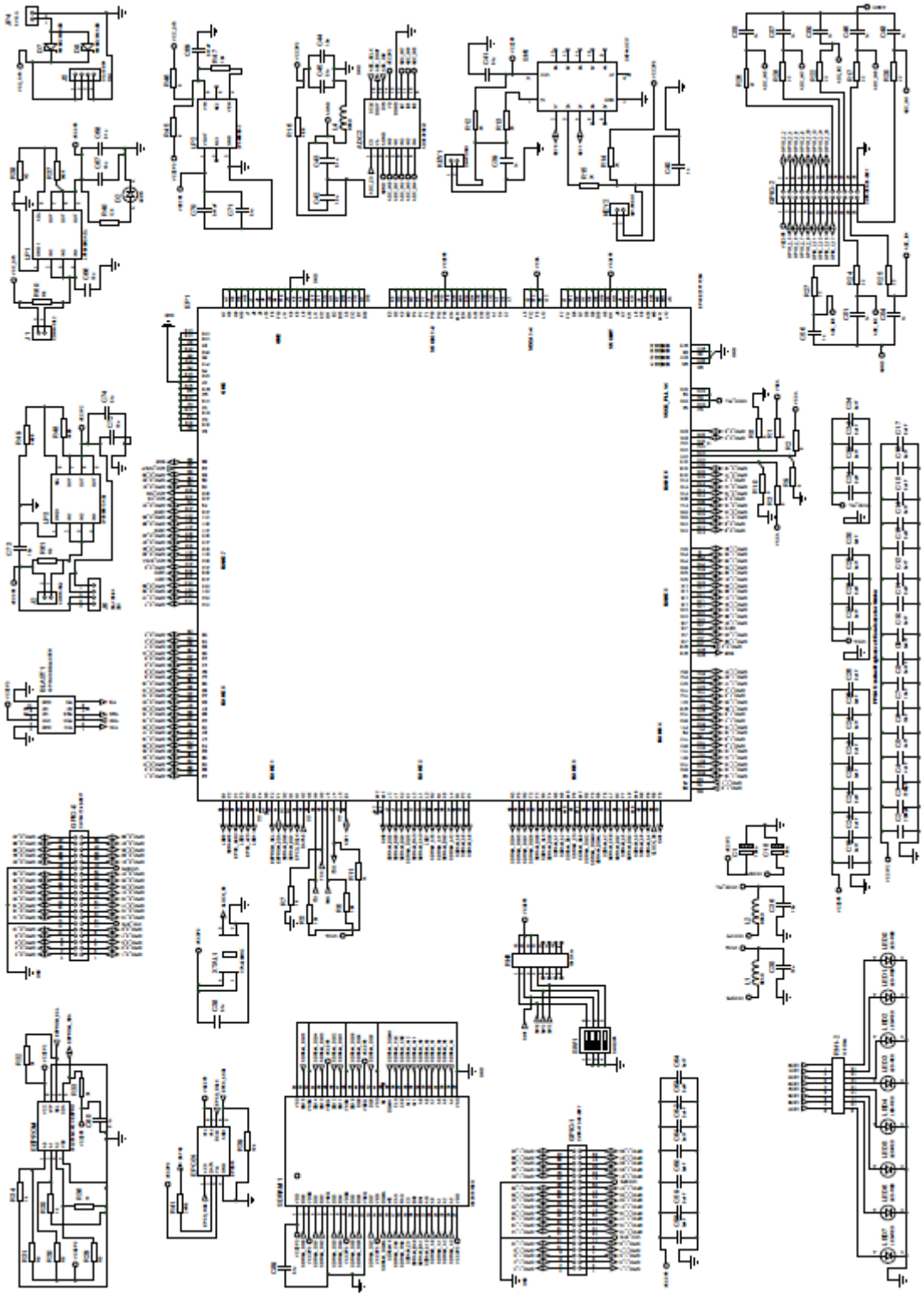
Uzun, I. S., Amira, A., and Bouridane, A., 2005, FPGA Implementations of Fast Fourier Transforms for Real-Time Signal And Image Processing, *IEEE Int. Conf. on Field Programmable Technology -FPT 2005*, Singapore, 284-296.

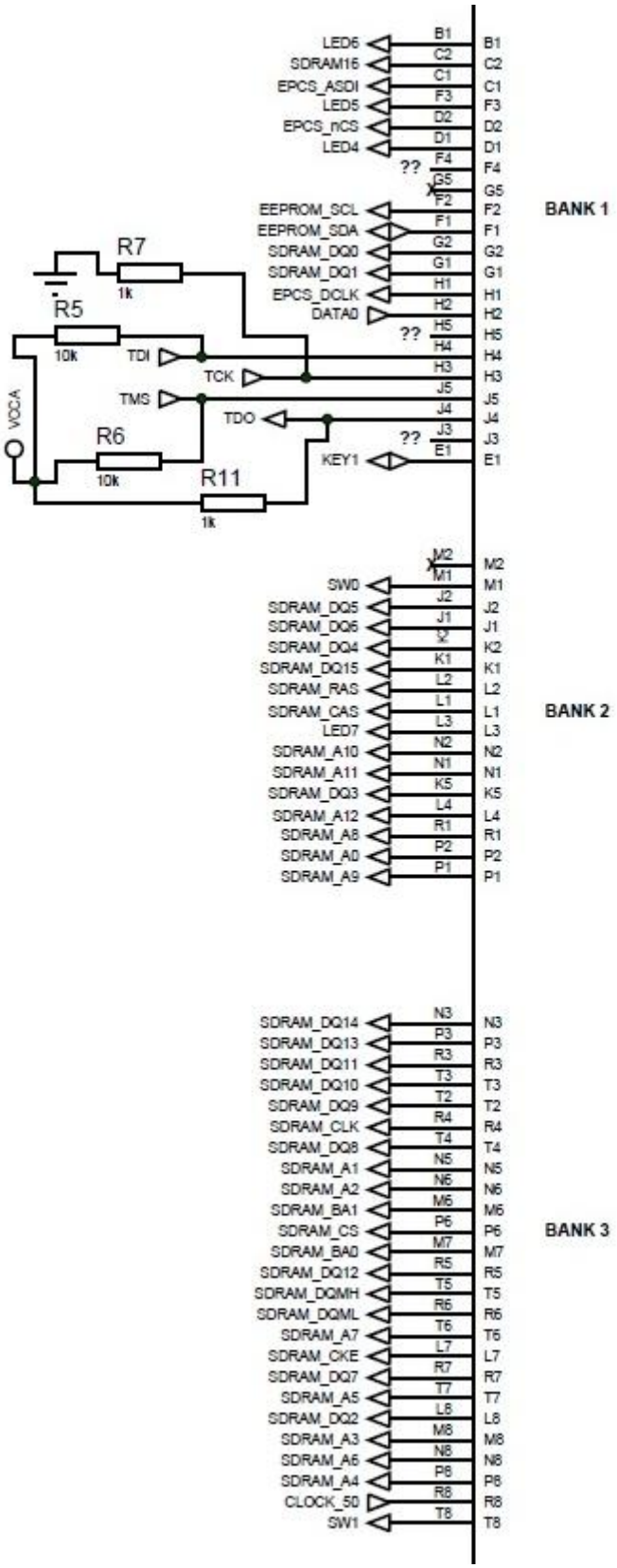
Wang, G., Guan, Y. and Zhang, Y., 2009, Designing of VGA Character String Display Module Base on FPGA, *Int. Symp. on Intelligent Ubiquitous Computing and Education-IUCE 2009*, Chengdu-China, 499-502.

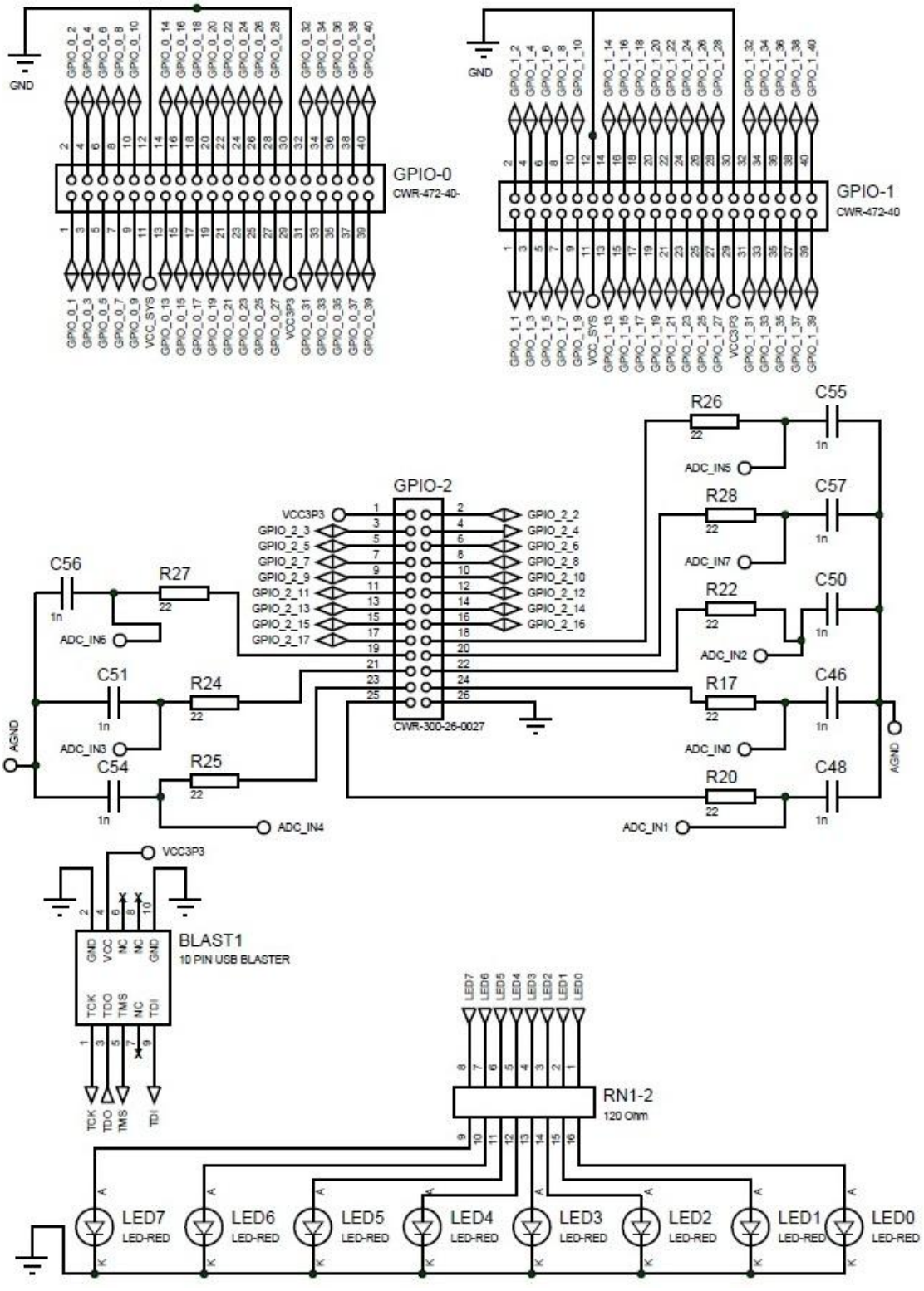
Yang, F., ve Paindavoine, M., 2003, Implementation of an RBF Neural Network on Embedded Systems: Real-Time Face Tracking and Identity Verification, *IEEE Transactions on Neural Networks,* 14 (5), 1162-1175.

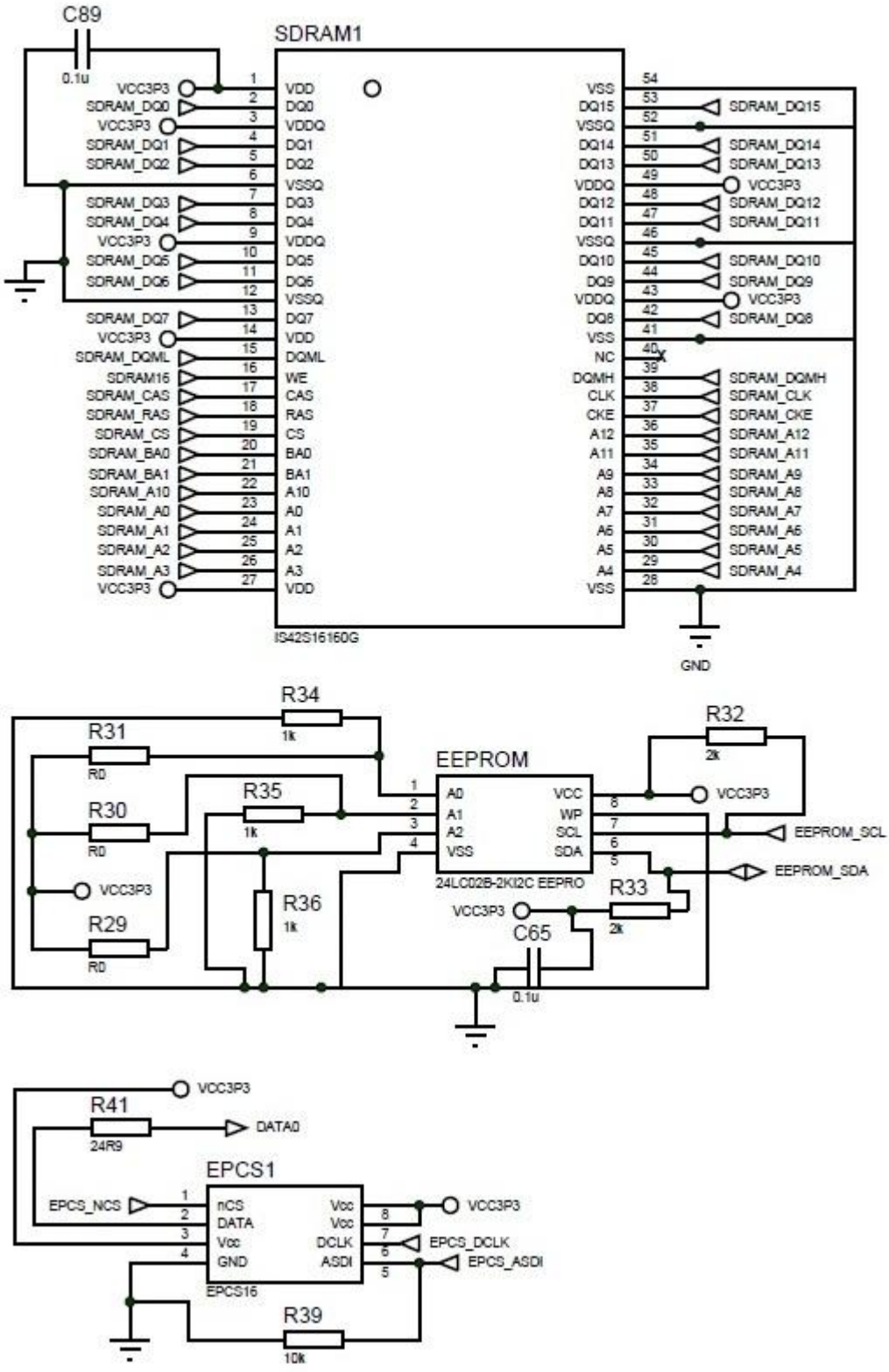
EKLER

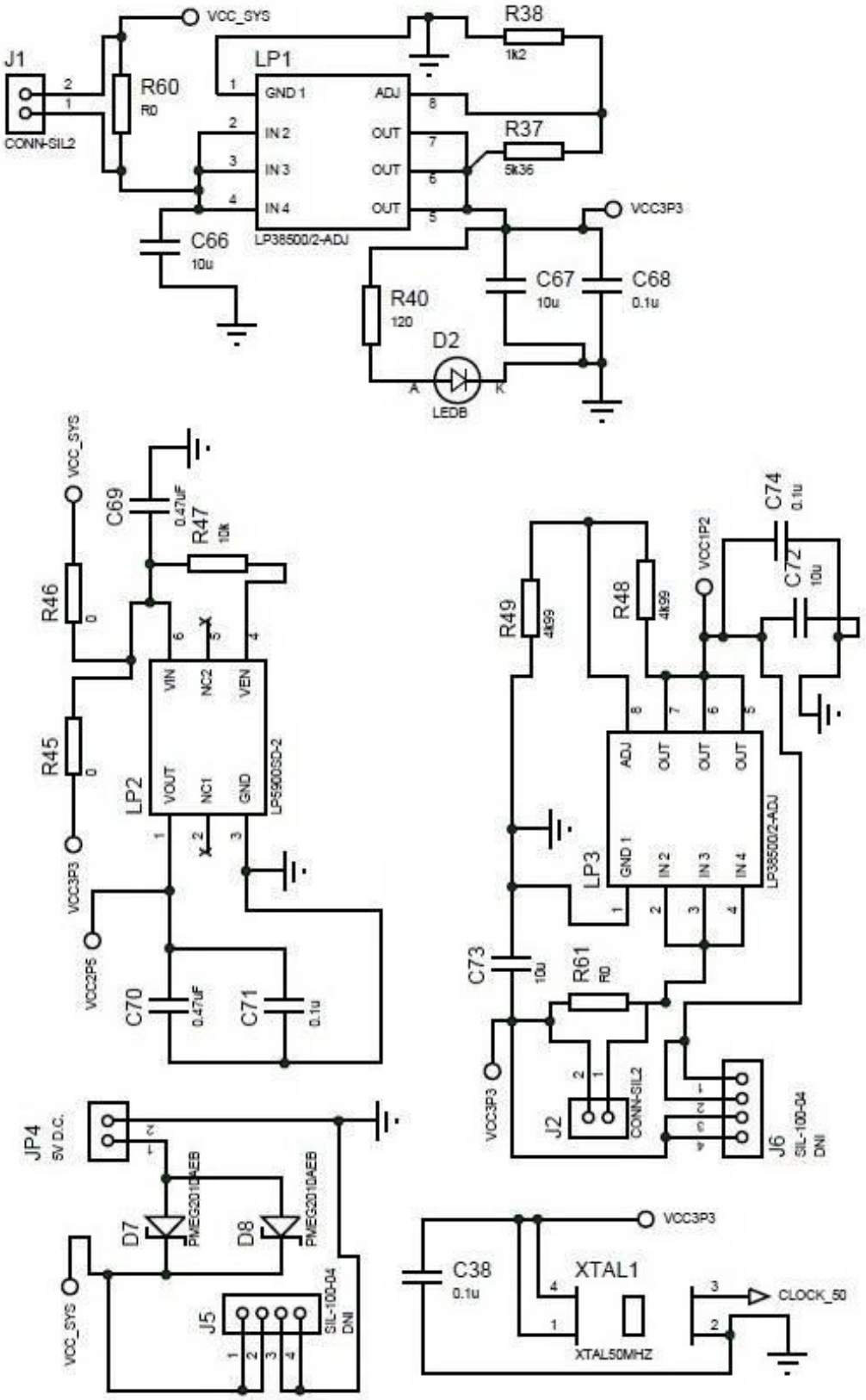
EK-1 Tasarlanan Kartın Pin Bağlantıları ve Çizimleri

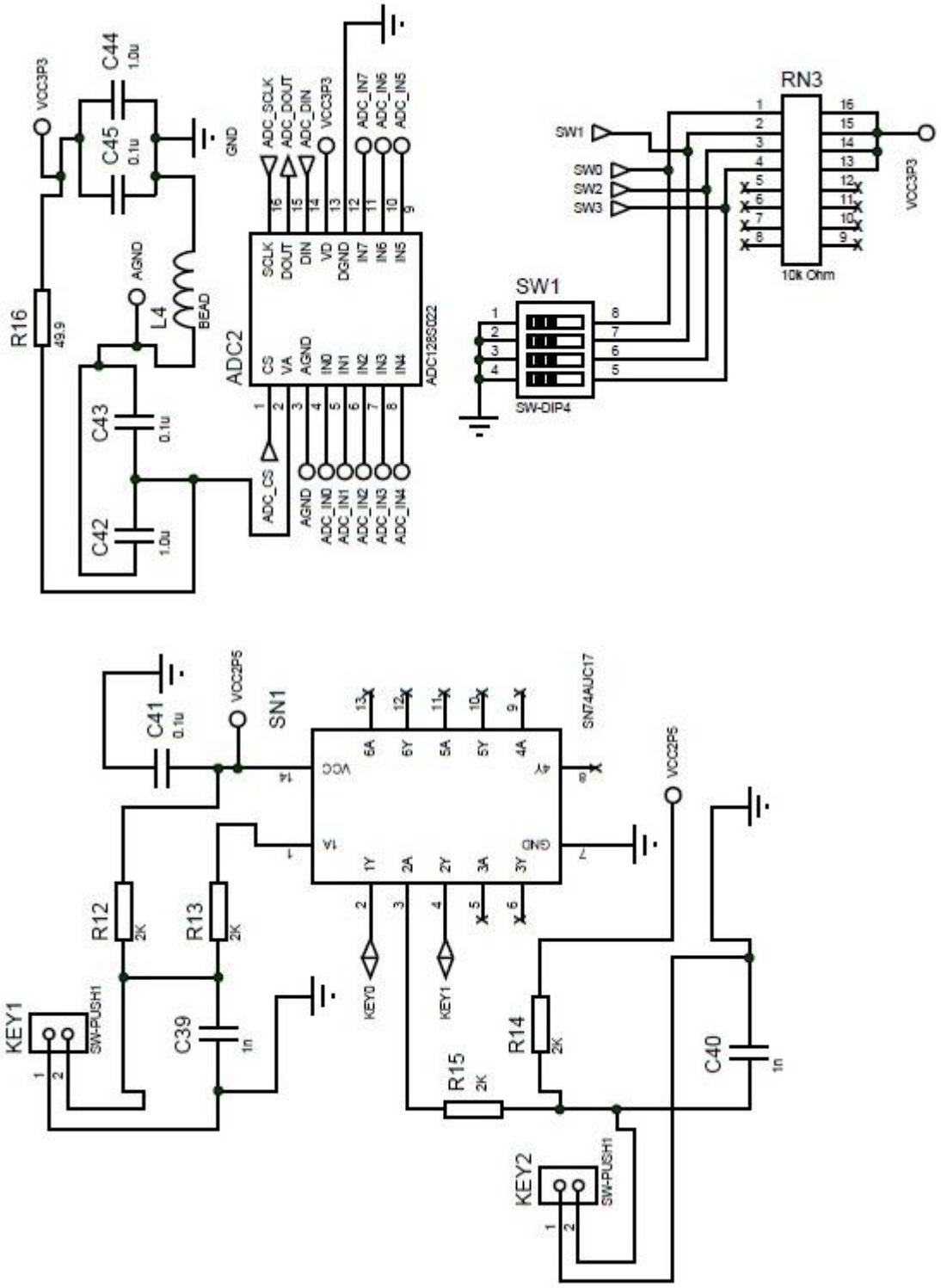


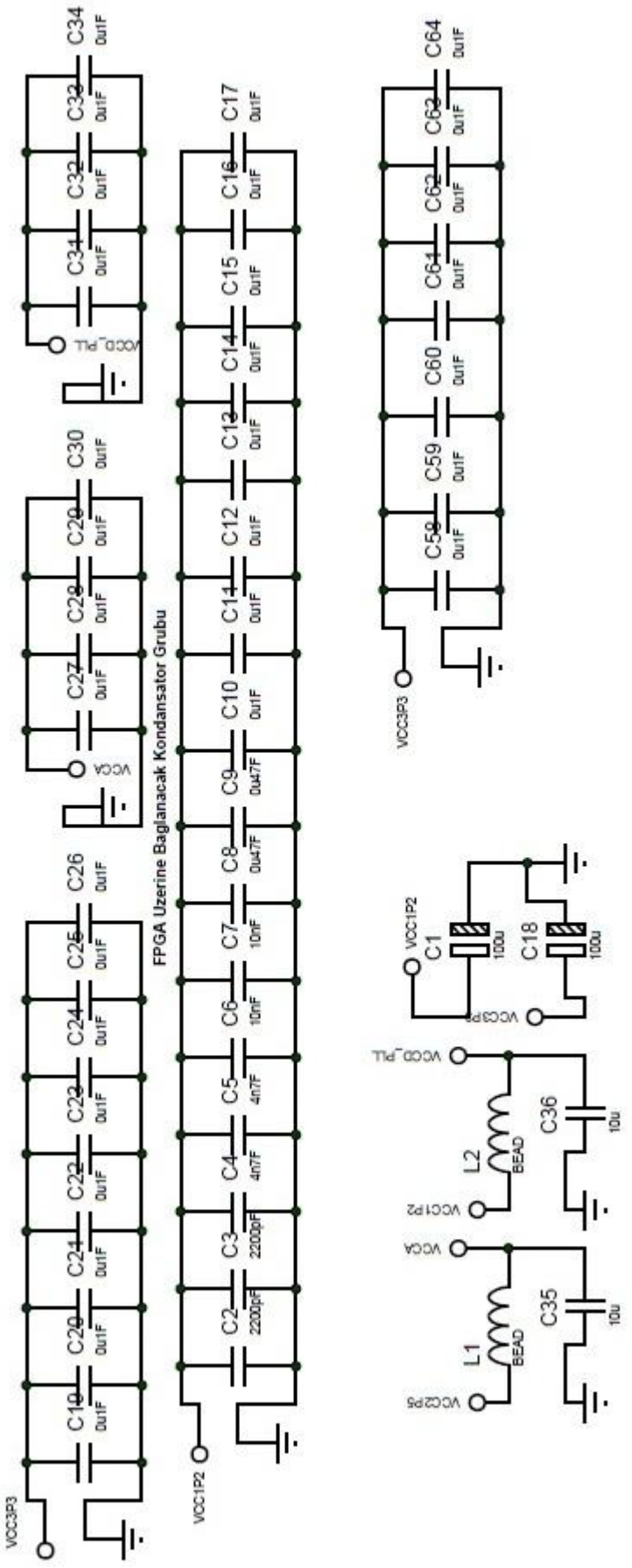

R7
1k
R5
10k
TDI
TCK
TMS
TDO
VCCA
R6
10k
R11
1k
KEY1
LED6
SDRAM16
EPCS_ASDI
LED5
EPCS_nCS
LED4
EEPROM_SCL
EEPROM_SDA
SDRAM_DQ0
SDRAM_DQ1
EPCS_DCLK
DATA0
BANK 1
SW0
SDRAM_DQ5
SDRAM_DQ6
SDRAM_DQ4
SDRAM_DQ15
SDRAM_RAS
SDRAM_CAS
LED7
SDRAM_A10
SDRAM_A11
SDRAM_DQ3
SDRAM_A12
SDRAM_A8
SDRAM_A0
SDRAM_A9
BANK 2
SDRAM_DQ14
SDRAM_DQ13
SDRAM_DQ11
SDRAM_DQ10
SDRAM_DQ9
SDRAM_CLK
SDRAM_DQ8
SDRAM_A1
SDRAM_A2
SDRAM_BA1
SDRAM_CS
SDRAM_BA0
SDRAM_DQ12
SDRAM_DQMH
SDRAM_DQML
SDRAM_A7
SDRAM_CKE
SDRAM_DQ7
SDRAM_A5
SDRAM_DQ2
SDRAM_A3
SDRAM_A6
SDRAM_A4
CLOCK_50
SW1
BANK 3


GPIO-0
CWR-472-40-
GPIO-1
CWR-472-40
GPIO-2
CWR-300-26-0027
R26
C55
R28
C57
R22
C50
R17
C46
R20
C48
R27
C56
R24
C51
R25
C54
ADC_IN5
ADC_IN7
ADC_IN2
ADC_IN0
ADC_IN1
ADC_IN6
ADC_IN3
ADC_IN4
AGND
VCC3P3
BLAST1
10 PIN USB BLASTER
RN1-2
120 Ohm
LED7
LED6
LED5
LED4
LED3
LED2
LED1
LED0
LED-RED

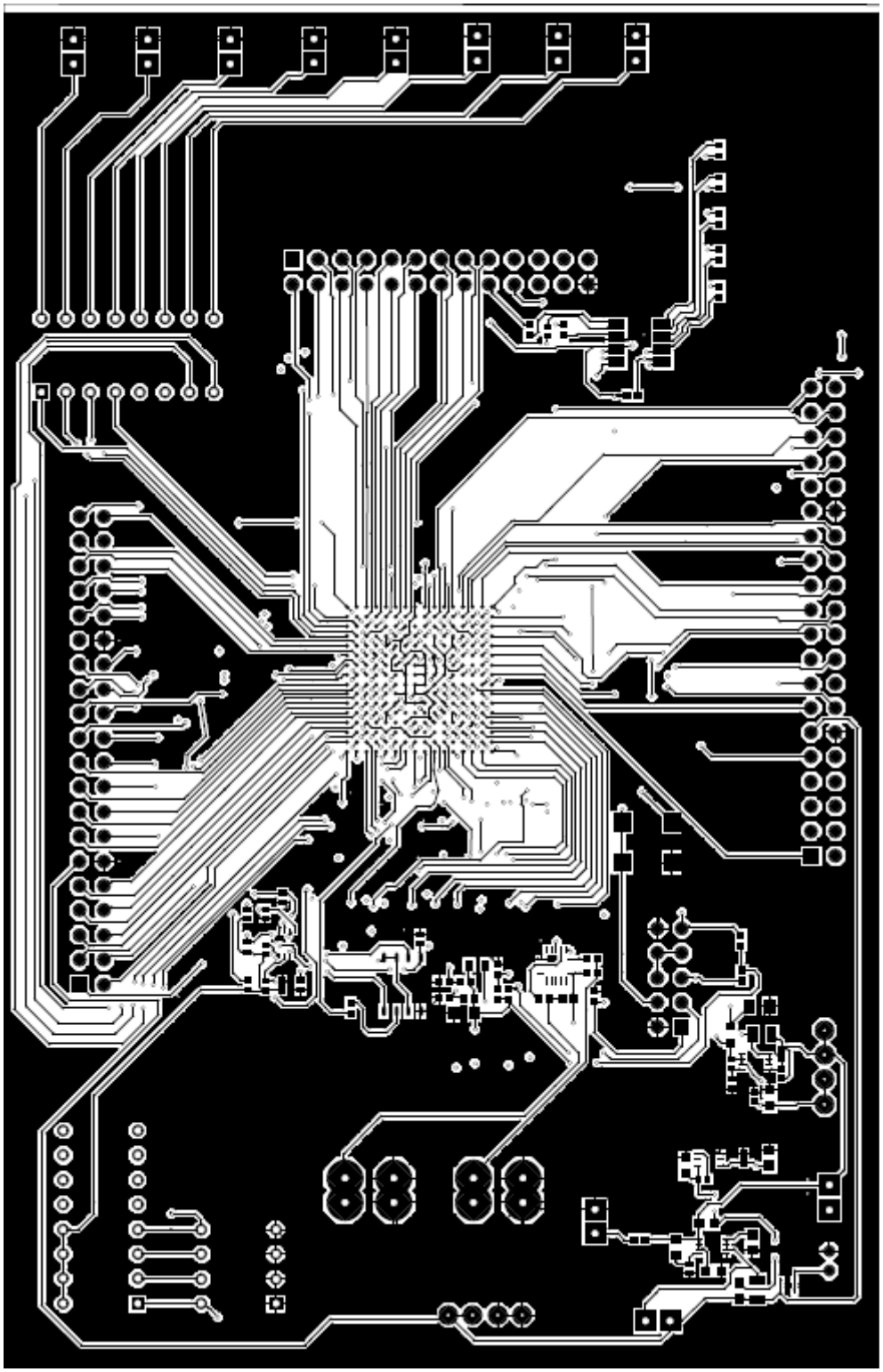

C89
0.1u
SDRAM1
VCC3P3
SDRAM_DQ0
VCC3P3
SDRAM_DQ1
SDRAM_DQ2
SDRAM_DQ3
SDRAM_DQ4
VCC3P3
SDRAM_DQ5
SDRAM_DQ6
SDRAM_DQ7
VCC3P3
SDRAM_DQML
SDRAM16
SDRAM_CAS
SDRAM_RAS
SDRAM_CS
SDRAM_BA0
SDRAM_BA1
SDRAM_A10
SDRAM_A0
SDRAM_A1
SDRAM_A2
SDRAM_A3
VCC3P3
VDD
DQ0
VDDQ
DQ1
DQ2
VSSQ
DQ3
DQ4
VDDQ
DQ5
DQ6
VSSQ
DQ7
VDD
DQML
WE
CAS
RAS
CS
BA0
BA1
A10
A0
A1
A2
A3
VDD
VSS
DQ15
VSSQ
DQ14
DQ13
VDDQ
DQ12
DQ11
VSSQ
DQ10
DQ9
VDDQ
DQ8
VSS
NC
DQMH
CLK
CKE
A12
A11
A9
A8
A7
A6
A5
A4
VSS
SDRAM_DQ15
SDRAM_DQ14
SDRAM_DQ13
VCC3P3
SDRAM_DQ12
SDRAM_DQ11
SDRAM_DQ10
SDRAM_DQ9
VCC3P3
SDRAM_DQ8
SDRAM_DQMH
SDRAM_CLK
SDRAM_CKE
SDRAM_A12
SDRAM_A11
SDRAM_A9
SDRAM_A8
SDRAM_A7
SDRAM_A6
SDRAM_A5
SDRAM_A4
IS42S16160G
GND
R34
1k
R31
R0
R30
R0
VCC3P3
R29
R0
R35
1k
R36
1k
EEPROM
A0
A1
A2
VSS
VCC
WP
SCL
SDA
24LC02B-2KI2C EEPRO
R32
2k
VCC3P3
EEPROM_SCL
EEPROM_SDA
R33
2k
VCC3P3
C65
0.1u
VCC3P3
R41
24R9
DATA0
EPCS1
EPCS_NCS
nCS
DATA
Vcc
GND
Vcc
Vcc
DCLK
ASDI
VCC3P3
EPCS_DCLK
EPCS_ASDI
EPCS16
R39
10k

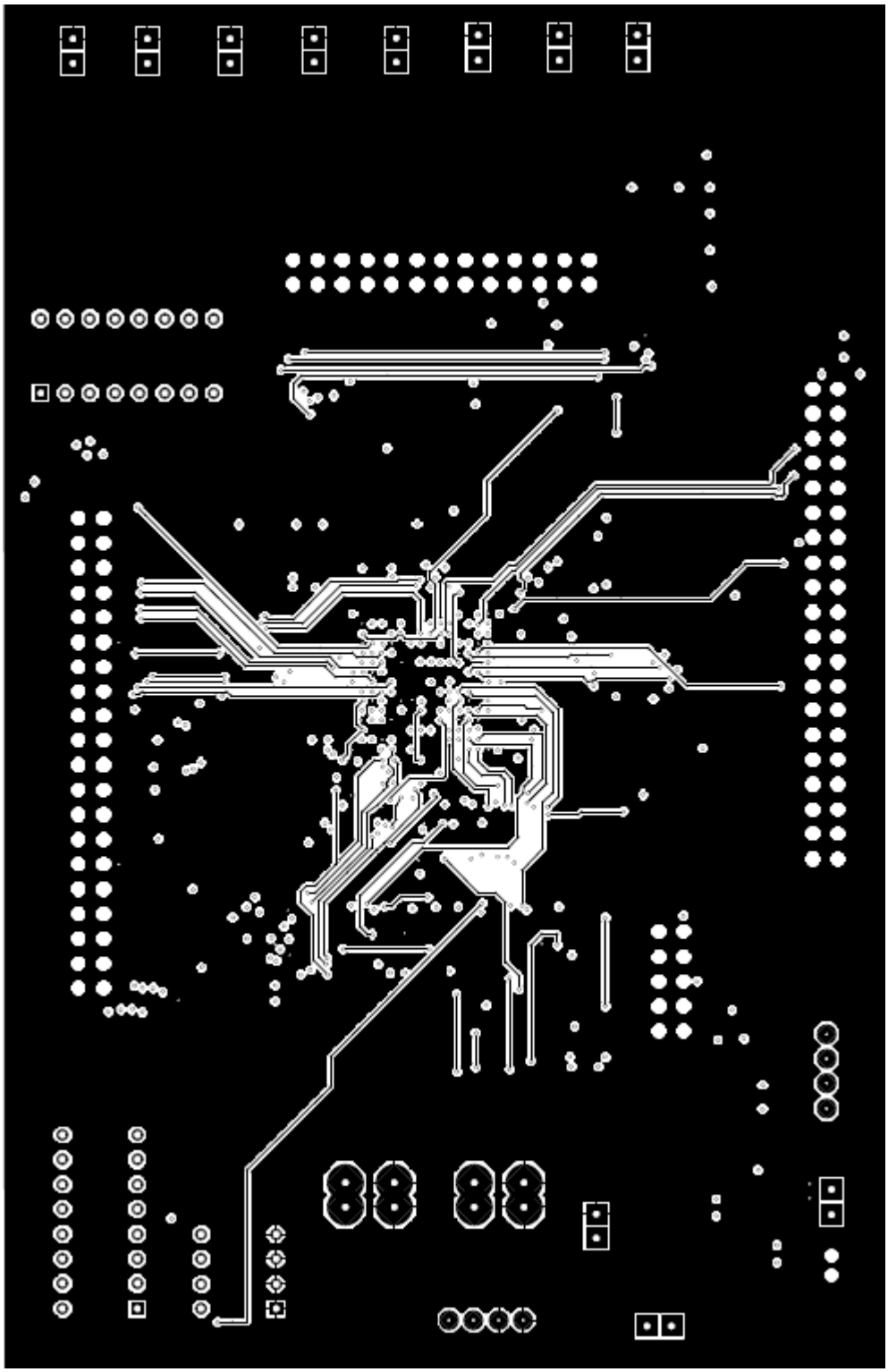

VCC_SYS
J1
CONN-SIL2
R60
R0
LP1
GND 1
IN 2
IN 3
IN 4
ADJ
OUT
OUT
OUT
LP38500/2-ADJ
R38
1k2
R37
5k36
VCC3P3
C66
10u
C67
10u
C68
0.1u
R40
120
D2
LEDB
C69
0.47uF
R47
10k
R46
0
R45
0
LP2
VIN
NC2
VEN
VOUT
NC1
GND
LP5900SD-2
VCC3P3
VCC2P5
C70
0.47uF
C71
0.1u
C74
0.1u
C72
10u
VCC1P2
R49
4k99
R48
4k99
LP3
LP38500/2-ADJ
C73
10u
R61
R0
J2
CONN-SIL2
J6
SIL-100-04
DNI
JP4
5V D.C.
D7
PMEG2010AEB
D8
PMEG2010AEB
J5
SIL-100-04
DNI
C38
0.1u
XTAL1
XTAL50MHZ
CLOCK_50

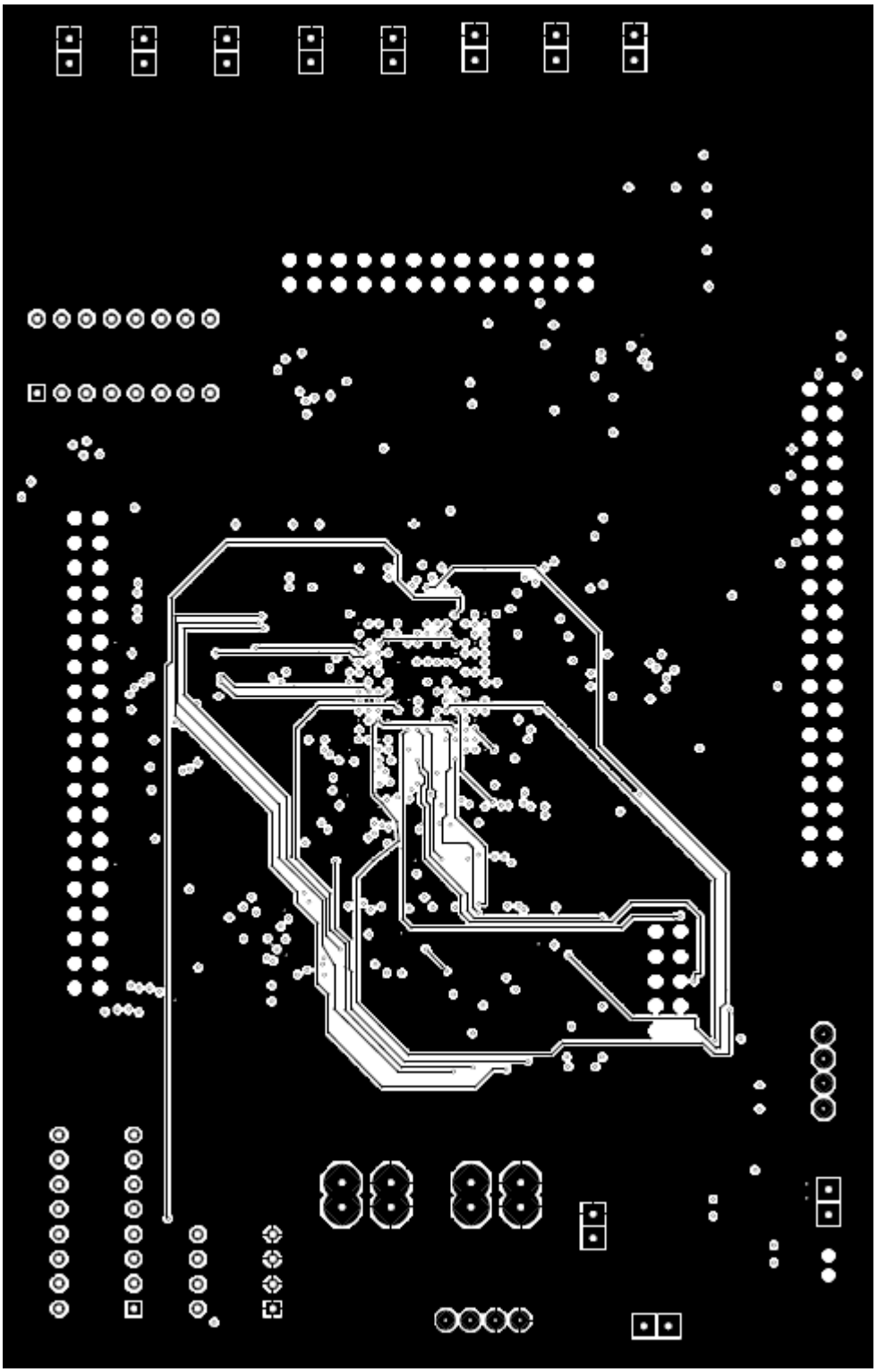

VCC3P3
C44
1.0u
C45
0.1u
GND
AGND
L4
BEAD
R16
49.9
C43
0.1u
C42
1.0u
ADC2
SCLK
DOUT
DIN
VD
DGND
IN7
IN6
IN5
CS
VA
AGND
IN0
IN1
IN2
IN3
IN4
ADC128S022
ADC_SCLK
ADC_DOUT
ADC_DIN
ADC_IN7
ADC_IN6
ADC_IN5
ADC_CS
ADC_IN0
ADC_IN1
ADC_IN2
ADC_IN3
ADC_IN4
RN3
10k Ohm
SW1
SW0
SW2
SW3
SW-DIP4
C41
0.1u
VCC2P5
SN1
SN74AUC17
1A
1Y
2A
2Y
3A
3Y
4A
4Y
5A
5Y
6A
6Y
GND
R12
2K
R13
2K
KEY1
SW-PUSH1
C39
1n
KEY0
KEY1
R14
2K
R15
2K
C40
1n
KEY2
SW-PUSH1

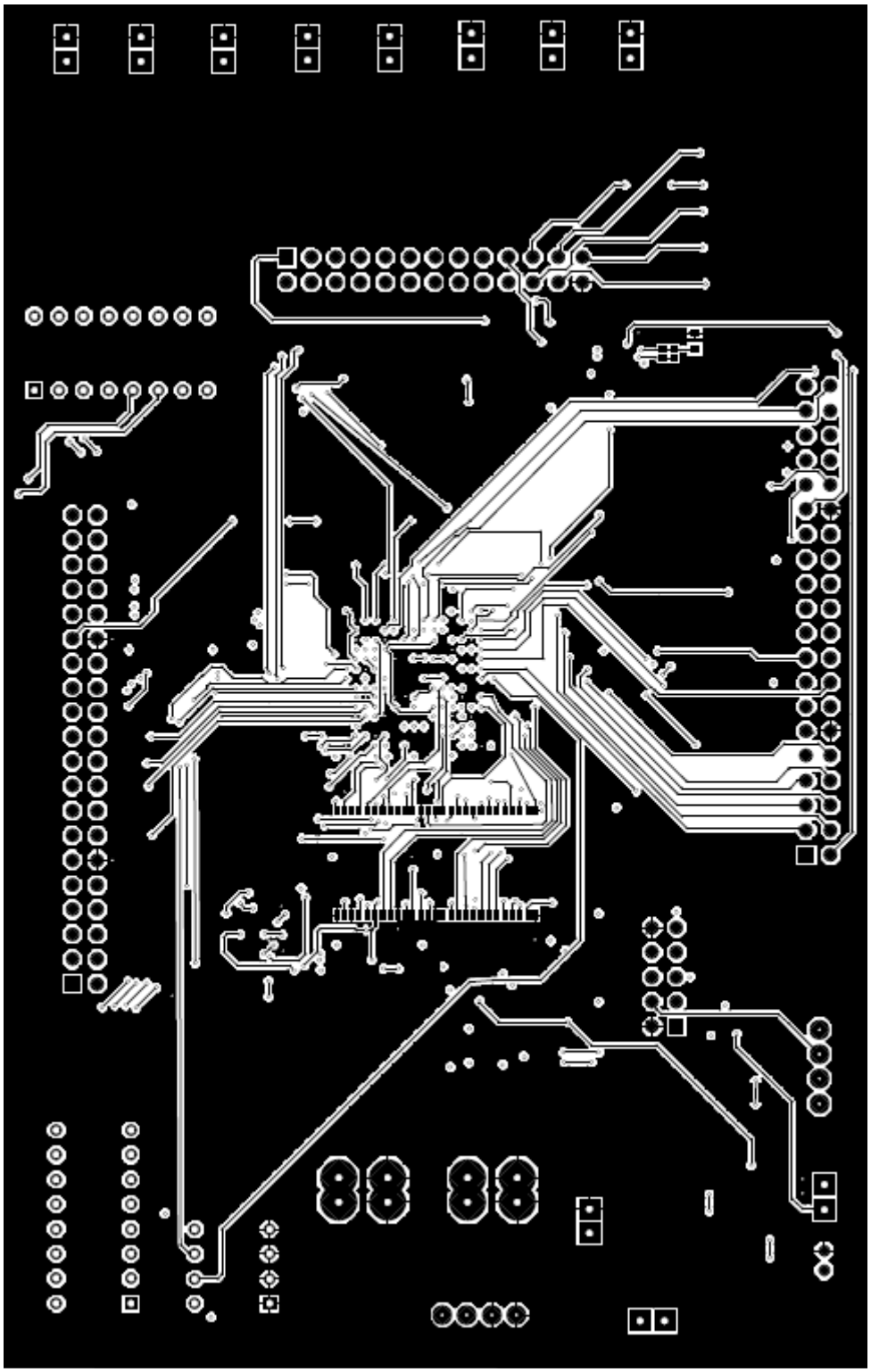

FPGA Uzerine Baglanacak Kondansator Grubu
VCC3P3
VCC1P2
VCCA
VCCD_PLL
VCC2P5
C1
C2
C3
C4
C5
C6
C7
C8
C9
C10
C11
C12
C13
C14
C15
C16
C17
C18
C19
C20
C21
C22
C23
C24
C25
C26
C27
C28
C29
C30
C31
C32
C33
C34
C35
C36
C59
C60
C61
C62
C63
C64
L1
L2
BEAD
0u1F
4n7F
10nF
2200pF
10u
100u

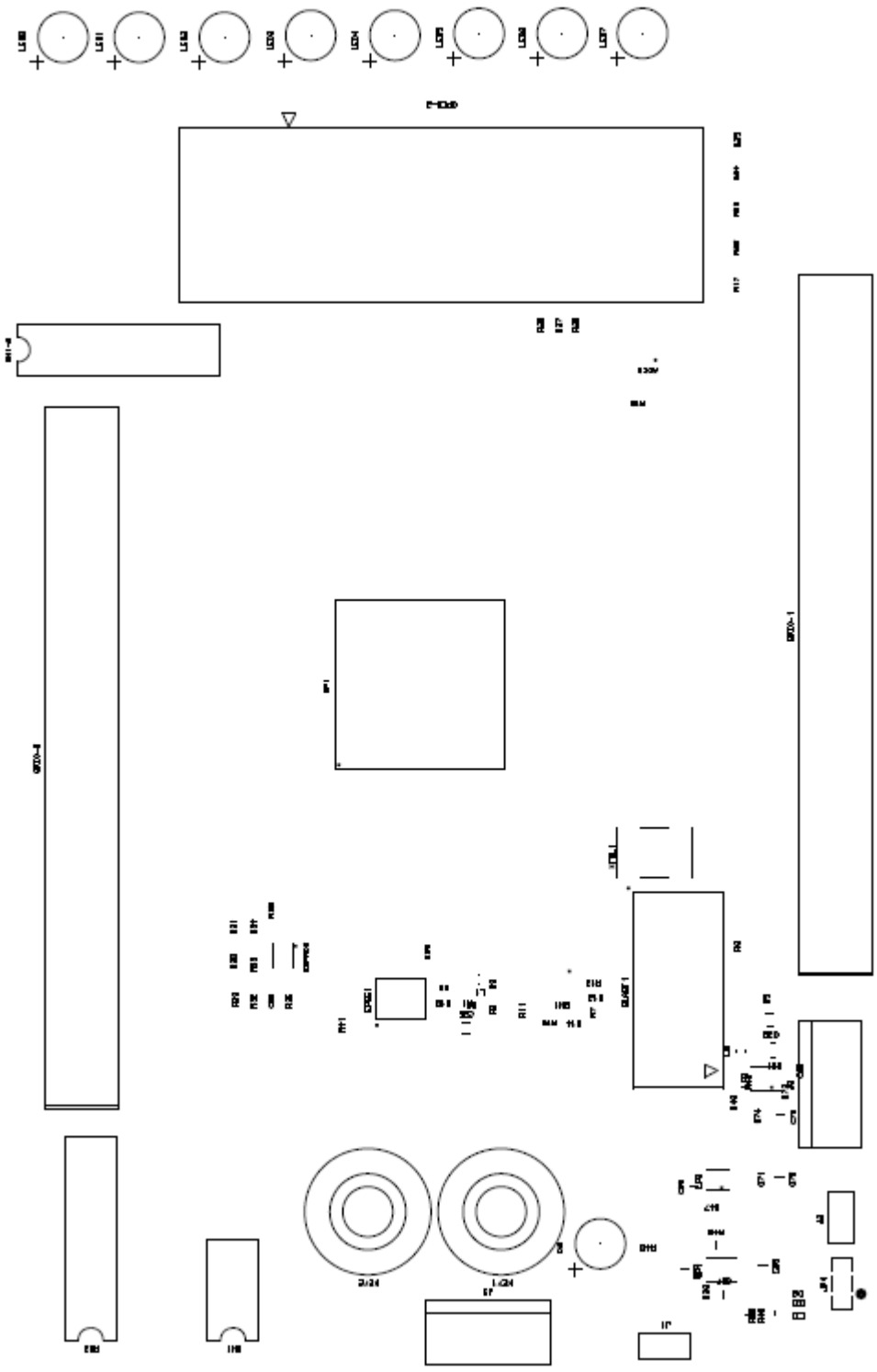
EK-2 Tasarlanan kartın baskı devresi



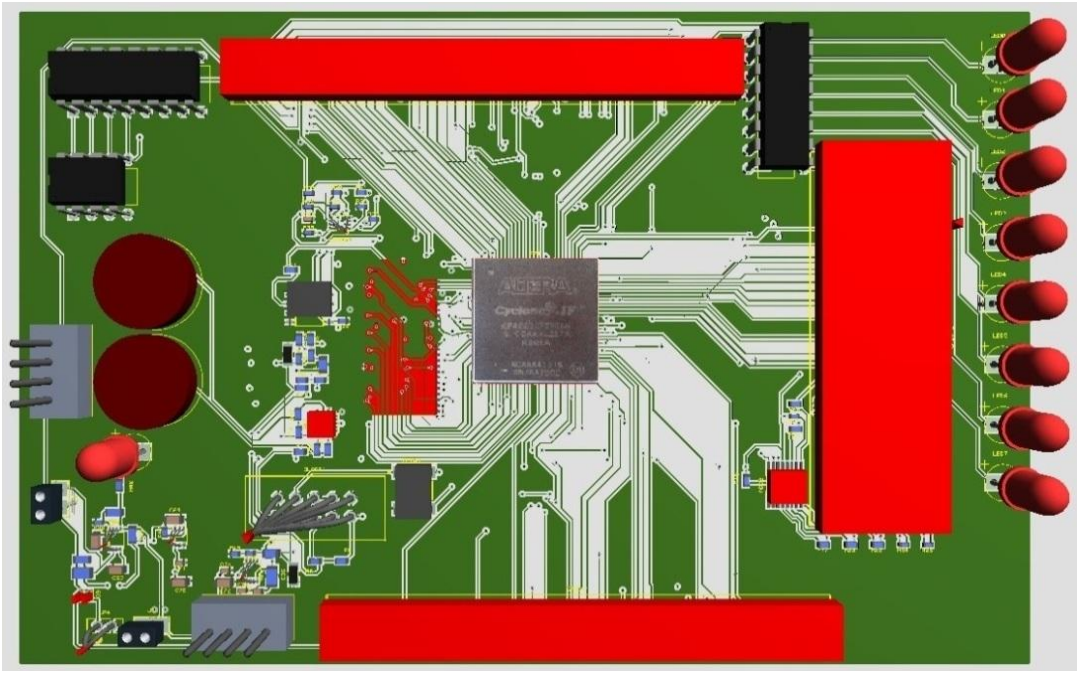


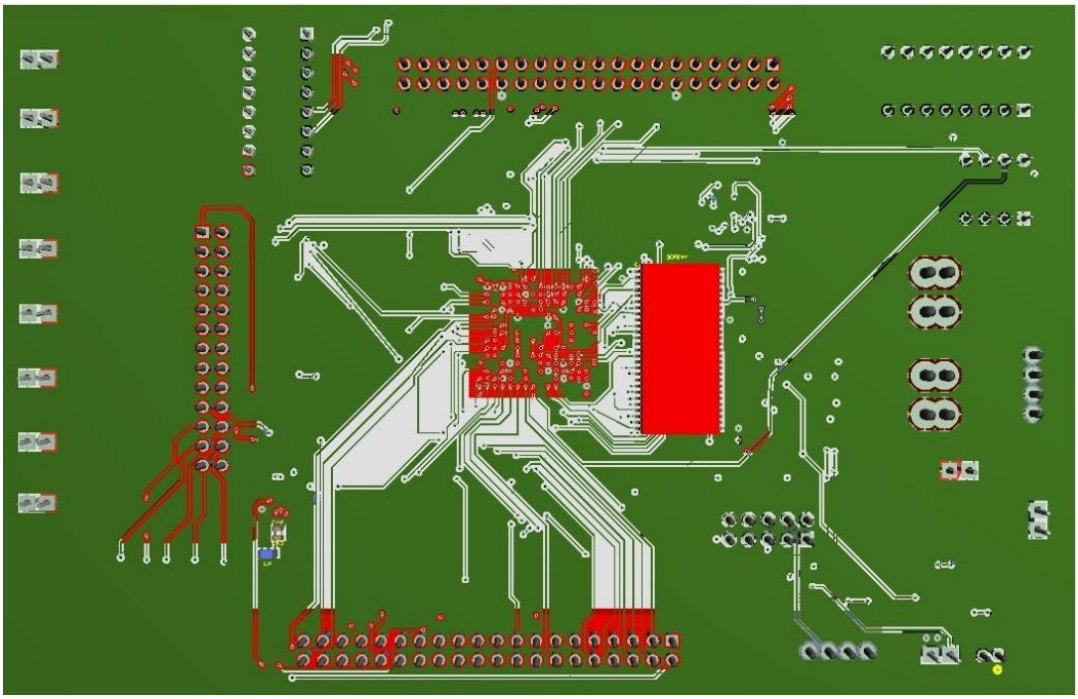




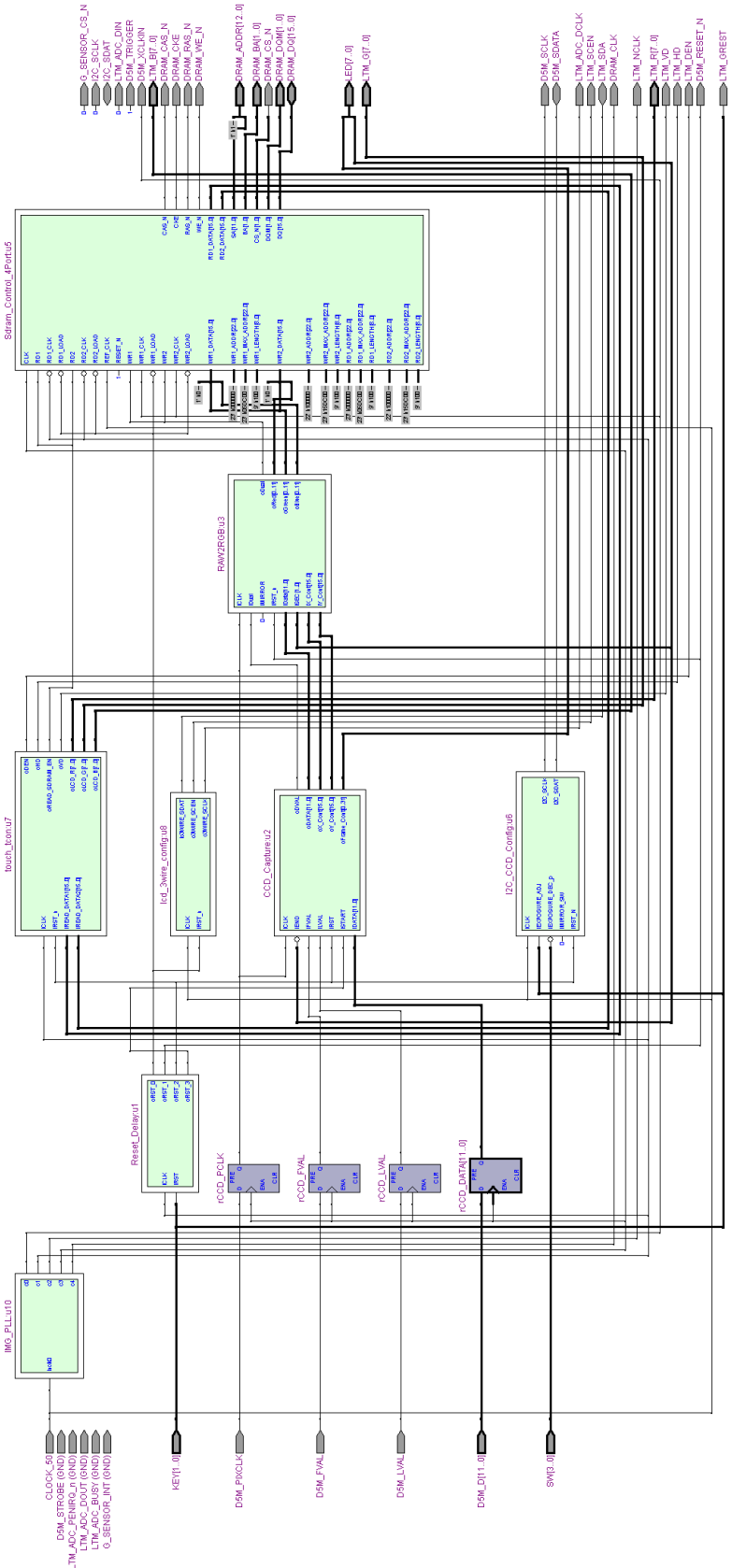


EK-3 Tasarlanan kartın simülasyon ortamında hazırlanan 3 boyutlu görünümü





EK-4 Kart üzerindeki uygulamanın şematik gösterimi



ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı	**:**	Kemal ERDOĞAN
Uyruğu	**:**	Türkiye Cumhuriyeti
Doğum Yeri ve Tarihi	**:**	Konya, 15.10.1985
Telefon	**:**	0332 223 2252
Faks	**:**	0332 241 0635
e-mail	**:**	kemalerdogan@selcuk.edu.tr

EĞİTİM

Derece		**Adı, İlçe, İl**	**Bitirme Yılı**
Lise	:	Dolapoğlu Anadolu Lisesi, Selçuklu, Konya	2003
Üniversite	:	Gaziantep Üniversitesi, Şehitkâmil, Gaziantep	2010
Yüksek Lisans	:	-	
Doktora	:	-	

İŞ DENEYİMLERİ

Yıl	**Kurum**	**Görevi**
2010 - 2011	KTO Karatay Üniversitesi	Araştırma Görevlisi
2011 - Halen	Selçuk Üniversitesi	Araştırma Görevlisi

UZMANLIK ALANI

Görüntü İşleme, Mikrodenetleyiciler

YABANCI DİLLER

İngilizce (ÜDS: 86), Almanca (Başlangıç Seviye)

BELİRTMEK İSTEĞİNİZ DİĞER ÖZELLİKLER

YAYINLAR

Yilmaz, N., Erdogan, K. and Boyali, O. N., Determining Damaged Regions that Occur on the Printhead of High Speed Thermal Transfer Printers, 3*rd Int. Conf. on Computer and Computational Intelligence-ICCCI 2012*, on proceedings of the *5th Int. Conf. on Computer Research and Development* Asme Press, ISBN:978-0-7918-6018-2, pp125-129, 2012, Bali, Indonesia