MARMARA ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

LCD KOLON SÜRÜCÜLERI İÇİN BESLEMEDEN-BESLEMEYE CMOS GERİLİM TAMPON TASARIMI

FESTIM OSMANI

YÜKSEK LİSANS TEZİ
Elektrik-Elektronik Mühendisliği Anabilim Dalı

DANIŞMAN
Doç.Dr. Ismail Kıyak

İSTANBUL, 2022

MARMARA UNIVERSITY
INSTITUTE FOR GRADUATE STUDIES
IN PURE AND APPLIED SCIENCES

RAIL-TO-RAIL CMOS VOLTAGE BUFFER DESIGN FOR LCD COLUMN DRIVERS

FESTIM OSMANI

MASTER THESIS

Department of Electrical and Electronics Engineering

Thesis Supervisor
Assoc.Prof. Ismail Kıyak

ISTANBUL, 2022

MARMARA ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Marmara Üniversitesi Fen Bilimleri Enstitüsü Yüksek Lisans Öğrencisi Festim OSMANI'in "**LCD KOLON SÜRÜCÜLERI İÇİN BESLEMEDEN-BESLEMEYE CMOS GERİLİM TAMPON TASARIMI**" başlıklı tez çalışması, 24 Şubat 2022 tarihinde savunulmuş ve jüri üyeleri tarafından başarılı bulunmuştur.

Jüri Üyeleri

Prof.Dr. Adı SOYADI (Danışman)
Marmara Üniversitesi ..... (İMZA).....

Doç.Dr. Adı SOYADI (Üye)
Marmara Üniversitesi ..... (İMZA).....

Dr. Öğr. Üyesi Adı SOYADI (Üye)
Marmara Üniversitesi ..... (İMZA).....

ONAY

Marmara Üniversitesi Fen Bilimleri Enstitüsü Yönetim Kurulu'nun 20/04/2022 tarih ve 2022/0802 sayılı kararı ile Festim OSMANI'in Elektrik-Elektronik Mühendisliği Anabilim Dalı Elektrik-Elektronik Mühendisliği Programında Yüksek Lisans derecesi alması onanmıştır.

Fen Bilimleri Enstitüsü Müdürü
Prof. Dr. Adı SOYADI

TEŞEKKÜR

Danışmana Doç. Dr. İsmail Kıyak bu tezin tamamlanmasında çok önemli olan yardım, rehberlik ve tavsiyeleri için teşekkür ederim.

Ayrıca desteği ve sabrı için eşim Lejla Osmani'ye de teşekkür etmek istiyorum.

Istanbul, 2022 Festim Osmani

İÇİNDEKİLER

ÖZET.....vii

ABSTRACT.....viii

AMAÇ VE HEDEFLER.....ix

SEMBOLLER.....x

KISALTMALAR.....xi

ŞEKİL LİSTESİ.....xii

TABLO LİSTESİ.....xiii

1. GİRİŞ.....1

1.1. LCD'lerde Tampon Yükselteci uygulaması.....1

1.2. Literatür incelemesi.....2

1.3. Organizasyon.....3

2. MOS CİHAZI.....4

2.1. MOSFET'in çalışması.....4

2.2. MOSFET'in Geçiş iletkenliği ve çıkış direnci.....7

3. TAMPON YÜKSELTECI YAPI TAŞLARI.....11

3.1. Kaynak takip edici.....12

3.2. Çıkış aşaması.....16

3.3. Frekans cevabı ve Faz marjı.....17

3.4. Yerleşme Zamanı.....21

4. ÖNERİLEN DEVRE.....23

4.1. Önerilen Tampon Yükselticinin Mimarisi.....23

4.2. Önerilen Devrenin Serim Tasarımı.....25

5. SİMÜLASYONLAR VE SONUÇLAR.....27

6. DEĞERLENDİRME.....36

REFERANSLAR.....37

ÖZGEÇMİŞ.....43

ÖZET

LCD KOLON SÜRÜCÜLERI IÇIN BESLEMEDEN-BESLEMEYE CMOS GERILIM TAMPON TASARIMI

LCD cihazların geniş bir kullanım alanı vardır ve televizyonlarda, araç navigasyon sistemlerinde, bilgisayar monitörlerinde ve diğer elektronik cihazlarda bulunabilir. LCD'lerde sütun sürücüleri, yüksek hıza, düşük güç tüketimine ve yüksek çözünürlüğe katkıda bulundukları için kritik öneme sahiptir. Diğer bir anahtar blok olan Buffer Amplifiers, tek bir çip üzerinde yüksek sayılarda kullanıldığından, her bir arabellek tarafından işgal edilen alan miktarı, diğer arabelleklerin aynı çipe entegre edilmesine izin verirken aynı zamanda en düşük statik güç tüketimini sağlayacak kadar küçük tutulmalıdır. Bir LCD sütun sürücüsündeki arabellek sayısı yeterince büyük olsa bile, düşük güç kaybı sağlamak için yeterince küçük tutulması gereken hareketsiz akım, Tampon Yükselteçlerin en önemli yönlerinden biridir. Tamponların raydan raya gerilimi ve düşük çıkış empedansını sürme yeteneği de önemli niteliklerdir.

B Sınıfı ve AB Sınıfı, kısa bir yerleşme süresine ve düşük güç tüketimine katkıda bulundukları için literatürde açıklanan çeşitli tampon yükselteçlerde yaygın olarak kullanılmaktadır. Bu tezin amacı, giriş aşamasında bir diferansiyel FVF devresi ve daha az transistör kullanan basitleştirilmiş bir devre topolojisi ile bir CMOS voltaj tamponu oluşturmaktır. Ana simülasyonlar, 0.35 µm teknoloji parametreleriyle LTSpice'de çalıştırılır ve devre düzeni Microwind'de tasarlanır. Voltaj tampon yükselteçlerinin kısıtlamaları ve özellikleri nedeniyle, devrenin giriş kısmı büyük bir giriş empedansına ve düşük bir çıkış empedansına sahip olacak şekilde tasarlanmıştır. Tampon, DC, AC, Transient, FOM ve Monte Carlo dahil olmak üzere çeşitli yöntemler kullanılarak teste tabi tutulur.

ABSTRACT

RAIL-TO-RAIL CMOS VOLTAGE BUFFER DESIGN FOR LCD COLUMN DRIVERS

LCD devices have a wide range of uses and can be found in televisions, car navigation systems, computer monitors, and other electronic devices. In LCDs, column drivers are critical because they contribute to high speed, low power consumption, and high resolution. Because Buffer Amplifiers, another key block, are utilized in high numbers on a single chip, the amount of space occupied by each buffer must be maintained small enough to allow other buffers to be integrated into the same chip while also achieving the lowest static power consumption. The quiescent current, which must be kept modest enough to provide low power dissipation even if the number of buffers on an LCD column driver is large enough, is one of the most important aspects of Buffer Amplifiers. Buffers' ability to drive rail-to-rail voltage and low output impedance are also significant attributes.

Class-B and class-AB are commonly employed in various buffer amplifiers described in the literature because they contribute to a short settling time and low power consumption. The goal of this thesis is to create a CMOS voltage buffer with a differential FVF circuit at the input stage and a simplified circuit topology that uses fewer transistors. The major simulations are run in LTSpice with the 0.35 um technology parameters, and the circuit layout is designed in Microwind. Because of the restrictions and specifications of voltage buffer amplifiers, the input part of the circuit is designed to have a large input impedance and a low output impedance. The buffer is put to the test using a variety of methods, including DC, AC, Transient, FOM, and Monte Carlo.

AMAÇ VE HEDEFLER

Bu tezin amacı, LCD Sütun sürücülerine yönelik bir CMOS Tamponu tasarlamaktır. Bir tampon yükseltici tasarlamak için simülasyon programlarını ve CMOS transistörlerini kullanacağız. Amacımız, transistör 0.35 µm AMS, TSMC ve UMC kütüphanelerindeki teknoloji parametrelerini kullanmaktır. Voltaj tampon amplifikatörümüzün giriş empedansı için büyük çıkış değerleri ve düşük çıkış empedansı ile ilgilendiğimiz için voltaj tamponumuz için iki aşamalı amplifikatör mimarisi uygulayacağız. Giriş kısmı için bir Diferansiyel yükselteç kullanmayı planlıyoruz ve çıkış aşaması için ya invertör ya da itme-çekme aşamaları kullanacağız. Giriş amplifikatörünün tasarımında odak noktamız yüksek empedansa yönelik olurken, çıkış aşaması için düşük empedans değerini yakalamamız gerekiyor. Ayrıca çıktı aşamasındaki hedefimiz, dönüş hızının ve yerleşme süresinin iyileştirilmesi olacaktır.

Bu tasarımın amacı, tüm amplifikatörün güç tüketimi üzerinde doğrudan etkileri olduğu için mümkün olduğunca az sayıda transistör kullanmaktır ve bu nedenle daha düşük güç tüketimi kullanmamız gerekecek ve birçok transistör kullanmak aynı zamanda bir sistemde çok daha büyük alan açacaktır. Tek çipli tasarımda kullanılan transistör sayısına dikkat edeceğiz.

SEMBOLLER

W : Transistörün kanal genişliği

L : Transistörün kanal uzunluğu

C : Kapasitans

C_{ox} : Oksit Kapasitansı

t_{ox} : Oksit kalınlığı

µn : Elektronların hareketliliği

µp : Oyukların hareketliliği

V_{DS} : MOS'un boşaltma kaynağı voltajı

V_{GS} : MOS'un kapı kaynak voltajı

V_G : MOS'un kapı (geçit) voltajı

g_m : transistörün geçiş iletkenliği

V_{TH} : Eşik Gerilimi

λ : Kanal boyu modülasyonu

R : Direnç

R_{out} : Çıkış direnç

V_{BS} : MOS toplu kaynak voltajı

I_{DS} : MOS'un drenaj kaynağı DC akımı

V_{in} : Giriş voltaj

V_{out} : Çıkış voltaj

Δ : Delta

A_V : Kazanç

f_1 : Devrenin bant genişliğini

KISALTMALAR

CMOS **:** Tamamlayıcı Metal Oksit Yarı İletken

MOSFET **:** Metal Oksit Yarı İletken Alan Etkili Transistör

FET **:** Alan etkili transistör

DC **:** Doğru akım

AC **:** Alternatif akım

IC **:** Entegre devre

FOM **:** Başarım ölçüsü

DFVF **:** Diferansiyel Çevrilmiş Gerilim Takipçisi

FOM **:** Fıgure of Merit (Başarım ölçüsü)

ŞEKİL LİSTESİ

Şekil 2.1 Mosfet'in sembol gösterimi.....5

Şekil 2.2 MOSFET'in Triyot ve Doygunluk işlemi.....6

Şekil 2.3 Id change for different W values.....6

Şekil 2.4 PMOS Transistör temsili.....7

Şekil 2.5 PMOS Transistörünün Triyot ve Doyma gösterimi.....7

Şekil 2.6 MOSFET'in küçük sinyal modeli.....8

Şekil 2.7 Kanal boyu modülasyonu dahil olmak üzere küçük MOSFET sinyali.....9

Şekil 2.8 Akım kaynağı olarak çalışan MOS cihazları.....9

Şekil 3.1 Negatif geri beslemeli Amplifikatör.....11

Şekil 3.2 Birlik kazançlı Amplifikatör.....12

Şekil 3.3 Kaynak takip edici.....12

Şekil 3.4 Kaynak takip edicinin küçük sinyal modeli.....13

Şekil 3.5 Kaynak takip edicinin küçük sinyalinin basitleştirilmiş devresi.....13

Şekil 3.6 Kaynak takip takip edicinin çıkış direnci.....14

Şekil 3.7 Çevrilmiş Gerilim Takip edici.....14

Şekil 3.8 Diferansiyel Diferansiyel Çevrilmiş Gerilim Tampon.....15

Şekil 3.9 Diferansiyel FVF Tampon [48].....16

Şekil 3.10 Itme-çekme çıkış katı.....17

Şekil 3.11 Kavramsal frekans cevabı.....17

Şekil 3.12 Kazanç ve frekans gösterimi.....18

Şekil 3.13 Negatif geri besleme sistemi.....18

Şekil 3.14 Döngü kazancı birliğe ulaşmadan önce -180° fazlı sistem.....19

Şekil 3.15 Döngü kazancı birliğe ulaştıktan sonra -180° fazlı sistem.....19

Şekil 3.16 Faz geçişinin altında kazanç geçişli sistem.....20

Şekil 3.17 Yerleşme zamanının grafiksel gösterimi.....21

Şekil 4.1 Önerilen Tampon Yükselteç'ın blok şeması.....23

Şekil 4.2 Tampon Yükselticinin devre gösterimi.....24

Şekil 4.3 1,2 ve 3 parmakta bölünmüş FET.....25

Şekil 4.4 Nwell Düzen Tasarım Kuralı.....25

Şekil 4.5 Polisilikon Düzen Tasarım Kuralı.....26

Şekil 4.6 Önerilen Tampon Yükselticinin Serim tasarımı.....26

Şekil 5.1. Giriş ve çıkış sinyali açısından geçici yanıt.....28

Şekil 5.2 Çıkışta 1nF kapasitans yükünü süren geçici yanıt.....28

Şekil 5.3 Çıkışta 600p kapasitans yükü süren geçici yanıt.....29

Şekil 5.4 Farklı kapasitif yükler için yerleşme zamanı sonucu.....30

Şekil 5.5 Çıkış aşamasında 1nF kapasitif yük için devrenin AC yanıtı.....31

Şekil 5.6 Çıkış açık bırakıldığında devrenin AC yanıtı.....31

Şekil 5.7 Frekans ile çıkış empedansı değişimi.....32

Şekil 5.8 Geçici yanıt için Monte Carlo Analizi.....33

Şekil 5.9 Faz kompanzasyonu için devre.....33

Şekil 5.10 Kazanç ve Faz değişimi.....34

TABLO LİSTESİ

Tablo 5.1 Transistörlerin W ve L değerleri.....27

Tablo 5.2 Farklı tampon yükselteçlerin performans karşılaştırmaları…….....35

1. GİRİŞ

1.1. LCD'lerde Tampon Yükselteci uygulaması

Sıvı Kristal Ekran (LCD), taşınabilir sistemlerde giderek daha popüler hale geliyor. LCD'ler için gereksinimler, pil ömrünü uzatmak için en aza indirilmesi gereken güç tüketimi açısındandır. Yüksek hızda sürüşe, düşük güç tüketimine ve yüksek çözünürlüğe katkıda bulundukları için sütun sürücüleri, Sıvı Kristal Ekran cihazlarının önemli bir kısmı olarak kabul edilir [1-18]. Büyük ölçekli LCD uygulamaları bilgisayarlar, televizyonlar ve otomobil navigasyon sistemleri dahil olmak üzere çeşitli ürünlerde bulunabilir [14].

Tampon yükselteçler sağladıkları hız, çözünürlük, voltaj değiştirme ve güç kaybı nitelikleri nedeniyle LCD kolon sürücülerinin en önemli yapı bileşenleridir. Bir LCD sütun sürücüsü daha fazla sayıda çıktı arabelleğine sahip olduğundan, aşırı güç tüketimini önlemek için hareketsiz akım düşük tutulmalıdır. LCD ekranlarda çok fazla tampon yükseltici bulunduğundan, güç tüketimini azaltmak için daha az transistör kullanmaları gerekir. Gerilimi raydan raya itme yeteneği, kısa bir yerleşme süresi ve düşük bir çıkış empedansı, tampon yükselteçlerin en önemli özellikleridir. Ayrıca, çıkış tampon yükselticisinin, daha yüksek gri seviyelerine izin vererek, neredeyse raydan raya voltaj sürüşü sağlaması gerekir [14]. Pikseller satır satır yenilendiğinden, bir çıkış arabellek yükselticisinin girişi, adım adım bir işlev olmalıdır [17].

Çıktı sürücülerinin sayısı, sistem maliyeti ve güvenilirliği ile doğrudan bir ilişkiye sahiptir; çıkış sürücülerinin sayısı azaldıkça sistem maliyeti azalır ve güvenilirlik artar. Ayrıca, çip üretimi, birçok çıktı tamponunun entegrasyonunu ve dahil edilmesini gerektirdiğinden, aynı yongada diğer çıktı tamponlarının entegrasyonuna izin vermek için daha az yer kaplamalıdır [20].

Çıkış arabelleklerinin bahsedilmesi gereken bir başka özelliği de, düz panel ekranların pil ömrünü uzatmak için minimumda tutulması gereken statik güç tüketimidir [20].

1.2. Literatür incelemesi

Birçok tampon amplifikatör tasarımı yayınlanmış literatürde [1-18] bulunabilir. B Sınıfı topoloji ile geliştirilen çıkış tampon yükselteçleri güç tüketimini azaltmaya yardımcı olsa da [4] bir dezavantajı, daha büyük çıkış transistörleri nedeniyle gereken devasa cihaz alanıdır. Diğer bir zorluk ise, büyük LCD ekranları sürmek için yetersiz olan oturma süresidir.

[6]'da özetlenen tampon yükselticinin iki büyük dezavantajı vardır: aşırı hareketsiz akımı sürdürür ve uzun bir yerleşme periyoduna sahiptir. [7]'de sunulan topoloji, yüksek performans göstererek devrenin hızı üzerinde iyi bir etkiye sahipken girişin geçici durumunu algılamak için bir karşılaştırıcı anlamına gelir. Düşük güç karakteristiğine sahip güç yükselteçlerinin yapımında B Sınıfı ve AB Sınıfı teknolojisi veya devre uygulaması, A Sınıfı ile karşılaştırıldığında daha az güç tüketimine izin vermesi ve aynı zamanda statik güç kullanımının azalması nedeniyle tercih edilmektedir [18]. Yerleşme süresini ve güç tüketimini azaltmak için AB Sınıfı çıkış tampon yükselteçlerinin kullanılması önerilmektedir [24].

Ayrıca, bazı durumlarda girişteki geçici değişiklikleri algılamak için karşılaştırıcı devreler kullanarak yüksek yerleşme süreleri elde eden ve büyük miktarda hareketsiz akım üreten AB sınıfı tampon yükselteçler de vardır [2]. [1], iyi bir raydan raya performansı ile önerilen bir devreyi göstermektedir. Bu topoloji, uzun bir oturma periyoduna sahip olma dezavantajına sahiptir. Ayrıca B sınıfı bir operasyona izin verir. Hareketsiz akım için çıkış değerlerini kabul eden başka bir devre [18] önerilmiştir. Bu devrenin en büyük dezavantajı yine yüksek oturma zamanı değerleridir. Bir sınıf - AB tampon yükselticisi [19]'da verilmiştir. Bu devre ayrıca düşük güç ve yüksek hız gösteren ikili itme-çekme devresinin raydan raya çalışmasını gösterir. [45] ’de verilen devrede daha az transistör vardır. Çıkış aşamasına eklenen kapasitif bir yük ile, küçük bir değerle yerleşme süresi açısından iyi performans gösterir.

1.3. Organizasyon

Bu tezin aşağıdaki bölümleri, simülasyonlar ve analizler dahil olmak üzere önerilen devrenin daha ayrıntılı bir açıklamasını ve ayrıca tampon amplifikatör tasarımımız hakkındaki mevcut sonuçları içermektedir. Bu bölüm, aşağıdaki konuların literatür araştırması ile başlar: MOS cihazları, MOSFET'in çalışması, transkondüktans ve çıkış direnci, kaynak takipçisi, yerleşme zamanı ve faz marjı, diferansiyel tamponlar ve çıkış aşamaları,

Daha sonra önerilen tampon ve devre uygulaması gösterilmiş ve açıklanmıştır. Bu bölümde, daha az sayıda transistör ve aşama anlamına gelen yeni bir tampon yükseltici oluşturmak için yukarıda sunulan konuların ve devrenin nasıl kullanılacağını da gösteriyoruz. Ayrıca Microwind'de çizilen devrenin düzeni gösterilmektedir. Son bölümde ise devrenin sağlamlığını ve performansını test etmek için Farklı Analizler yapılmış ve tüm sonuçlar sunulmuştur.

Önerilen tasarımımız, çok düşük hareketsiz akıma, düşük güç tüketimine ve daha hızlı ve daha kısa yerleşme süresine sahip bir tampon amplifikatör göstermektedir. Bu devre, çoğunlukla yüksek tarafta olduğu düşünülen hareketsiz değerden etkilenen FOM değeri karşılaştırması açısından iyi bir genel sonuç göstermektedir.

LTSPICE simülasyonları, önerilen devrenin uygulanabilirliğini göstermek için kullanılır. Ayrıca LTSPICE, önerilen devrenin frekans tepkisini, faz marjını, Monte Carlo grafiklerini, geçici tepkiyi, çıkış empedansını çizmek için kullanılır. Simülasyonlar, simülasyon bulgularının gerçek dünya sonuçlarıyla iyi bir uyum içinde olduğunu ve devrenin geniş bir frekans aralığında çalışabileceğini göstermektedir. Önerilen arabellek, aralarında birçok avantaja sahiptir: yüksek hız yeteneği, daha az transistör kullanımı nedeniyle azaltılmış çip alanı, düşük çıkış empedansı ve ayrıca düşük güç tüketimi. Ayrıca, simülasyonlar ve sonuçlar, düşük güç uygulamalarında ve LCD kolon sürücülerinde önerilen tampon yükselticinin kullanılmasının büyük avantajlarını göstermektedir.

2. MOS CİHAZI

CMOS teknolojisi, IC yonga yapımı için hem n-tipi hem de p-tipi MOSFET'leri kullanan bir MOSFET türüdür. Bu tür bir teknoloji, bir Entegre Devre (IC) geliştirmek için kullanılır. CMOS teknolojisi, özellikle elektrik sinyallerinde gürültünün azaltılması için yaygın olarak kullanılmaktadır. CMOS cihazlarının bir diğer büyük kullanım avantajı, düşük statik güç tüketimidir [27].

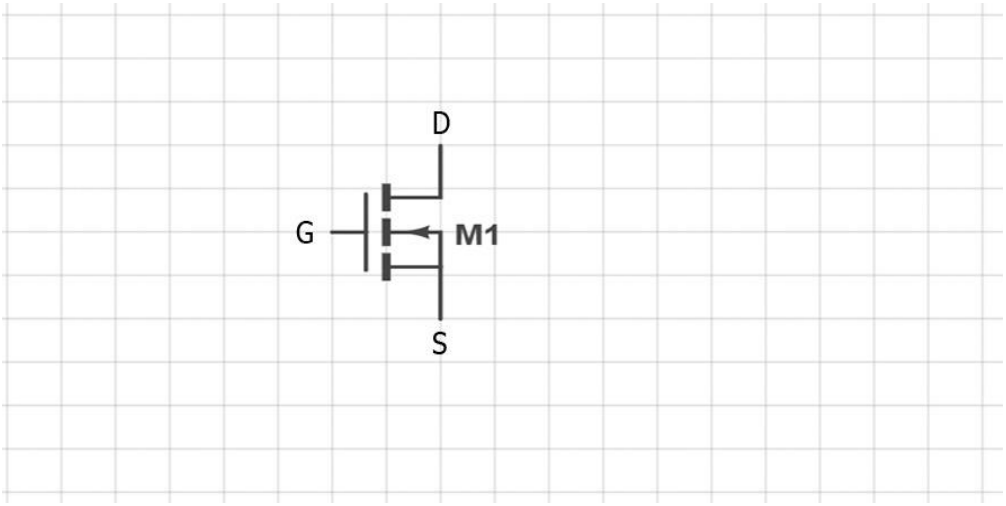
2.1. MOSFET'in çalışması

Ilk olarak 1960'larda icat edilen MOS cihazı olarak adlandırılan MOSFET, yarı iletken teknolojisi üzerinde büyük etkisi olan iyi özellikler gösterir.

MOSFET, P-kanalı (PMOS) ve N-kanalı (NMOS) olarak iki biçimde görünen Geçit, Tahliye ve Kaynak ile üç terminalli bir cihaz olarak çalışır. MOSFET iki farklı biçimde mevcuttur:

Tükenme Tipi – Bu formda, transistörün cihazı "KAPALI" duruma getirmek için Geçit-Kaynak gerilimi olan V_{GS}'ye ihtiyacı vardır. Bu tip normalde kapalı bir anahtar gibi davranır.
Geliştirme Tipi – Bu formda, transistörün cihazı "AÇIK" duruma getirmek için V_{GS} 'ye ihtiyacı vardır. Bu tip normalde açık bir anahtar gibi davranır. MOSFET teknolojisinin büyük kullanımı, küçük boyutu, üretim kolaylığı ve daha az güç kullanımı nedeniyledir [28].

Aşağıdaki Şekil 2.1, n-kanal MOSFET için devre sembolünü özetlemektedir. Bu gösterim, kaynağın gövdeye bağlı olduğunu gösterir.



Şekil 2.1 Mosfet'in sembol gösterimi

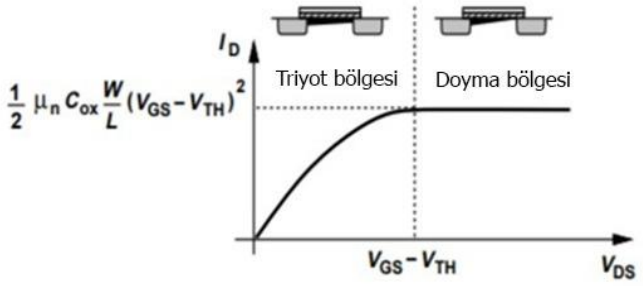
MOSFET işlemi üç moda ayrılmıştır: Kesme, Triyot modu ve Doyma modu. V_{GS} < V_{TH}, ise, herhangi bir NMOS transistörünün kesme bölgesinde olduğu söylenir; burada V_{TH}, cihazın eşik voltajıdır. Bu durumda, transistör kapatılır. Triyot modu için iki koşulun yerine getirilmesi gerekir ve bu denklem 2.1 [28]'de verilmiştir:

$$\boldsymbol{V_{GS} > V_{TH}} \text{ ve } \boldsymbol{V_{DS} < V_{GS} - V_{TH}} \tag{2.1}$$

Bu durumda, transistör açıktır. Ayrıca drenaj ve kaynak arasında akım akışı vardır ve bu nedenle MOSFET bir direnç gibi çalışır.

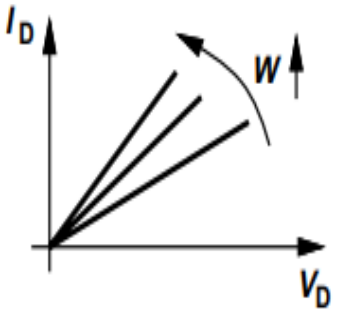
MOSFET'in son çalışmasında anahtarın açık olduğu doyma bölgesi var, drenaj ile kaynak arasında bir akım akışı oluyor. Bu aşama için denklem 2.2 [28]'deki aşağıdaki koşul karşılanmalıdır:

$$\boldsymbol{V_{GS} > V_{TH}} \text{ ve } \boldsymbol{V_{DS} \geq (V_{GS} - V_{TH})} \tag{2.2}$$



Şekil 2.2 MOSFET'in Triyot ve Doygunluk işlemi [28]

Şekil 2.2'de de gösterildiği ve özetlendiği gibi, MOS cihazlarının doyma bölgesi için davranışı, drenaj akımı I_D sabit olduğunda belirlenir.

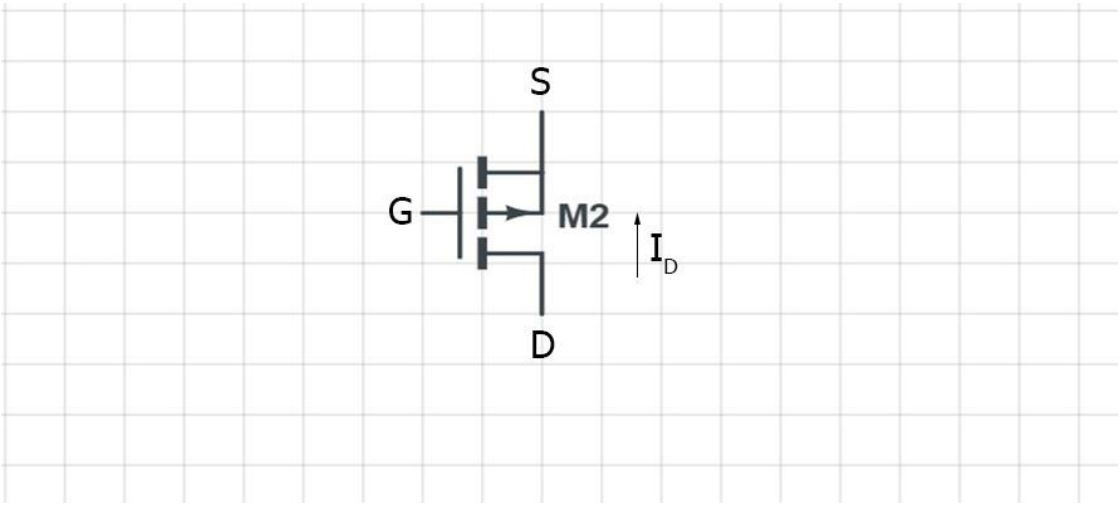


Şekil 2.3 Farklı W değerleri için akım değişikliği. [28]

W veya transistörün kapı genişliği, tasarımcılar tarafından seçilmesi gereken önemli bir parametredir. W arttıkça, drenaj akımında bir artışa yol açacaktır. Yine Şekil 2.3'te gösterildiği gibi, transistör genişliğinin değeri boşaltma akımını belirler.

Ayrıca, W'nin daha yüksek değerleri, kapı kapasitansı üzerinde de etkilidir ve bu da artan ve dolayısıyla devrenin hızını sınırladığı için kötü etkiler [28].

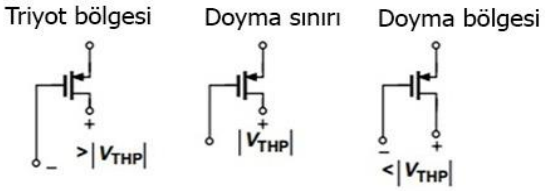
Aşağıdaki Şekil 2.4, PMOS Transistörlerini özetlemektedir.



Şekil 2.4 PMOS Transistör temsili

Bu transistör, drenaj voltajı doygunluğa yakın kaynak potansiyeline yakın olduğu anda triyot bölgesindedir V_D düşer V_G - V_{TH} = V_G + | V_{TH}| [2.8]

Aşağıdaki 2.5 Şekilde, kapı tahliye gerilimi için çalışma bölgesi en iyi şekilde açıklanmıştır.



Şekil 2.5 PMOS Transistörünün Triyot ve Doyma gösterimi [28].

2.2. MOSFET'in Geçiş iletkenliği ve çıkış direnci

MOS transistörleri, voltaj kontrollü bir akım kaynağı olan geçiş iletkenliği olarak bilinen bir özelliğe sahiptir. Geçiş İletkenliği açıklamak için formül aşağıda verilmiştir [28]:

$$g_m = \frac{\delta I_D}{\delta V_{GS}} \quad (2.3)$$

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (2.4)$$

Geçiş İletkenlik parametresi, bir devrenin gücünü belirlemek için kullanılır. Yüksek bir geçiş iletkenliği değeri, V_{GS} değeri için drenaj akımında bir değişiklik anlamına gelir. İletkenlik parametresi doğrusal olarak orantılıdır W/L for V_{GS} - V_{TH} ve ayrıca orantılıdır V_{GS} - V_{TH} değeri için W/L.

denklemi kullanma (2.5) [28] doyma bölgesi için, geçiş iletkenliği formülü şöyle olur:

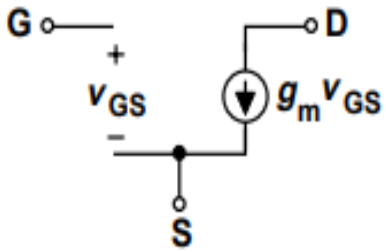
$$g_m = \sqrt{\mu_n C_{ox} \frac{W}{L} I_D} \quad (2.5)$$

Bu denklem daha çok kullanılır çünkü I_D güç kaybı ile belirlenir.
(2.4) denklemini ve $I_D = 1/2\ \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$'yi bölerek, geçiş iletkenliği için aşağıdaki gibi başka bir ifade elde ederiz [28]:

$$g_m = \frac{2 I_D}{V_{GS} - V_{TH}} \quad (2.6)$$

Yukarıdaki denklemden, g_m, belirli bir V_{GS} - V_{TH} için ile I_D doğrusal orantılıdır ve g_m, belirli bir I_D için V_{GS} - V_{TH} ile ters orantılıdır.

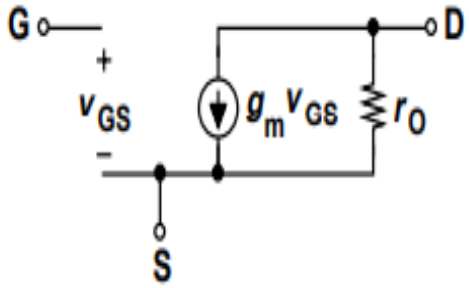
Şimdi dikkatimizi MOSFET'in küçük sinyal modeline çeviriyoruz ve aşağıda bir NMOS transistörünün küçük sinyal modeli gösterilmektedir. Küçük sinyal modelinin çalışma prensibi, geçiş iletkenliğin çalışma prensibini de anlamaya yardımcı olur.



Şekil 2.6 MOSFET'in küçük sinyal modeli [28]

MOSFET'in doğrusal küçük sinyal gösterimi Şekil 2.6'da gösterilmiştir. Burada transistör gösteriliyorsa başka bir temsil. Transistör, voltaj kontrollü bir akım

kaynağında gösterilir. Yukarıdaki devreden de görülebileceği gibi, drenajdan geçen akım $i_D = g_m v_{GS}$. Kanal boyu modülasyonunu temsil etmek için 2.7 şekilde gösterildiği gibi bir direnç eklenir



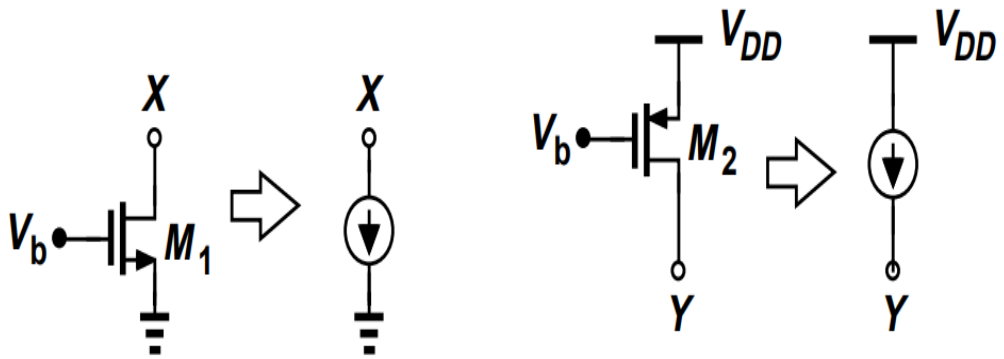
Şekil 2.7 Kanal boyu modülasyonu dahil olmak üzere küçük MOSFET sinyali [28]

$$r_O = \left(\frac{\delta I_D}{\delta V_{GS}}\right)^{-1} \tag{2.7}$$

$$= \frac{1}{\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2 * \lambda} \tag{2.8}$$

$$r_O \approx \frac{1}{\lambda I_D} \tag{2.9}$$

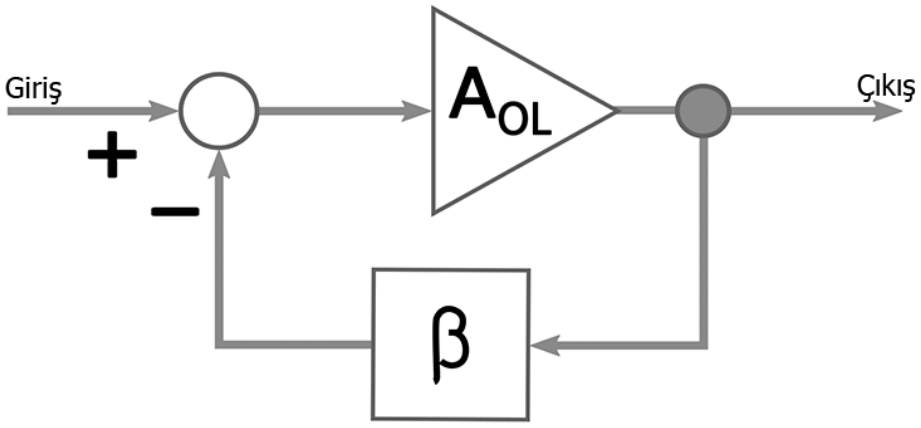
Doyma bölgesinde çalışan MOS cihazları akım kaynağı olarak hareket edebilir. Bu özellik direnç sağlamaya yardımcı olur. Aşağıdaki Şekil 2.8, hem NMOS hem de PMOS cihazlarının mevcut kaynaklarla değiştirildiğini göstermektedir.



Şekil 2.8 Akım kaynağı olarak çalışan MOS cihazları [28]

3. TAMPON YÜKSELTECI İÇİN YAPI TAŞLARI

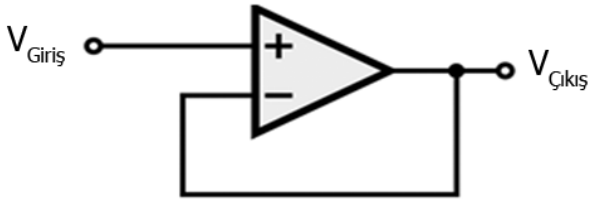
Yüksek çıkış empedans seviyesine sahip bir birinci devreden düşük giriş empedans seviyesine sahip bir ikinci devreye aktarılan voltaj, bir voltaj tampon yükselticisi kullanılarak yapılır. Bir voltaj tamponu, çıkış voltajı giriş voltajına eşit olduğu için birlik kazanç tampon amplifikatörü olarak da bilinir. Bu tür bir tampon, bir op-amp'e tam seri negatif geri besleme uygulanarak ve sinyal kaynağını ters çevirmeyen girişe bağlayarak yapılabilir. [46].



Şekil 3.1 Negatif geri beslemeli Amplifikatör [46]

Birlik kazanç tampon yükselticisi, Şekil 3.1'de gösterildiği gibi bir yükselticiye negatif geri besleme uygulandığında oluşturulabilir. Tamponun çıkış kısmı, evirici girişe bağlanır ve ayrıca sinyal kaynağını evirici olmayan girişe [46] bağlar.

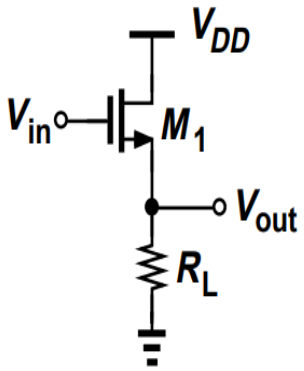
Birlik kazancı tampon yükselticisi, Şekil 3.1'e göre bir veya 0 db'lik bir voltaj kazancı gösterir. Çıkış ve giriş voltajları arasındaki fark, tampon yükseltici tarafından yükseltilir. Basitçe çıkış voltajı, Şekil 3.2'den de görülebileceği gibi giriş voltajına eşittir. Tampon yükselticinin diğer özellikleri, yüksek giriş empedansı ve düşük çıkış empedansıdır. Bu devre tipi düşük çıkış empedansı özelliği nedeniyle yükü tahrik eder ve aynı zamanda iyi bir voltaj kaynağı görevi görür [46].



Şekil 3.2 Birim kazançlı amplifikatör [28]

3.1. Kaynak takip edici

Gerilim tamponu olarak ortak drenaj amplifikatörü olarak da bilinen kaynak takipçisi kullanılır.



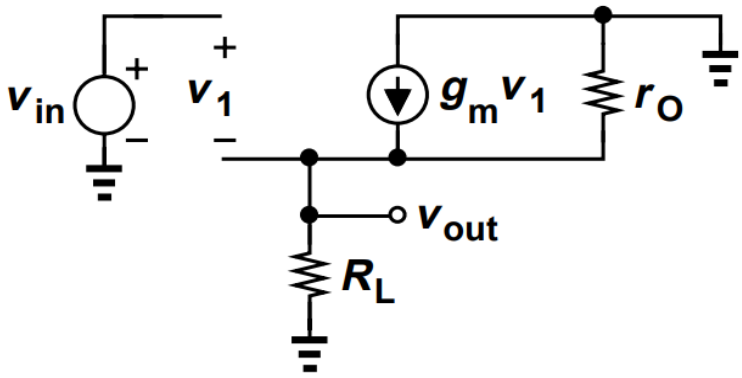
Şekil 3.3 Kaynak takip edici [28].

Şekil 3.3'te, devreye ayrıca, geçitten bir girdi alan ve çıktısı Kaynaktan alınan bir Gerilim tamponu denir. Bir giriş olması durumunda Δ V_{in} M1 kapısına uygulanır ve kapı voltajını yükseltir, ardından doğrudan kaynak akımına ve çıkış voltajına etki eder ve bu da değerleri yükseltir ve daha da önemlisi bu,V_{out} (çıkış voltaj) V_{in} (giriş voltaj) takip eder.

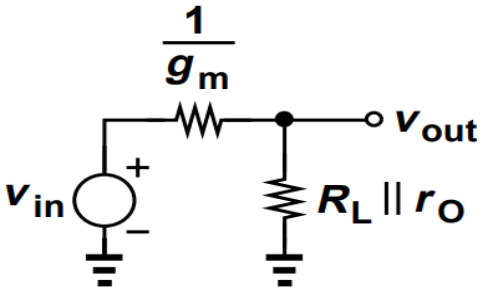
Aşağıda 3.4 ve 3.5 teki Şekillerde, aynı zamanda kanal uzunluk modülasyonunu da içeren Kaynak izleyicisinin küçük sinyal gösterimini göstermektedir.

Sahip olduğumuz devreden:

$$\boldsymbol{v_{in} = v_1 + v_{out}} \tag{3.1}$$



Şekil 3.4 Kaynak takip edicinin küçük sinyal modeli [28]



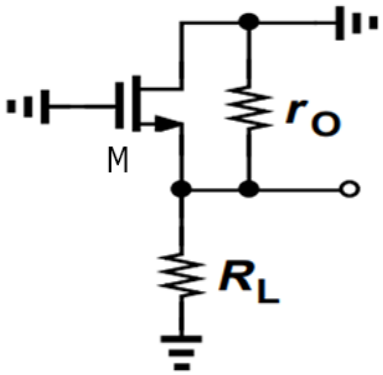
Şekil 3.5 Kaynak takip edicinin küçük sinyalinin basitleştirilmiş devresi [28].

Devreyi Şekil 1.4'teki gibi basitleştirdikten sonra, bundan şu sonuca varabileceğimiz Şekil 1.5'tekine:

$$g_m \, v_1 \, (r_o \,|||\, R_L) = v_{out} \tag{3.2}$$

$$\frac{v_{out}}{v_{in}} = \frac{r_o \,|||\, R_L}{\frac{1}{g_m} + r_o \,|||\, R_L} \tag{3.3}$$

Bir kaynak takip edicisinin çıkış direncini hesaplamak için aşağıdaki devreyi kullanabiliriz.



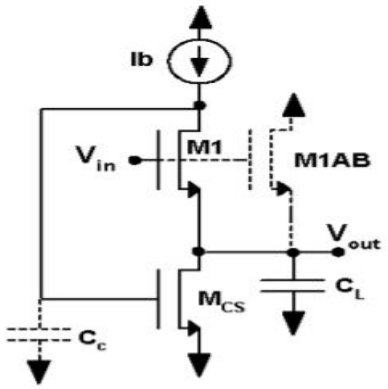
Şekil 3.6 Kaynak takip edicinin çıkış direnci [28]

Çıkış direncinin aşağıdaki gibi bulunması tutarlıdır [28]:

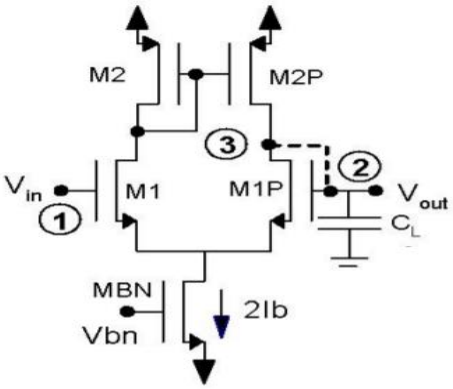
$$R_{out} = \frac{1}{gm} \Vert r_o \Vert R_L \tag{3.4}$$

$$= \frac{1}{gm} \Vert R_L \tag{3.5}$$

İfade edilen çıkış direnci, kaynak izleyicinin çok düşük çıkış empedansı özelliğine sahip olduğunu ve bu nedenle tampon özelliği sağladığını gösterir.



Şekil 3.7 Çevrilmiş Gerilim Takip edici [48]



Şekil 3.8 Diferansiyel Diferansiyel Çevrilmiş Gerilim Tampon [48]

Şekil 3.7'de Çevrilmiş Gerilim Takip edici gösterilmektedir. Negatif geri beslemeli bir kademeli amplifikatör kullanır. Düşük çıkışlı direnç tamponlar tasarlamak için çok kullanışlıdır.

Yukarıda Şekil 3.8'de, 2 ve 3 düğümlerini bağlayan köprü hattı olan negatif bir geri beslemenin birlik kazancını da gösteren aktif yüklü bir diferansiyel çifti kullanılarak basit bir tampon [48] oluşturulur.

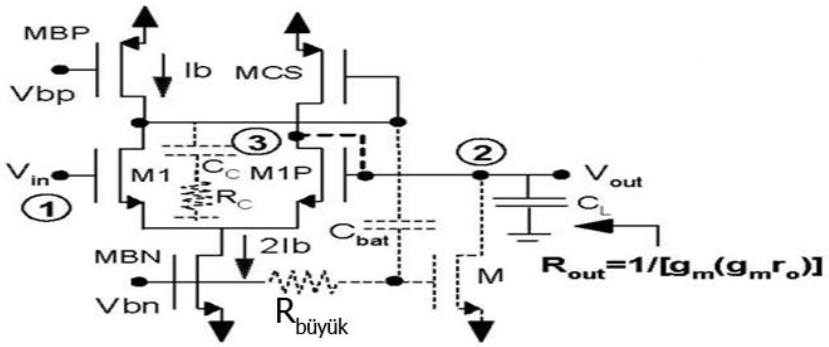
$$\boldsymbol{R_{out} = 1/gm_{DP}} \tag{3.6}$$

Bu devre topolojisi, DC seviyesinden bağımsız bir devredir. Ayrıca kazanç bant genişliği olarak verilir

$$\boldsymbol{GB = g_{mDP} / 2\,\pi\, C_L} \tag{3.7}$$

Aşağıda Şekil 3.9'da [48] gösterilen diğer devre, yapısını bir Diferansiyel FVF olarak göstermektedir. Bu devrede dikkat, DC seviye kayması ve aşağıda verilen bir çıkış empedansı yoktur:

$$\boldsymbol{R_{out} = 1 / [\, g_m\, (g_m\, r_o)]} \tag{3.8}$$



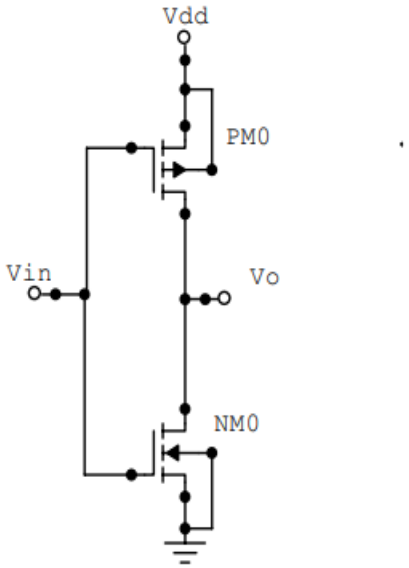
Şekil 3.9 Diferansiyel FVF Tampon [48]

3.2. Çıkış aşaması

Raydan raya çalışma, negatif besleme rayından pozitif besleme rayına sinyal salınımı ile ideal tampon'lerin oluşturulmasını sağlar. Giriş aşamasında, op-amp'nin giriş gerilimlerine yakın gerilim besleme değerleri için çalışmasına izin verilirken, çıkış aşaması yüksek salınımı sağlamak için çıkıştaki gerilim düşüşünün en aza indirilmesini sağlar [25].

Raydan raya çıkış aşaması, çıkışın raylara ulaşmasını sağlayan çıkış aşamasındaki voltaj düşüşlerini en aza indirmeyi sağlar.

Avantajı, çıkış aşamasının op-amp'in voltaj kazancını arttırmasıdır. Ortak kaynaklı NMOS ve PMOS, Şekil 3.10'da gösterilmektedir. Bu konfigürasyon, iki transistör kullanarak aynı zamanda itme-çekme çevirici çıkış katı olarak da bilinir [25].



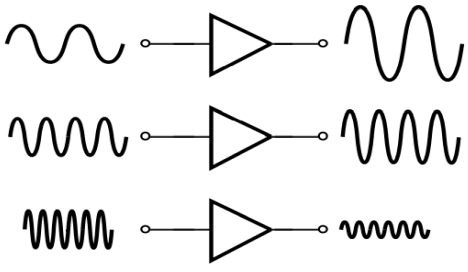
Şekil 3.10 Itme-çekme çıkış katı [25]

Bu aşamanın önyargısı, önceki aşamadan gelen bir giriş voltajıdır. Bu gerilime göre hem transistörün aktif hale getirilmesi hem de açılması önemlidir [25].

3.3. Frekans Cevabı ve Faz Marjı

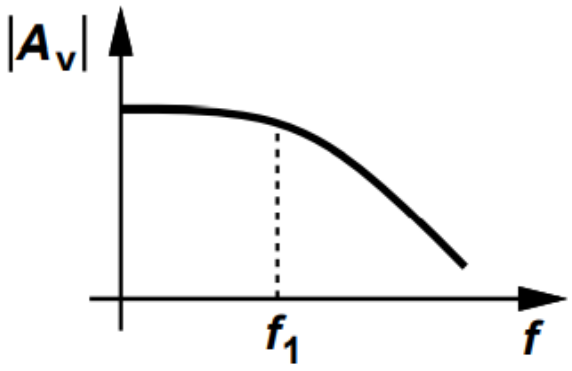
Bir devrenin belirli bir frekansı için frekans yanıtı, frekans üzerinden büyüklük (kazanç) grafiksel bir temsilinde gösterilebilir. Aşağıda Şekil 3.11'da bir frekans tepkisi kavramı gösterilmiştir. Burada belirli bir devreye bir sinyal girişi uygulanır ve bu sinyalin davranışı devrenin çıkışında analiz edilir. Bir giriş sinyalinden etkilenen devrenin veya amplifikatörün davranışı, amplifikatörün frekans yanıtına karşılık gelir.

Çıkış, Şekil 3.11'da gösterildiği gibi, belirli bir büyüklük tepkisi üzerinden bir frekans aralığı için amplifikatörlerin davranışını gösterir.



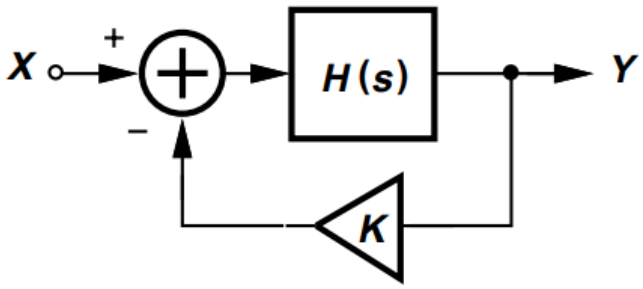
Şekil 3.11 Kavramsal frekans cevabı [28]

Devrenin frekans aralığına göre davranışı Şekil 3.12'de gösterilmektedir. Burada f_1 devrenin bant genişliği ve $|A_V|$ devrenin kazancıdır.



Şekil 3.12 Kazanç ve frekans gösterimi [28]

Tampon Yükselteçleri ile ilgili bir sorun, Kararlılık sorunudur. Negatif geri besleme döngüsüne yerleştirilirse, çok sayıda kutbu olan amplifikatörler kararsız hale gelebilir [28].



Şekil 3.13 Negatif geri besleme sistemi [28]

Yukarıdaki şekilde, Şekil 3.13'de gösterildiği gibi H(s) transfer fonksiyonuna sahip bir amplifikatör vardır ve kapalı çevrim transfer fonksiyonu aşağıdaki gibi verilmiştir [28]:

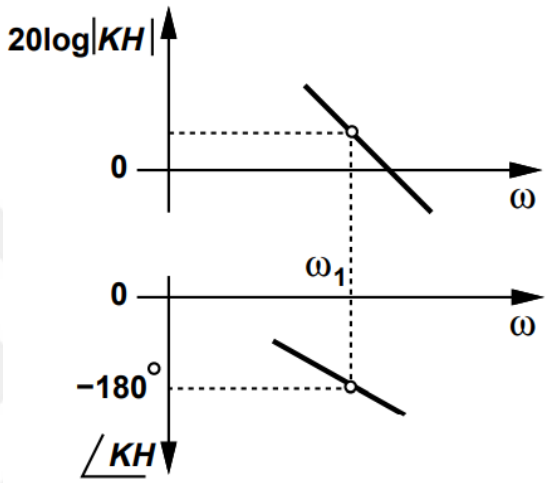
$$\frac{Y}{X}(s) = \frac{H(s)}{1+K\,H(s)} \tag{3.9}$$

Burada KH(ler) döngü iletimidir.

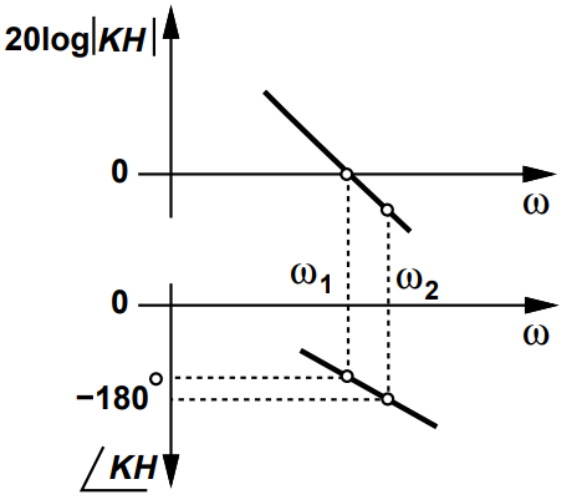
Buradaki endişe, belirli bir w_1 frekansında, döngü iletimi -1'e eşit olduğunda ortaya çıkar. Bu noktada, kapalı döngü sistemi, bu frekans için sonlu bir çıktı bileşenine yol

açan sonsuz bir kazanç gösterir. |KH (jw_1) | ≥ 1 ve ∠H (jw_1) = -180 ° sistem salınım yapar ve amplifikatörler kurarken bu gibi durumlardan kaçınılması gerekir.

Şekil 3.14'te, w_1 'deki döngü kazancının birliği aştığı bir sistem gösterilmektedir ve bu nedenle bu tür bir sistem devre osilasyonuna yol açar. Şekil 3.15'te ilerlerken, uygun olmayan döngü kazancının w_1 ve w_2 faz kayması yeterli olmadığından salınım yapamayacak. Döngü kazancının bire düştüğü frekansa kazanç geçiş frekansı, -180° faz kayması artışlarına ise faz geçiş frekansı denir. Sistemin kararlı olmasını sağlamak için, faz kayması -180°'ye ulaşmadan döngü kazancının bire düştüğünü garanti etmeliyiz.



Şekil 3.14 Döngü kazancı birliğe ulaşmadan önce -180° fazlı sistem [28]

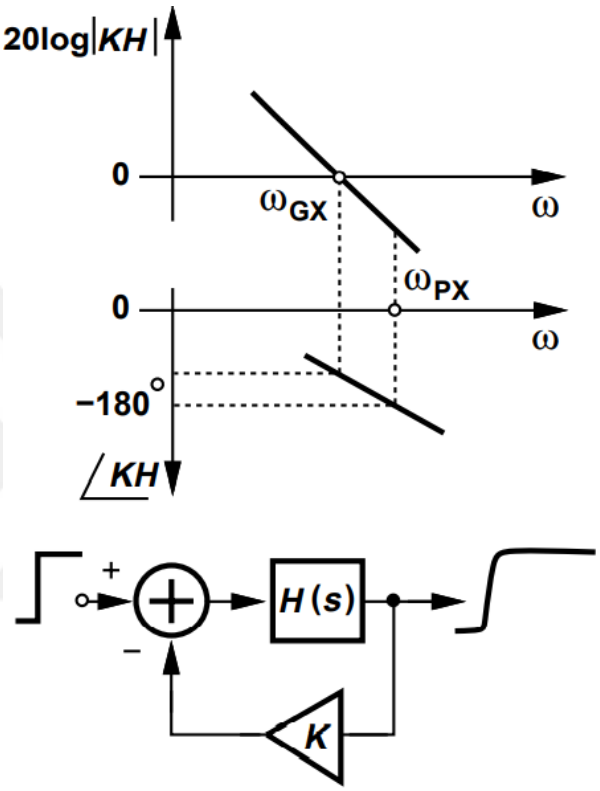


Şekil 3.15 Döngü kazancı birliğe ulaştıktan sonra -180° fazlı sistem [28]

Faz marjı, geri besleme sistemlerinin (PM) kararlılığını değerlendirmek için tipik bir

ölçüdür. Şekil 13.16'teki durumlarda görüldüğü gibi, bir sistem ne kadar sabitli olursa olsun, $\angle \mathrm{H}(w_{GX})$ ve -180 ° arasındaki fark o kadar büyük olur. Faz Marjı denklemi 3.10 [28] aşağıda verilmiştir:

$$\text{Faz Marjı (PM)} = \angle H(w_{GX}) + -180\ ° \tag{3.10}$$



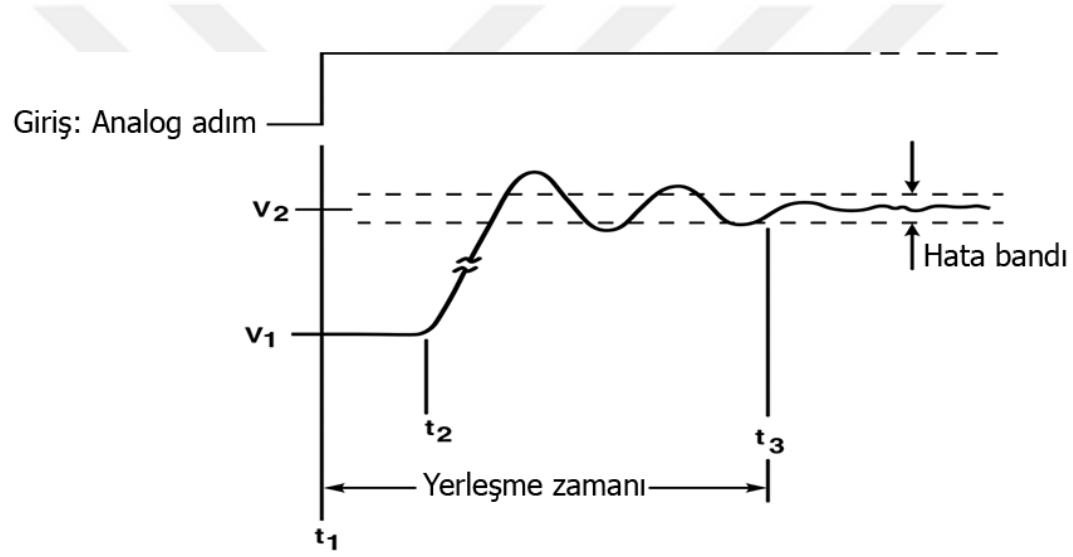
Şekil 3.16 Faz geçişinin altında kazanç geçişli sistem [28]

Kazanç marjı ve Faz marjı, kazanç davranışını ve bir sistemin kararsızlığa nasıl ulaşabileceğini belirleyen parametrelerdir. Kazanç marjı, 0 dB ile 180° faz ile sonuçlanan faz geçiş frekansındaki kazanç arasındaki fark olarak tanımlanır [28].

Şekil 3.16'ten görülebileceği gibi, bir sistemin kazancı arttıkça sistem daha az sabit hale gelir. Çoğu durumda, işlemsel yükselteçler, minimum 45 derecelik bir faz marjı elde etmek için düzeltilir [47].

3.4. Yerleşme Zamanı

Bir amplifikatör için yerleşme süresi, bir giriş sinyalini takiben bir çıkış sinyalinin verilen hata bandına ulaşması ve içinde kalması için geçen süredir. Hata bandı ne kadar sıkıysa, yerleşme zamanı o kadar uzun olacaktır. Kapasitans, kapalı çevrim kazancı ve yükleme gibi yerleşme zamanını da etkileyen faktörler vardır. Yerleşme zamanı, bir sinyalin hedefine ulaşması için geçen süre olan yayılma gecikmesini ifade eder [29]. Yerleşme zamanının doğruluğunu ölçmek oldukça zordur. Ayrıca, belirli bir doğruluk için izin verilen maksimum veriyi ifade ettiğinden amplifikatörlerde yerleşme süresi önemlidir ve kapalı döngü kazancı artar. Yerleşme zamanı, hem çıkışın değişmesi için gereken süreyi hem de belirtilen hata bandına yerleşmek için gereken süreyi içerir.



Şekil 3.17 Yerleşme zamanının grafiksel gösterimi [29]

Şekil 3.17, zaman alanında uygulanan bir sinyalin giriş ve çıkış davranışı için yerleşim süresini en iyi açıklayıcı şekilde göstermektedir.

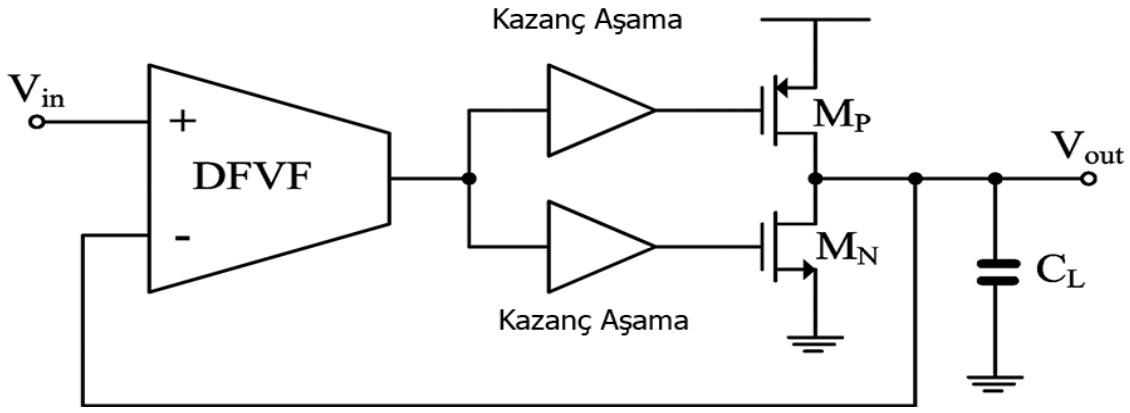
4. ÖNERİLEN DEVRE

Bu bölümde, önerilen tampon kuvvetlendirici, basit bir devre yapısı kullanılarak inşa edilen Tampon Kuvvetlendiricinin devre uygulaması daha ayrıntılı olarak sunulmaktadır.

4.1. Önerilen Tampon Yükselticinin Mimarisi

LCD tampon yükseltici uygulaması için blok diyagram ve devrenin mimarisi Şekil 4.1'de özetlenmiştir. Şekilden, devrenin giriş aşaması [8], kazanç aşaması ve çıkış aşaması için bir DFVF kullandığı görülebilir. Çıkış katı, Şekil 4.2'de tamponun devre tasarımında gösterilen ortak bir kaynak kullanır. Giriş sinyali, ters çevirmeyen terminale uygulanırken, çıkış ve ters çevirme girişi, birlik kazanç yükselticilerinden beklendiği gibi birbirine bağlanır. Devredeki M3 ve M4 transistörleri, raydan raya çalışmayı sağlar. Ayrıca bu iki transistör, devre için diferansiyel girişler olarak da hizmet eder. Transistörler M5 ve M7, ayrı ortak kaynak kazanç aşamaları oluşturur.

Çıkışta çok yüksek bir açık döngü kazancı elde edilir ve M9 ve M10'un boşaltma terminallerinden DFVF aşamasının evirici girişine negatif bir geri besleme uygulandıktan sonra çıkışta çok küçük bir empedans elde edilir. Giriş aşaması bir DFVF devresinden oluşurken, çıkış aşaması bir AB sınıfı devresinden yapılmıştır. Devre aşağıda Şekil 4.1'de özetlenmiştir.

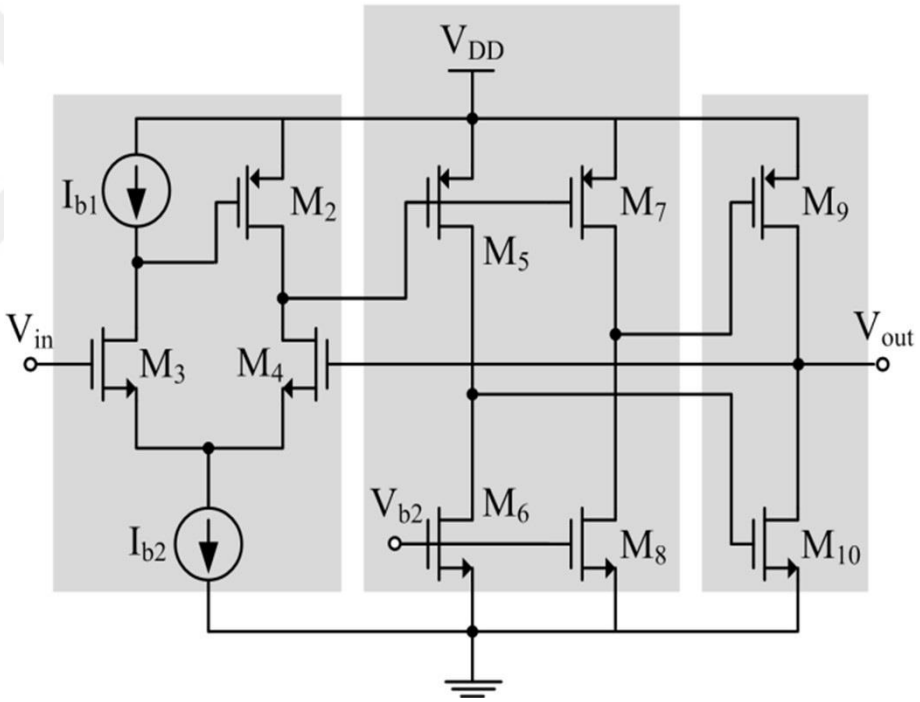


Şekil 4.1. Önerilen Tampon Yükselteç'ın blok şeması

Transistörler M5 ve M6, tampon yükselticinin kazanç aşamasını oluşturur. Bu aşamada çok yüksek kazançlar elde edilir, böylece geri besleme faktörünün (1+Aβ) değeri artar. Bu artış sonucunda çıkışta çok düşük bir empedans değeri elde edilir. Çıkış empedansı şu şekilde verilebilir:

$$\boldsymbol{R_{out}} = \frac{\mathbf{1}}{(g_{m5,7}g_{m3})(g_{m9} + g_{m10})(r_{02} \| r_{04})(r_{o5,7} \| r_{06,8})} \tag{4.1}$$

burada gm ve ro, ilgili transistör için sırasıyla transkondüktans ve çıkış direncidir.
Yük kapasitansı için şarj ve deşarj akımları sırasıyla M9 ve M10 transistörleri aracılığıyla elde edilir. Bu nedenle bu iki transistörün en boy oranları diğer transistörlere göre biraz yüksek tutulmuştur.



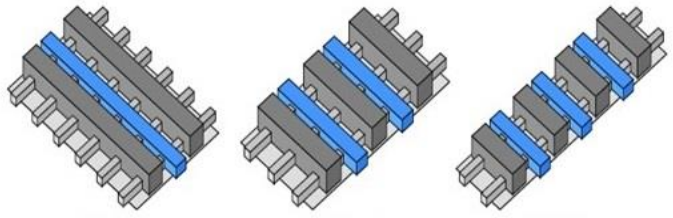
Şekil 4.2 Tampon Yükselticinin devre gösterimi

I_{b1} ve I_{b2} olarak gösterilen mevcut kaynaklar sırasıyla PMOS ve NMOS transistörleri ile değiştirilir. Tamponun devre uygulaması için kullanılan toplamda sadece 11 geçiş vardır.

4.2. Önerilen Devrenin Serim Tasarımı

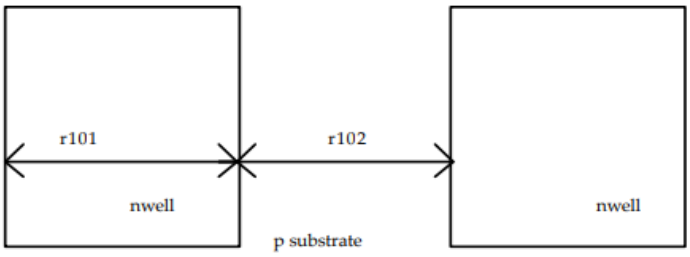
Aşağıda Şekil 4.3'te de gösterildiği gibi uygulanan devrenin düzeni, Microwind'de 0.35 µm Teknoloji kısıtlaması ve kuralları altında çizilmiştir.

Birçok kanatçıklı ve büyük geometrili büyük FET, paralel bağlı daha küçük cihazlara bölünmüştür. Bu cihazlar aynı drenaj ve kaynak kontaklarına sahip olduklarından, difüzyon alanını da paylaşırlar ve transistör örtüşmesine neden olabilir. FET'in uzun kapısını iki, üç veya daha fazla küçük parçaya bölme işlemi parmak tekniği olarak bilinir [26]. Yönlendirme yönü, daha iyi ve düzgün bağlantı için kullanılır.



Şekil 4.3 1,2 ve 3 parmakta bölünmüş FET [26]

Devrenin yerleşimi için tasarım kuralları [46]'deki talimatlara uygundur ve aşağıdaki şekillerde özetlenmiştir.



Şekil 4.4 Nwell Düzen Tasarım Kuralı [44]

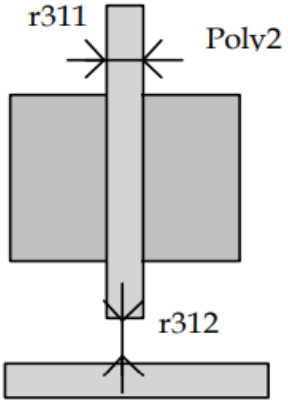
Şekil 4.4'te gösterildiği gibi, r101, 12 **λ**

olması gereken Minimum kuyu boyutudur ve r102, 12 **λ** değerinde olması gereken kuyular arasındaki mesafedir. Bu nedenle toplamda Nwell Serim Tasarımını için gerekli

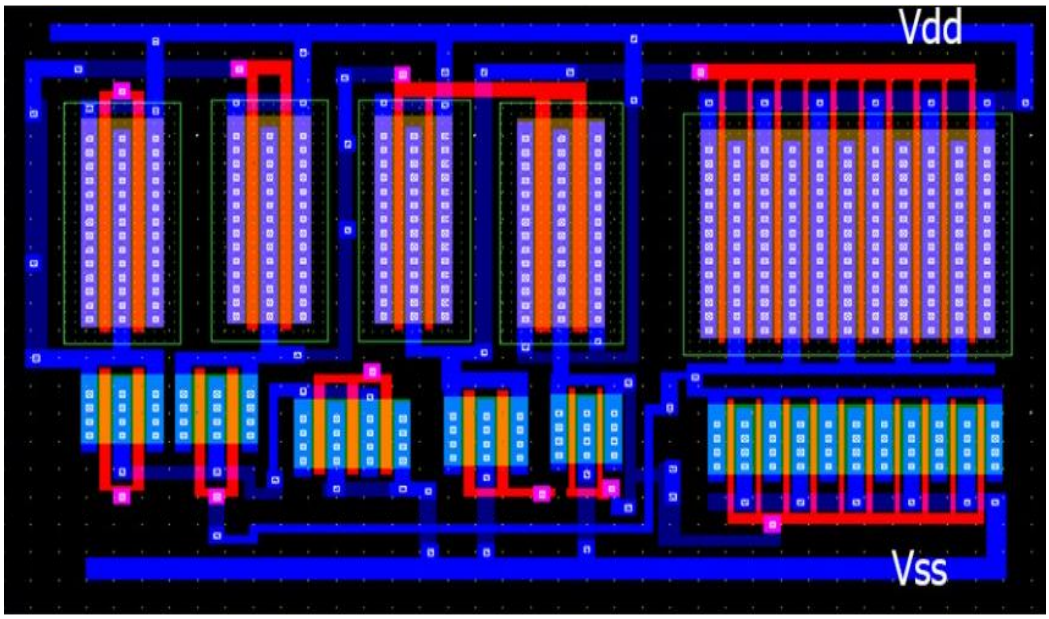
minimum yüzey 144 λ^2'dir [44].

Tasarım kuralları için başka bir örnek Şekilde gösterilmektedir. Burada tasarım, Polisilikon tasarımı kuralına göre gösterilmektedir. R311, Polisilikon2 genişliğini gösterir.

2 **λ**'lik bir gereksinime sahiptir ve r312, en az 2 **λ**'lik bir mesafeye sahip difüzyon üzerindeki Polisilikon2 geçit gereksinimini ifade eder. [44].



Şekil 4.5 Polisilikon Düzen Tasarım Kuralı [44]



Şekil 4.6 Önerilen Tampon Yükselticinin Serim tasarımı

5. SİMÜLASYONLAR VE SONUÇLAR

Önerilen Tampon Yükseltici, LTSpice ile ve [30]'daki gibi 0.35 µm CMOS teknolojisi parametrelerini kullanarak simüle edilir. Transistörler için L boyutu ve W genişliği için farklı değerler uygulanmış ve ayrıca Tablo 5.1'de özetlenmiştir.

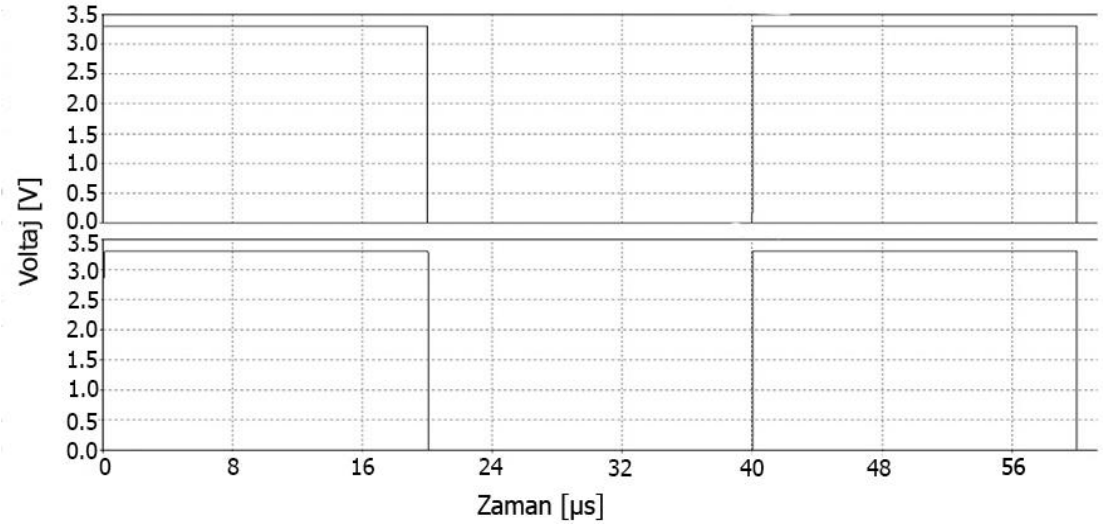
Genişlik oranı, PMOS ve NMOS transistörlerinin boyutu açısından 3:1'dir. PMOS transistörü M1, akım kaynağı I_{b1}'in yerini alırken, değiştirilen diğer akım kaynağı I_{b2}, NMOS transistör Mb ile değiştirilir.

Tablo 5.1 Her transistör için Uzunluk ve Genişlik oranları.

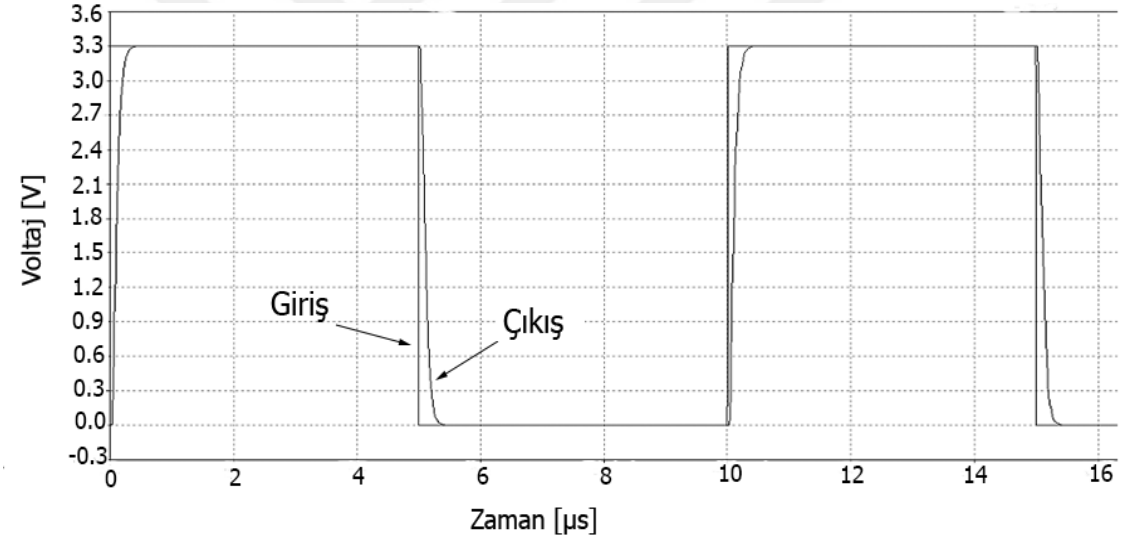
Transistor	L [µm]	W [µm]
M_1, M_2	0.9	30
M_3, M_4	0.7	10
M_5, M_7	0.7	30
M_6, M_8	0.7	10
M_9	0.35	150
M_{10}	0.35	50
M_b	0.7	15

Simülasyonları çalıştırmak için +3,3 V'luk bir gerilim beslemesi uygulanır. Burada ayrıca kutuplama gerilimleri için V_{b1} = 2,6V , burda V_{b1}, geçerli kaynak I_{b1}'in yerini almak için kullanılan transistör M1 besler ve V_{b2} = 0,7 V'u seçtik. Toplamda, genel hareketsiz akımın 3,92 µA olduğu bulunmuştur.

Aşağıda Şekil 5.1 ve 5.2'den, tamponun geçici tepkisi olarak devrenin çıkış sürme kapasitesi gösterilmektedir. Giriş uygulanan tam salınımlı giriş adımı, büyük bir giriş sinyali olarak kabul edilen 1V'den büyük bir genliğe sahip 100 kHz'dir ve çıkışta 1 nF'lik bir yük kapasitansı bağlanır. Şekil 5.1'den çıkış sinyalinin tam dinamik aralık için giriş sinyalini takip ettiği gösterilmiştir. Çıktı sonucu, önerilen tampon için zaman yanıtını gösteren yerleşme zamanı açısından 0,3 µs değerini gösterir.

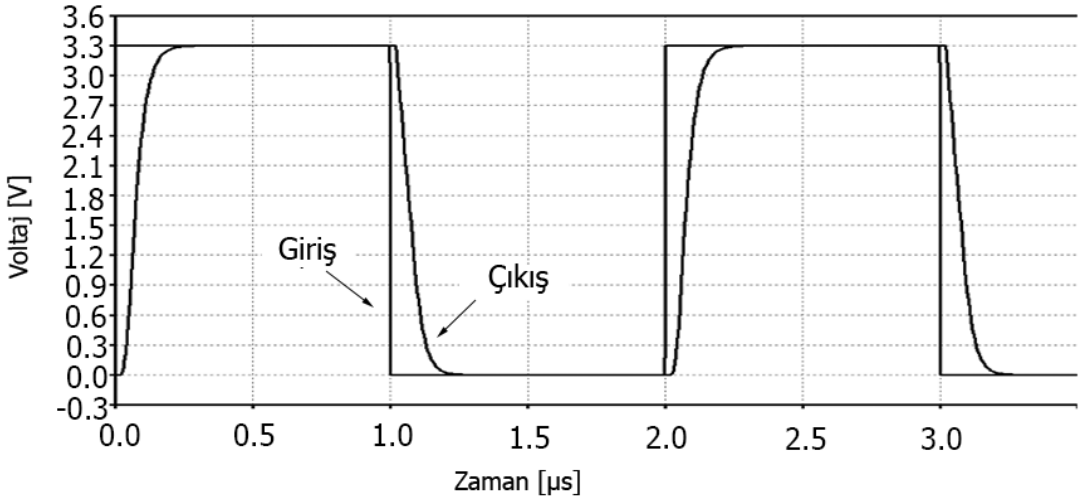


Şekil 5.1. Giriş ve çıkış sinyali açısından geçici yanıt



Şekil 5.2. Çıkışta 1nF kapasitans yükünü süren geçici yanıt.

Çıkış kademesine bağlanan kapasitif yük için 600 pF değeri kullanılarak başka bir simülasyon gerçekleştirilmiştir. Yine büyük bir voltaj genliği uygulanmakta ve yerleşme süresi için 0,2 µs değerinde bir değer kazanılmaktadır. Bu simülasyon Şekil 5.3'te özetlenmiştir.

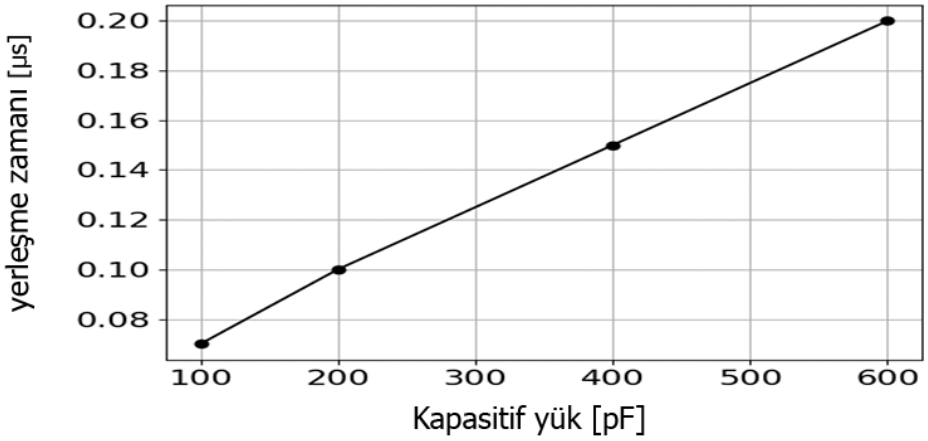


Şekil 5.3. Çıkışta 600p kapasitans yükü süren geçici yanıt.

Şekil 5.4'te, çıkış düğümüne bağlanan farklı kapasitif yük değerleri için yerleşme süresi davranışı açısından arabelleğin genişletilmiş bir görünümü gösterilmektedir.

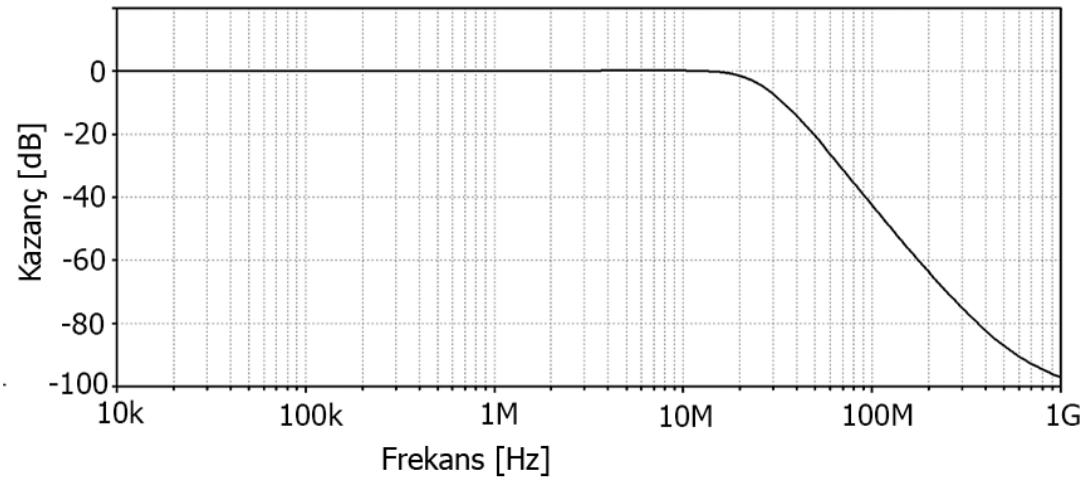
Burada X koordinatı çıkışa bağlanan farklı Kapasitif yükler için farklı değerler gösterirken, Y koordinatı oturma süresi değerleri sonuçlarını gösterir.

Çıkış aşamasına bağlanan 600 pF'lik bir kapasitans için, oturma süresi 0,2 µs'lik bir sonuç değeri gösterir. 400 pF, 200 pF ve 100 pF kapasitörler için yerleşme zamanı sırasıyla 0.15 µs, 0.1 µs ve 0.07 µs olarak bulunmuştur. Kapasitif yük azaldıkça, tamponun yerleşme zamanının veya hızının arttığı gözlemlenebilir.

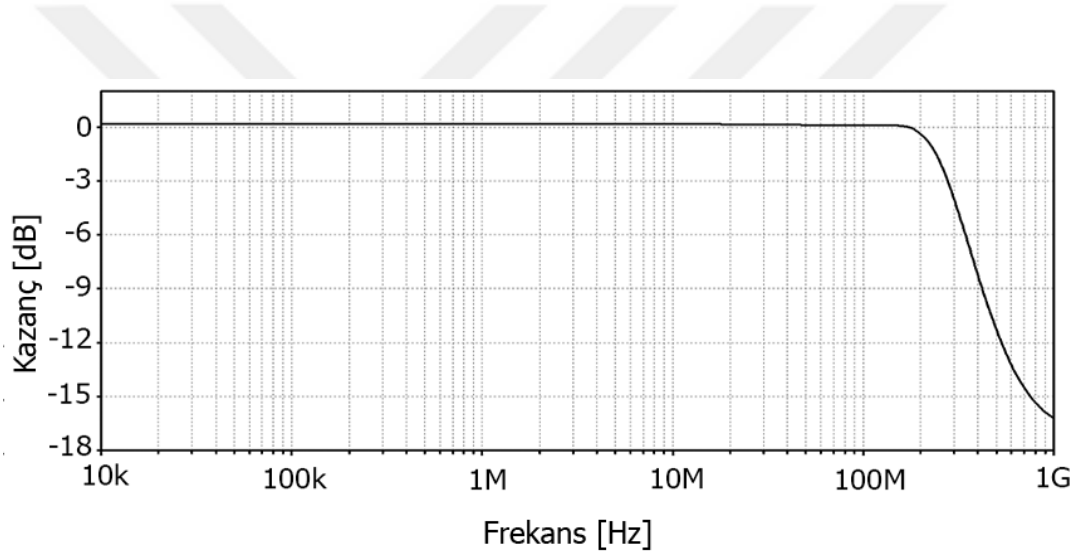


Şekil 5.4. Farklı kapasitif yükler için yerleşme zamanı sonucu

Amplifikatör ayrıca frekans yanıtı açısından da incelenir. 3dB frekansı, çıkış aşamasında bağlı 1nF yük kapasitansı ile 23,3 MHZ ve çıkış açık bırakıldığında 278.2 MHZ olarak elde edilir. Her iki durumda da, çıkışta 1 nF'nin bağlı olduğu ilk durum için frekans yanıtı ve çıkışın çıkış olarak bırakıldığı durumlarda, karşılık gelen çıkışlar sırasıyla Şekil 5.5 ve 5.6'da verilmiştir.



Şekil 5.5. Çıkış aşamasında bağlanan 1nF'lik kapasitif yük için devrenin AC yanıtı.



Şekil 5.6. Çıkış açık bırakıldığında devrenin AC yanıtı

Şekil 5.7, frekans değişimine göre çıkış empedansı için simülasyon sonuçlarını göstermektedir.

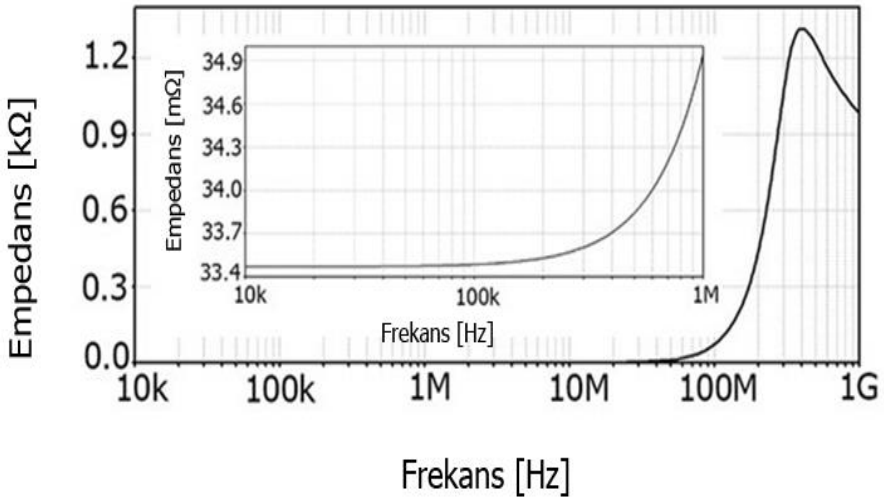
Frekans aralığı 10 kHz ile 1GHz arasında seçilmiş ve empedans 100 kHz'de 0.03 Ω, 1MHz'de 0.04 Ω, 10 MHz'de 0.18 Ω ve 100MHz'de 72.1 Ω olarak bulunmuştur. Sonuçlardan, Denklem 4.1'de verildiği ve beklendiği gibi kapasitif yükleri etkin bir şekilde sürmek için empedansın küçük değerlere sahip olduğu gözlemlenebilir.

Proses toleransını kontrol etmek için devrenin hassasiyeti Monte Carlo analizi ile test edilir. Monte Carlo analizi, matematiksel riski kontrol eden matematiksel bir modele

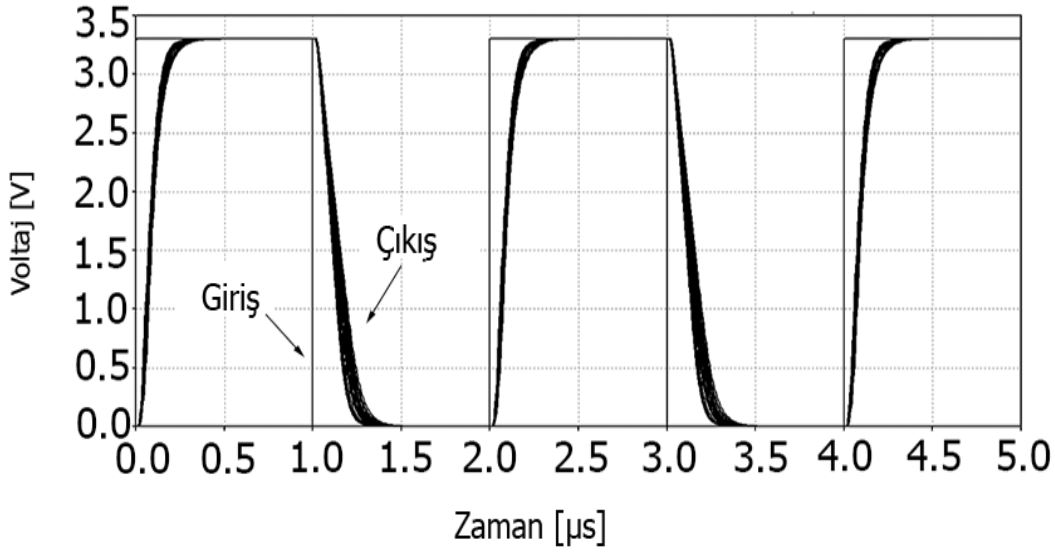
dayalı bir yöntemdir. Bu tip analiz, kullanılan farklı parametreleri değiştirirken sonuçlar sağlar [30], [31]. Bu tip analiz, PMOS ve NMOS'un her iki transistör tipi için uzunluk (L), genişlik (W), eşik voltajı (V_{TH}) ve oksit kalınlığı (t_{ox}) değiştirilerek yapılır.

Ayrıca, %15 bileşen tolerans varyasyonu kullanarak listelenen tüm parametrelerde değerleri ima etmek için bir rasgele sayı üreteci işlevi kullanılır. Geçici olay analizi, 100 kHz'lik bir giriş sinyali ile gerçekleştirilmiştir.

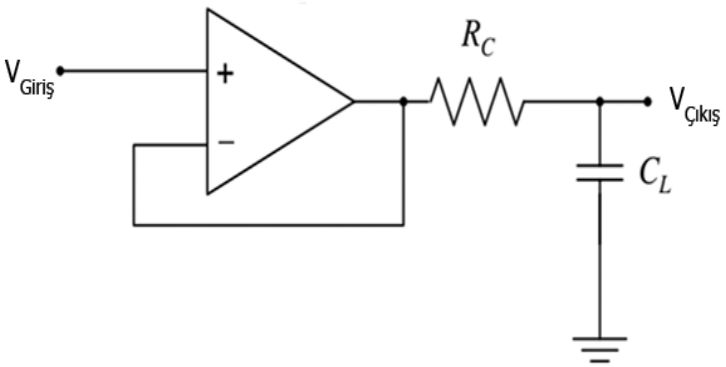
Simülasyon sonucu Şekil 5.8'de özetlenmiştir. Ortaya çıkan grafik, devrenin güçlü bir sağlamlık derecesi gösterdiğini göstermektedir.



Şekil 5.7. Frekans ile çıkış empedansı değişimi



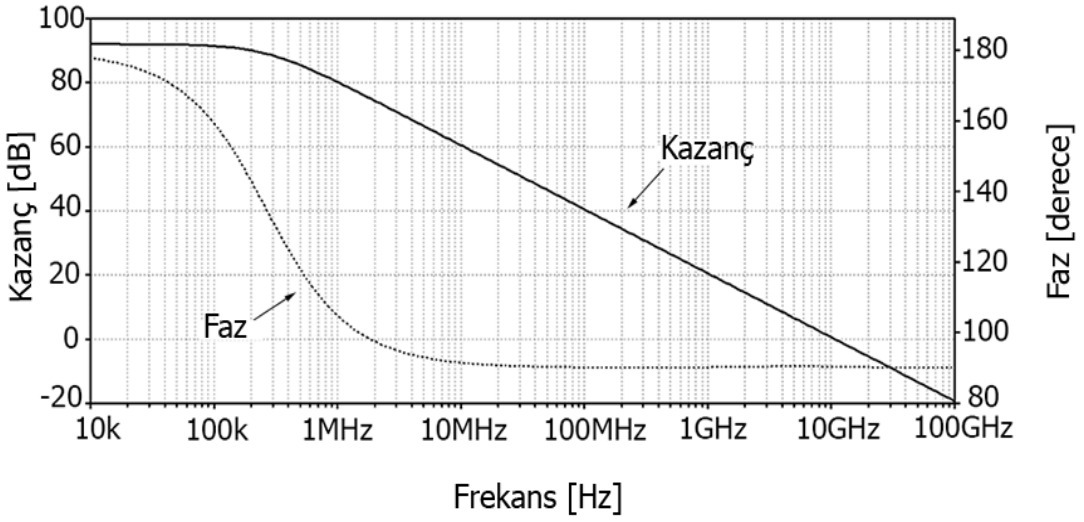
Şekil 5.8. Geçici tepki için Monte Carlo Analizi.



Şekil 5.9. Faz kompanzasyonu için devre [12]

Yukarıda bahsedildiği gibi, LCD paneller tampon yükselteçler tarafından çalıştırılır ve bu paneller kapasitif olduğundan, çeşitli kapasitif yükleri sürmek için kullanılabilir [12].

Yukarıda Şekil 5.9'da faz kompanzasyonu için bir devre topolojisi kullanılmıştır. Bu devrede, bağlantılı seri direnç R_C ve ve yük kapasitörü C_L 'nin bir sonucu olarak bir yarım düzlem sıfır ima edilir [32].



Şekil 5.10. Kazanç ve Faz değişimi

Şekil 5.10, stabilite kontrolü amacıyla gerçekleştirilen simülasyon sonuçlarını göstermektedir. Burada çıkışı M4 kapısına bağlayan geri besleme döngüsü bozulur, ayrıca M9'un tahliyesinden M4 kapısına bir AC kaynağı uygulanır. Çıkışa bağlı bir 1nF ile elde edilen AC yanıtı, faz yanıtı ile açık döngü kazancıdır.

Faz marjı değerini hesaplamak için kazanç geçiş frekansını ve faz geçiş frekansını kontrol ederiz.

Faz marjının 90 derece olarak elde edildiği gösterilmiştir ki bu devrenin çok kararlı olduğu sonucuna varmak için oldukça iyi bir değerdir.

FOM değeri ima edilerek, tampon, literatürdeki diğer devrelerle karşılaştırılır. FOM aşağıdaki gibi tanımlanır [20]:

$$\boldsymbol{FOM} = \frac{\boldsymbol{C_L}}{\boldsymbol{I_Q\, t_s}} \tag{4.2}$$

Burada C_L, pF birimindeki çıkış aşamasına bağlanan kapasitansı içerir, I_Q, µA cinsinden durgun akımdır ve t_s , µs cinsinden yerleşme zamanıdır.

Devre durumumuz için:

Uygulanan yük kapasitans değeri 1 nF çıkış kademesine bağlı olduğundan C_L = 1nF, I_Q 3,92 µA ve t_s = 0,3 µs bulunmuştur.

FOM'un daha yüksek değerleri olağanüstü performansı temsil eder.

TABLO 5.2 Farklı tampon yükselteçlerin performans karşılaştırması.

	[10]	[11]	[12]	[14]	[20]	Bu çalışma
Yıl	2010	2010	2011	2010	2018	2021
CMOS teknolojisi	0.35	0.35	0.35	0.6	0.35	0.35
Besleme Voltaj Vdd [V]	3	3	3.3	3	3.3	3.3
Kapasitif yük C_L [pF]	1000	1000	600	1000	1000	1000
Durgun akım I_Q [µA]	3.5	8	3	3.5	4.45	3.92
Yerleşme zamanı t_s [µs]	0.9	0.8	0.85	1.7	0.4	0.3
Giriş / çıkış aralık [% V_{DD}]	100	100	100	100	100	100
FOM [F / As]	317.5	153.25	235.3	168.1	561.8	850.3

Yukarıda önerilen devre, daha önce önerilen birçok tampon yükselticiye kıyasla en küçük değer olan yerleşme süresi değerlerini göstermektedir. Hareketsiz akımın değeri yaklaşık 3,92 µA olmasına rağmen, genel olarak hesaplanan FOM değeri 850.3 F/A.s'dir ve Tablo 5.2'de özetlendiği gibi literatürdeki önceki birçok çalışmaya kıyasla en yüksek değerdir.

6. DEĞERLENDİRME

Bu tez, nispeten basit bir devre yapısına sahip yeni bir düşük güçlü, yüksek hızlı tampon yükselteci sunmaktadır. Tampon, daha büyük LCD paneller kullanan uygulamalar için mükemmel bir seçimdir. Bir DFVF giriş aşaması, ardından yüksek kazanç aşaması ve geleneksel AB sınıfı çıkış aşaması kullanılır. Güçlü açık döngü kazancı sayesinde önerilen amplifikatörün çıkış aşamasında küçük empedans değerleri üretilir.

Devrenin çıkış empedansı, 100 kHz frekans girişinde 0.03 Ω ve 100 MHz'de 72.1 Ω değerlerini gösterir ve bu, yüksek değerli kapasitif yükleri sürmek için kullanılabileceğini gösterir.

Tamponun temel yapısı sadece 11 transistörden oluşur, bu da onu daha az yer kaplaması ve dolayısıyla daha uygun maliyetli olması nedeniyle çip üretimi için ideal bir tampon haline getirir. Çıkış kademesinde 600 pF kapasitif yük sürerken, 1 nF kapasitif yük bağlanırken tampon yerleşme süresi için 0.2 µs sonucunu gösterir, simülasyonlar devrenin 0.3 µs yerleşme süresi içinde sadece 3.92 µA hareketsiz akım çektiğini gösterir. bir 3.3V kaynak. Toleransların yanı sıra ilgili süreç tutarsızlıklarını araştırmak için başka bir teknik kullanılır. Monte Carlo analizi yapılır. Bulgular sonucunda yüksek derecede sağlamlık elde edilir. Son olarak, belirli bir FOM değeri kullanılarak, daha önce açıklanan tampon devreleri ile bir karşılaştırma yapılır. Yukarıda bahsedilen ve tartışılan arabellek, açıkça üstün performans ölçümleri sağlar. Elde edilen bulgular sonucunda amplifikatörün taşınabilir LCD cihazlar için oldukça kullanışlı olduğu ifade edilebilir.

REFERANSLAR

1. Weng, M.C, Wu, J.C. (2002). A Compact low-power rail-to-rail class-B buffer for LCD column driver. IEICE Trans Electron, E85-C, 1659-1663.

2. Lu, Ch.W, Lee, C.L. (2002). A Low-Power High-Speed Class-AB Buffer Amplifier for Flat-Panel-Display Amplification. IEEE Transactions on Very Large Integration (VLSI), 10 (2), 163-168.

3. Itakura, T., Minamizaki, H. (2002). A two-gain stage amplifier without an on-chip Miller capacitor in an LCD driver IC. IEICE Trans Fundamentals, E85-A, 1913-1920.

4. Yu,P.C, W.J.C. (1999). A class-B output buffer for flat-panel-display column driver. IEEE Journal of Solid-State Circuits, 34, 116-119.

5. Itakura, T., Minamizaki, H., Satio, T., Kuroda, T.A. (2003). A 402-output TFT-LCD driver IC with power control based on the number of colors selected. IEEE Journal of Solid-State Circuits, 38, 503-510.

6. Lu, C.W. (2004). High – speed driving scheme and compact high-speed low power rail-to-rail class-B buffer amplifier for LCD ampplications. IEEE Journal of Solid-State Circuits,39, 1938-1947.

7. Lu, C.W, Hsu,K-J. (2004). A high-speed low-power rail-to-rail column driver for AMLCD application. IEEE Journal of Solid-State Circuits, 39, 1313-1320.

8. Angulo, J.R, Gupta, S, Carvajal, R.G, Martin, A.J.L. (2006). New improved CMOS Class AB buffer based on differential flipped voltage followers. IEEE International Symposium on Circuits and Systems.

9. Lu, C.-W. (2009).A rail-to-rail class-AB amplifier with an offset cancellation for LCD drivers. IEEE Journal of Solid-State Circuits, 44, 525-537.

10. Marano, D., Palumbo, G., Pennisi, S. (2010). Low-power high-speed rail-to-rail LCD output buffer with dual-path push-pull operation and quiescent current control. Analog integrated Circuits and Signal Processing, 65, 289-298.

11. Marano, D., Palumbo, G., Pennisi, S. (2010). Improved low-power high speed buffer amplifier with slew-rate enhancement for LCD applications. Journal of Circuits, Systems and Computers, 19, 325-334.

12. Yildiz, M., Minaei, S., Arslan, E. (2011). High slew-rate low-quiescent current rail-to-rail CMOS buffer amplifier for flat panel displays. Journal of Circuits, Systems and Computers, 20, 1277-1286.

13. Huang, W.J., Nagayasu, S., Liu,S.I. (2011). A rail-to-rail class-B buffer with DC level-shifting current mirror and distributed miller compensation for LCD column drivers. IEEE Transactions on Circuits and Systems part I, 58, 1761-1772.

14. Lu, C.-W, Hsiao, C.-M. (2011). A rail-to-rail buffer amplifier for LCD driver. Journal of Circuits, Systems and Computers, 20, 1377-1387.

15. Sawigun, C., Demosthenous, A., Liu,X., Serdijn, W.A. (2012). A Compact Rail-to-Rail Class-AB CMOS Buffer With Slew-Rate Enhancement. IEEE Transactions on Circuits and Systems Part I, 59, 486-490.

16. Milovanovic, V., Zimmerman, H. (2013). On Fully Differential and Complementary Single-Stage Self- Biased CMOS Differential Amplifiers. IEEE, 1955-1963.

17. Grasso, A.D., Marano, D., Esparza-Alfaro, F., Pennisi, S., LopezMartin, A.J. (2014). Self-Biased Dual-Path Push-Pull Output Buffer Amplifier for LCD Column Drivers. IEEE Transactions on Circuits and Systems Part I, 61, 663-670.

18. Arslan, E., Yildiz, M., Minaesi, S.(2015). A compact rail-to-rail CMOS buffer amplifier with very low quiescent current, International Journal of Electronics, 102, 1-11.

19. Grasso, A.D, Palumbo, G., Pennisi, S. (2018). Dual push-pull high-speed rail-to-rail CMOS buffer amplifier for flat-panel displays. IEEE Transactions on Circuits and Systems II: Express Briefs.

20. Angulo, J-R., Balasubramanian, S., Martin, A-J-L., Carvajal, R-J. (2008). Low Voltage Differential Input Stage With Improved CMRR and True Rail-to-Rail Common Mode Input Range. IEEE Transactions on Circuits and Systems, 55, 1229-1232.

21. Marano, D., Palumbo, G., Pennisi, S. (2009). A High-Speed Low-Power Output Buffer Amplifier for Large-Size LCD Applications. IEEE, 132-135.

22. Lu, C-W., Xiao, P-H. (2006). A High-Speed Low-Power Rail-to-Rail Buffer Amplifier For LCD Applications. IEEE CCECE/CCGEI, 709-712.

23. Mishra, R-K, Raikwa, T. (2015). Low Offset and High Slew Rate Buffer Amplifier for LCD Application. International Journal of Computer Applications, 131.

24. Ito, R., Itakura, T., Minamizaki, H. (2007). A class-AB amplifier for LCD driver. IEEE International Symposium on VLSI circuits, 148-149.

25. Lorenzo, M.A.G., Manzano, A.A.S, Gusad, M.T.A, Hizon, J.R.E, Rosales, M.D. (2007). Design and Implementation of CMOS Rail-to-Rail Operational Amplifiers. IEEE International Symposium on Communications and Information Technologies, 61-66.

26. Schneider, J. (2014).Transistor -Level Layout of Integrated Circuits. Doctora Thesis, Rheinischen – Friedrich – Wilhelms – University Bonn, Mathematical and Scientific Faculty, Bonn, Germany, 2-162. Rheinische Friedrich-Wilhelms-Universität Bonn

27. https://en.wikipedia.org/wiki/CMOS (05.01.2022)
28. Razavi, B. (2008). Fundamentals of microelectronics. Wiley

29. https://en.wikipedia.org/wiki/Settling_time (07.01.2022)

30. https://resources.pcb.cadence.com/blog/2019-monte-carlo-analysis-and-simulation-for-electronic-circuits (07.01.2022)

31. https://en.wikipedia.org/wiki/Monte_Carlo_method (07.01.2022)

32. Marano, D., Palumbo, G., Pennisi, S. (2010). A New Compact Low-Power High-Speed Rail-to-Rail Class-B Buffer for LCD Applications. Journal of Display Technology, 06, 184-190.

33. Vijayakumar, P. and Gunavathi,K. (2007). Synthesizing CMOS Circuits for Speed-Power Product Minimization. ELEKTRON ELEKTROTECH, 75(3), 27-30.

34. Beniseviciute,R., Lipnickas,A., Sadauskas,G., Vaitkevicius,G.(1998). Strategy of CMOS IC layout topology design and verification. Elektronika Ir Elektrotechnika, 14(1).

35. Carusone, T.C, Johns.D, Martin,K.(1996). Analog Integrated Circuit Design, 2nd Edition.

36. An, C.H, Bai-Sun,K. (2020). High-speed rail-to-rail class-AB buffer amplifier with compact, adaptive biasing for FPD applications. Electronics, 9(12).

37. J. Subramaniam, R.P.C and Dhanaraj,K.J.(2021). A novel tunable gain CMOS buffer amplifier for large resistive loads. Integration, vol. 77, pp. 1-12.

38. Yin,Q. and Bai,C. A CMOS Reference Voltage Buffer Designed for Near-rail

Voltage (2020). 2020 IEEE 5th International Conference on Integrated Circuits and Microsystems (ICICM), Nanjing, China, pp. 173-176.

39. Dobush, I.M et al. (2017). Automated synthesis and measurement of broadband CMOS buffer amplifier 1–5 GHz. 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, pp. 1-4.

40. Chanapromma, C. and Mahattanakul, J. (2020). Improved Design Procedure for Two-Stage CMOS Op Amp Employing Current Buffer. 2020 17th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Phuket, Thailand, pp. 384-387.

41. Gambhir,S., Gupta,A., Kumar,A., Pandey,S. A new high speed three stage class B output buffer for LCD applications. (2016). 2016 International Conference on Inventive Computation Technologies (ICICT). Coimbatore. India. pp. 1-5.

42. Attili,I.B and Mahmoud,S.A. (2019). Uncompensated Robust Rail-to-Rail New Amplifier Structure Compatible with Drivers of LCD Panels. 2019 International SoC Design Conference (ISOCC). Jeju. Korea (South) pp. 192-193.

43. Qureshi,S. and Rawat, P. (2016). A Rail-to-Rail class AB amplifier design with an offset cancellation for LCD source drivers. 2016 IEEE Students' Conference on Electrical, Electronics and Computer Science (SCEECS). Bhopal. India. pp. 1-4.

44. Sicard,E. (2002). Microwind &Dsch Version 2, User's Mannual", National Institute of Applied Sciences, Dept. Of Electrical and Computer Engieneering. pp.1-102.

45. Arslan, E. (2018. Differential FVF based compact rail-to-rail buffer amplifier for LCD column drivers. IEEE 2nd European. Conference on Electrical and Computer Science (EECS). pp. 516-519.

46. https://en.wikipedia.org/wiki/Buffer_amplifier (08.01.2022)

47. Phase margin - Wikipedia (08.01.2022)

48. Angulo, J.R, Gupta, Sh., Carvajal, R.G., Lopez-Martin, A.J. (2006). New Improved CMOS Class AB Buffers Based on Differential Flipped Voltage Followers.IEEE International Symposium on Circuits and Systems (ISCAS) 2006. pp.3914 – 3917.

ÖZGEÇMİŞ

Ad : Festim

Soyadı : Osmani

Eğitim Bilgileri

Marmara Üniversitesi Fen Bilimleri Enstitüsü, Elektrik Elektronik Mühendisliği Yüksek Lisans Programı, İstanbul

Istanbul Sehir University , Mühendislik ve Doğa Bilimleri Fakültesi, Elektrik ve Elektronik Mühendisliği, Istanbul

Akademik Yayınlar

Osmani F, Arslan E, Kıyak I, "Rail-to-Rail CMOS Voltage Buffer Design for LCD Column Drivers", 2021 International Conference on Electrical, Computer and Energy Technologies (ICECET), Cape Town, South Africa, 2021.

Osmani F, Arsalan Athar M, Çelen M, Dönmez Z, Bostan Z, İmecı T, "Corporate feed rectangular MPA with 9dB gain at 10GHz resonance frequency", 2017 25th Signal Processing and Communications Applications Conference (SIU), Antalya, Turkey, 2017.