



T.C.

SELÇUK ÜNİVERSİTESİ

FEN BİLİMLERİ ENSTİTÜSÜ

RÜZGÂR ENERJİ SİSTEMLERİNDE KULLANILAN ŞEBEKE ETKİLEŞİMLİ EVİRİCİLER İÇİN BİR FAZ KİLİTLEME DÖNGÜSÜ YÖNTEMİNİN GELİŞTİRİLMESİ

Fehmi SEVİLMİŞ

DOKTORA TEZİ

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Temmuz-2020
KONYA
Her Hakkı Saklıdır

ÖZET

DOKTORA TEZİ

RÜZGÂR ENERJİ SİSTEMLERİNDE KULLANILAN ŞEBEKE ETKİLEŞİMLİ EVİRİCİLER İÇİN BİR FAZ KİLİTLEME DÖNGÜSÜ YÖNTEMİNİN GELİŞTİRİLMESİ

Fehmi SEVİLMİŞ

Selçuk Üniversitesi Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman: Dr. Öğr. Üyesi Hulusi KARACA

2020, 116 Sayfa

Jüri
Dr. Öğr. Üyesi Hulusi KARACA
Prof. Dr. Mehmet Akif ERİŞMİŞ
Prof. Dr. Mehmet ÇUNKAŞ
Prof. Dr. Hayri ARABACI
Prof. Dr. A. Afşin KULAKSIZ

Son yıllarda, ön plana çıkan yenilenebilir enerji kaynaklarından birisi rüzgâr enerjisidir. Bu yüzden, birçok ülke rüzgâr enerjisinden daha verimli elektrik enerjisi üretmek için çalışmalarına hız vermiştir. Ülkemizin de yeterli düzeyde rüzgâr kapasitesine sahip olduğu bilinmektedir. Ülkemizin rüzgâr potansiyelini daha fazla ve daha verimli kullanabilmek, enerji alanındaki rekabet gücümüzü arttırabilmek ve enerjiyi ithal eden değil ihraç eden ülke konumuna geçebilmek amacıyla rüzgâr enerjisi alanındaki ulusal çalışmalara hız verilmesi gerekmektedir.

Güç sistemleri ve onların işletilmesi senkron generatörlü konvansiyonel güç santrallerine göre geliştirilmiştir. Rüzgâr enerji santralleri, konvansiyonel santrallerden farklıdır. Bu nedenle, elektrik iletim ve dağıtım işleticileri güvenilirlik ve güç kalitesi bakımından sistemin iyi ve güvenli çalışmaya devam etmesini sağlamak amacıyla şebekeye bağlanacak rüzgâr enerji santralleri için bazı kurallar koymaktadır. Bu kurallar, elektrik şebekesinin gerilim ve frekans kararlılığını sağlamak ve arıza durumunda ise arıza ortadan kaldırılıncaya kadar rüzgâr enerji santrallerinin kararlılığını kaybetmeden sistemde kalmasını sağlamak üzere uygulanmaktadır. Bu durum, rüzgâr enerji santrallerinde şebeke tarafında kullanılan dönüştürücünün (şebeke etkileşimli evirici) kontrol şemasında iyileştirmeler yapılmasını gerektirir. Şebeke etkileşimli eviricinin kontrol şemasının en önemli parçalarından biri şebeke senkronizasyon yöntemidir. Senkronizasyon yöntemi, elektrik şebekesinde meydana gelecek ters durumlarda (gerilim dengesizlikleri, kısa devre hataları, frekans değişimi, faz açısı sıçraması, vb.) bile rüzgâr enerji santrallerinin şebekeye hızlı ve hatasız bir şekilde senkronize olmasını sağlamaktadır. Bu yüzden, şebekedeki bu ters durumlar ile başa çıkabilecek etkili ve sağlam bir senkronizasyon yönteminin kullanılması oldukça önem kazanmaktadır. Günümüzde en çok kullanılan modern şebeke senkronizasyon yöntemleri, faz kilitleme döngüsü (PLL) yöntemleridir.

Literatürde ideal olmayan şebeke koşullarında klasik PLL yöntemi ile etkin bir şebeke senkronizasyonunun sağlanamadığı vurgulanmaktadır. Bundan dolayı, şebeke senkronizasyon başarımını arttırmak için birçok gelişmiş PLL yöntemi önerilmiştir. Bu yöntemlerde, farklı filtreleme yapıları kullanılarak veya iki yöntem hibritlenerek gelişmiş bir PLL yöntemi ortaya çıkartılmaktadır. Diğer yandan şebeke senkronizasyonunun hızlı ve doğru bir şekilde gerçekleştirilmesinin yanında PLL algoritmasının karmaşık yapıda olmaması da istenmektedir. Geliştirilen PLL yöntemlerinin birçoğunun oldukça karmaşık bir yapıda olduğu görülmektedir.

Bu tezde, yüksek doğrulukta ve hızda çalışabilen, aynı zamanda daha basit yapılı dört adet PLL yöntemi (FH-PLL, E^2PLL, *dq*ADSC-PLL ve DTOGI tabanlı hibrit PLL) önerilmiştir. Her bir yöntemin

etkinliğini doğrulamak için farklı şebeke koşulları altında simülasyon ve deneysel çalışmalar yapılmıştır. Simülasyon çalışmaları MATLAB/Simulink ortamında, deneysel sonuçlar ise TMS320F28335 işlemcili DSP kontrol setinde gerçekleştirilmiştir. Önerilen her bir yöntem, iki farklı yöntem ile grafiksel olarak karşılaştırılmıştır.

Simülasyon ve deneysel çalışmalardan elde edilen sonuçlar, önerilen dört PLL yönteminin de karşılaştırıldıkları PLL yöntemlerinin çok üzerinde bir performans gösterdiğini ve şebeke senkronizasyon başarımını önemli ölçüde arttırdığını doğrulamıştır. Sonuç olarak, bu PLL yöntemleri ideal olmayan şebeke koşulları için üstün filtreleme kabiliyetinin yanında oldukça hızlı bir dinamik performans sağlamıştır.

Anahtar Kelimeler: faz açısı tahmini, faz kilitleme döngüsü, filtre, PLL, rüzgâr enerjisi, senkronizasyon, şebeke etkileşimli evirici.

ABSTRACT

Ph.D THESIS

DEVELOPMENT OF PHASE LOCKED LOOP FOR GRID INTERACTIVE INVERTERS USED IN WIND ENERGY SYSTEMS

Fehmi SEVİLMİŞ

THE GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCE OF SELÇUK UNIVERSITY
THE DEGREE OF DOCTOR OF PHILOSOPHY
IN ELECTRICAL-ELECTRONICS ENGINEERING

Advisor: Asst. Prof. Dr. Hulusi KARACA

2020, 116 Pages

Jury
Asst. Prof. Dr. Hulusi KARACA
Prof. Dr. Mehmet Akif ERİŞMİŞ
Prof. Dr. Mehmet ÇUNKAŞ
Prof. Dr. Hayri ARABACI
Prof. Dr. A. Afşin KULAKSIZ

In recent years, one of the renewable energy sources that has come to the fore is wind energy. Therefore, many countries have accelerated their studies to produce more efficient electrical energy from wind energy. It is known that our country has a sufficient wind capacity. In order to use the wind potential of our country more and more efficiently, to increase our competitive power in the field of energy, and to become a country that does not import energy but export, national studies in the field of wind energy should be accelerated.

Power systems and their operation have been developed according to conventional power plants with synchronous generators. Wind power plants are different from conventional power plants. Therefore, electricity transmission and distribution operators set some rules for wind power plants to be connected to the grid in order to ensure that the system continues to operate well and safely in terms of reliability and power quality. These rules are applied to ensure the voltage and frequency stability of the electricity grid and in case of failure, the wind power plants remain in the system without losing their stability until the fault is eliminated. This requires improvements to the control scheme of the converter (grid interactive inverter) used on the grid side in wind power plants. One of the most important parts of the control scheme of the grid interactive inverter is the grid synchronization method. The synchronization method enables wind power plants to synchronize quickly and accurately to the grid, even in adverse situations (voltage imbalances, short circuit errors, frequency change, phase angle jump, etc.) that will occur in the grid. Therefore, it is very important to use an effective and robust synchronization method that can deal with these adverse situations in the grid. Today, the most widely used modern grid synchronization methods are phase locked loop (PLL) methods.

It is emphasized in the literature that an effective grid synchronization cannot be achieved with classical PLL method in non-ideal grid conditions. So, many advanced PLL methods have been proposed to improve grid synchronization performance. In these methods, an improved PLL method is created using different filtering structures or by hybridizing the two methods. On the other hand, in addition to the fast and accurate grid synchronization, it is also desired that the PLL algorithm is not complex. It seems that many of the PLL methods developed are quite complex.

In this thesis, four PLL methods (FH-PLL, E^2PLL, *dq*ADSC-PLL, and DTOGI based hybrid PLL), which can work with high accuracy and speed, but are also simpler, are proposed. To verify the

effectiveness of each method, simulation and experimental studies were conducted under different grid conditions. Simulation studies were carried out in MATLAB/Simulink environment, and experimental results were realized in DSP control set with TMS320F28335 processor. Each proposed method has been compared graphically with two different methods.

The results from simulation and experimental studies have confirmed that the four proposed PLL methods outperform the PLL methods in which they were compared., and significantly improve grid synchronization performance. As a result, in addition to their superior filtering capabilities, these PLL methods have provided very fast dynamic performance for non-ideal grid conditions.

Keywords: phase angle estimation, phase locked loop, filter, PLL, wind energy, synchronization, grid interactive inverter.

ÖNSÖZ

Doktora tezimin tamamlanmasında pay sahibi olan başta danışmanım Dr. Öğr. Üyesi Hulusi KARACA olmak üzere tez izleme komitesinde bulunan Prof. Dr. Hayri ARABACI ve Prof. Dr. Ahmet Afşin KULAKSIZ hocalarıma desteklerinden dolayı teşekkür ederim. Ayrıca, tez çalışmalarım boyunca bana her türlü desteği veren sevgili ve biricik eşim ile canım oğlum Kuzey'e içten teşekkür ederim.

Fehmi SEVİLMİŞ
KONYA-2020

İÇİNDEKİLER

ÖZET ..... **iv**

ABSTRACT ..... **vi**

ÖNSÖZ ..... **viii**

İÇİNDEKİLER ..... **ix**

SİMGELER VE KISALTMALAR ..... **xi**

1. GİRİŞ **1**

1.1. Rüzgâr Enerji Sistemleri 3
1.2. Şebeke Etkileşimli Eviriciler 5
1.3. Tezin Amaçları 8
1.4. Tezin Organizasyonu 9

2. LİTERATÜR TARAMASI **10**

2.1. Giriş 10
2.2. Klasik Faz Kilitleme Döngüsü Yöntemleri 11
2.2.1. *dq*-PLL 11
2.2.2. *αβ*-PLL 13
2.3. Gelişmiş Faz Kilitleme Döngüsü Yöntemleri 14
2.3.1. DDSRF-PLL 14
2.3.2. DSOGI-PLL 18
2.3.3. EPLL 21
2.3.4. MAF tabanlı PLL yöntemleri 28
2.3.5. DSC tabanlı PLL yöntemleri 30

3. GELİŞTİRİLEN PLL YÖNTEMLERİ **32**

3.1. Önerilen FH-PLL Yöntemi 32
3.1.1. Giriş 32
3.1.2. FH-PLL yönteminin tasarımı 36
3.1.3. Simülasyon ve deneysel sonuçlar 45
3.1.4. Genel Sonuçlar 58
3.2. Önerilen E^2-PLL Yöntemi 58
3.2.1. Giriş 58
3.2.2. E^2-PLL yönteminin tasarımı 62
3.2.3. Simülasyon ve deneysel sonuçlar 66
3.2.4. Genel Sonuçlar 73
3.3. Önerilen *dq*ADSC-PLL Yöntemi 73
3.3.1. Giriş 73
3.3.2. *dq*ADSC-PLL yönteminin tasarımı 76
3.3.3. Simülasyon ve deneysel sonuçlar 82
3.3.4. Genel sonuçlar 86
3.4. DTOGI Tabanlı Hibrit PLL Yöntemi 89

3.4.1. Giriş 89
3.4.2. Önerilen PLL yönteminin tasarımı 91
3.4.3. Simülasyon ve deneysel sonuçlar 93
3.4.4. Genel sonuçlar 103

4. SONUÇLAR VE ÖNERİLER 104

4.1. Sonuçlar 104
4.2. Öneriler 108

KAYNAKLAR 109

ÖZGEÇMİŞ 115

SİMGELER VE KISALTMALAR

Simgeler

e : Hata sinyali
i_d : Akımın d-eksen bileşeni
i_q : Akımın q-eksen bileşeni
k : SOGI-QSG'nin sönüm faktörü
k_p : Oransal kazanç
k_φ : Kompanzasyon katsayısı
n : Gecikme faktörü
N : MAF'ın derecesi
q, j : Faz öteleme operatörü
Q : Kalite faktörü
θ : Şebeke geriliminin gerçek faz açısı
θ^*, θ^+ : Tahmin edilen faz açısı
T : Temel şebeke periyodu
t_s : Yerleşme süresi
T_s : Örnekleme zamanı
T_ω : MAF'ın pencere genişliği
V_a, V_b, V_c : Üç fazlı gerilimler
V_α, V_β : $\alpha\beta$ ekseni gerilimleri
V_{dref} : Gerilimin d-eksen referans bileşeni
V_{qref} : Gerilimin q-eksen referans bileşeni
V_g : Giriş sinyali
$\omega_ş$: Şebekenin temel açısal frekansı
ω_{nf} : Çentik frekans
ω^* : Tahmin edilen açısal frekans
y : Çıkış sinyali
$\Delta\omega$: Açısal frekans değişimi

Kısaltmalar

ABPF : Adaptif Yapılı Bant Geçiren Filtre (Adaptive Band Pass Filter)
AC : Alternatif Akım (Alternating Current)
AGF : Alçak Geçiren Filtre
APF : Tüm Geçiren Filtre (All Pass Filter)
CSI : Akım Kaynaklı Evirici (Current Source Inverter)
DAPF : İki Adet APF (Dual APF)
DC : Doğru Akım (Direct Current)
DDSRF : Bağımsız Dönen Çift Eksen (Decoupled Double Synchronous Reference Frame)
DSC : Geçiştirilmiş Sinyal İptali (Delayed Signal Cancellation)
DSOGI : İki Adet İkinci Dereceden Genelleştirilmiş İntegratör (Dual Second Order Generalized Integrator)
DTOGI : İki Adet Üçüncü Dereceden Genelleştirilmiş İntegratör (Dual Third Order Generalized Integrator)
EPDK : Enerji Piyasası Denetleme Kurulu

EPLL : Gelişmiş PLL (Enhanced PLL)
E^2PLL : Gelişmiş EPLL (Enhanced EPLL)
FFNS : Temel Frekans Negatif Sıralı (Fundamental Frequency Negative Sequence)
FFPS : Temel Frekans Pozitif Sıralı (Fundamental Frequency Positive Sequence)
FH-PLL : Hızlı Hibrit-PLL (Fast Hybrid-PLL)
FIR : Sonlu Dürtü Tepkili (Finite Impulse Response)
GKO : Gerilim Kontrollü Osilatör
GW : GigaWatt
HPLL : Hibrit PLL (Hybrid PLL)
ISC : Anlık Simetrik Bileşneler (Instantaneous Symmetrical Components)
MAF : Harreketli Ortalama Filtre (Moving Average Filter)
MRF : Çoklu Eksen Takım (Multiple Reference Frame)
MSOGI : Çok Sayılı SOGI (Multiple SOGI)
MW : MegaWatt
NF : Çentik Filtre (Notch Filter)
PI : Oransal+Integral (Proportional+Integrator)
PLL : Faz Kilitleme Döngüsü (Phase Locked Loop)
PM : Faz Marjini (Phase Margin)
PSC : Pozitif Sıralı Bileşen Hesaplayıcı (Positive Sequence Calculator)
p.u. : Birim Değer (per unit)
QSG : Quadratik Sinyal Üreteci (Quadrature Signal Generator)
QT1 : Tip-1 Benzeri (Quasi-Type-1)
RES : Rüzgâr Enerji Sistemi
SOGI : İkinci Dereceden Genelleştirilmiş İntegratör (Second Order Generalized Integrator)
SPWM : Sinüzoidal Darbe Genişlik Modülasyonu (Sinusoidal Pulse Width Modulation)
SRF : Dönen Eksen Takım (Synchronous Reference Frame)
SV : Uzay Vektör (Space Vector)
SVPWM : Uzay Vektör Darbe Genişlik Modülasyonu (Space Vector Pulse Width Modulation)
TBMM : Türkiye Büyük Millet Meclisi
TPSF : İki Fazlı Durağan Eksen (Two Phase Stationary Frame)
TÜREB : Türkiye Rüzgâr Enerjisi Birliği
VSI : Gerilim Kaynaklı Evirici (Voltage Source Inverter)

1. GİRİŞ

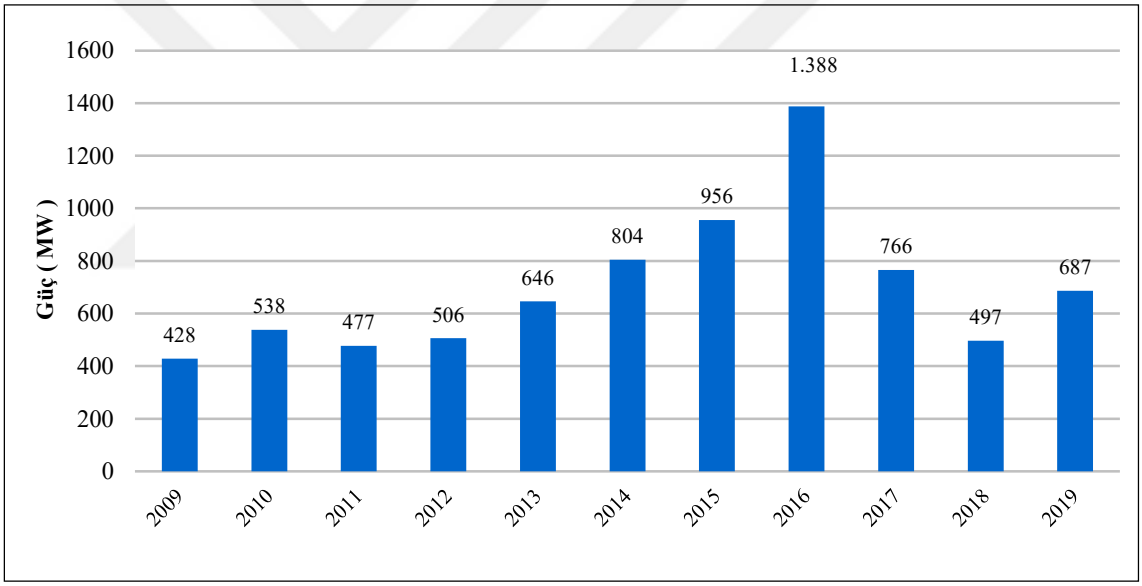
Fosil temelli enerji kaynaklarının insan sağlığı ve küresel iklim üzerinde ciddi bir etkisinin olduğu bilinen bir gerçektir. Dünyada ve ülkemizde elektrik enerjisi kullanımının hızlı artışı, fosil temelli kaynakların kullanımından kaynaklı ortaya çıkan önemli sorunlar ve bu kaynakların giderek azalması sonucunda yenilenebilir enerji kaynaklarından elektrik enerjisi üretimi önem kazanmıştır. Yenilenebilir enerji kaynakları, dünya var oldukça tükenmeyeceği düşünülen, doğada serbest halde bulunan, insan ve çevre sağlığına zarar vermeyen temiz enerji kaynakları olarak nitelendirilmektedir. Bu nedenle, bu kaynaklardan elektrik enerjisi üretmek ihtiyaç haline gelmiştir. Ülkemizde, değerlendirilebilecek yeterli miktarda ve çeşitlilikte yenilenebilir enerji kaynakları bulunmaktadır.

Yenilenebilir enerji kaynaklarından elektrik enerjisi üretiminin çeşitli hükümet politikaları (vergi destekleri, indirimler vs.) ile desteklenmesi, bu kaynakların kullanımını önemli ölçüde arttırmaktadır. Ülkemizde bu konuda atılan ilk önemli yasal adım 2005 yılında TBMM'de kabul edilen "Yenilenebilir Enerji Kaynaklarının Elektrik Enerjisi Üretimi Amaçlı Kullanımına İlişkin Kanun" olmuştur (Anonim, 2005). Bu kanunun amacı; yenilenebilir enerji kaynaklarının elektrik enerjisi üretimi amaçlı kullanımının yaygınlaştırılması, bu kaynakların güvenilir, ekonomik ve kaliteli biçimde ekonomiye kazandırılması, kaynak çeşitliliğinin artırılması, sera gazı emisyonlarının azaltılması, atıkların değerlendirilmesi, çevrenin korunması ve bu amaçların gerçekleştirilmesinde ihtiyaç duyulan imalat sektörünün geliştirilmesidir. Türkiye'de yenilenebilir enerji sektörünün güçlenmesi için, benzer hükümet teşvikleri ile yerli yenilenebilir enerji potansiyelinin kullanımının teşvik edilmesi, gelecekte fosil yakıtlara olan bağımlılığın azaltılmasına katkı sağlayabilecektir. Ayrıca, ülkemizde yenilenebilir enerji endüstrisinin oluşturulması hedefi de, bu konuda yapılan çalışmalara önem kazandırmaktadır.

Son yıllarda ön plana çıkan yenilenebilir enerji kaynaklarından ikisi rüzgâr ve güneş enerjisidir. Fakat güneşten elektrik üretimi sadece günün belirli saatlerinde olması ve verimlerinin rüzgâr enerji sistemlerine göre daha düşük olması nedeniyle rüzgârdan elektrik üretimi daha yaygın hale gelmiştir. Bu yüzden, birçok ülke rüzgâr enerjisinden daha verimli elektrik enerjisi üretmeye yönelik çalışmalarına hız vermiştir (Keskin ve Güleren, 2013). Ülkemizin de yeterli düzeyde rüzgâr kapasitesine sahip olduğu bilinmektedir. Ülkemizin rüzgâr potansiyelini daha fazla ve daha verimli kullanabilmek, enerji alanındaki rekabet gücümüzü arttırabilmek ve enerjiyi ithal eden değil ihraç eden

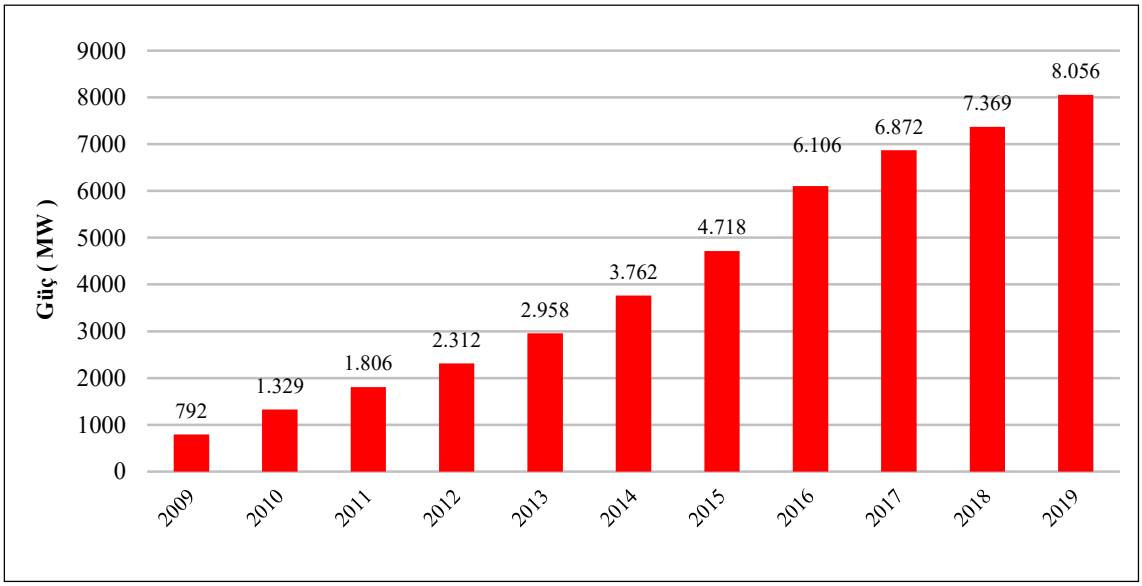
ülke konumuna geçebilmek amacıyla rüzgâr enerjisi alanındaki ulusal çalışmalara hız verilmesi gerekmektedir.

Enerjide %70 dışa bağımlı olan ülkemizde, artan enerji arz talebini karşılamak üzere, teknolojinin gelişmesi ve getirilen teşvikler sayesinde rüzgâr enerji sistemlerinin (RES) kurulumları da her geçen gün artmaktadır (TÜREB, 2019). Türkiye Rüzgâr Enerjisi Birliği'nin (TÜREB) 2019 sonu verilerini kapsayan Türkiye Rüzgar Enerjisi İstatistik Raporu'na göre RES'lerin kurulu güç bakımından yıllık kurulum dağılımları Şekil 1.1'de ve kümülatif kurulum dağılımları Şekil 1.2'de verilmiştir (TÜREB, 2020). Bu rapora göre, Türkiye'nin 2009 yılı sonunda 792 MW olan kurulu rüzgâr gücü 2019 yılı sonu itibarıyla 10 kat büyüme göstererek 8.056 MW seviyesine ulaşmıştır. Şekil 1.1'den görüldüğü gibi kurulu güç artışının en fazla olduğu yıl 2016 olarak kayıtlara geçmiştir. Bu yılda yaklaşık 1.400 MW'lık kurulu güç artışı sağlanmıştır.



Şekil 1.1. Türkiye'deki RES'lerin yıllık kurulum dağılımı

Türkiye'nin rüzgâr enerjisi potansiyeli, 7 m/s'den büyük rüzgâr hızları göz önüne alındığında 48 GW olarak belirlenmiştir. Ciddi rüzgâr potansiyeline sahip olan ülkemiz şu anda, 11 GW mevcut proje stoku ve ulusal hedefi 2023 yıllında 20 GW olan rüzgâr enerjisi kapasitesi ile Avrupa'daki en önemli rüzgâr pazarlarından biri olma yolunda ilerlemektedir (TÜREB, 2019).



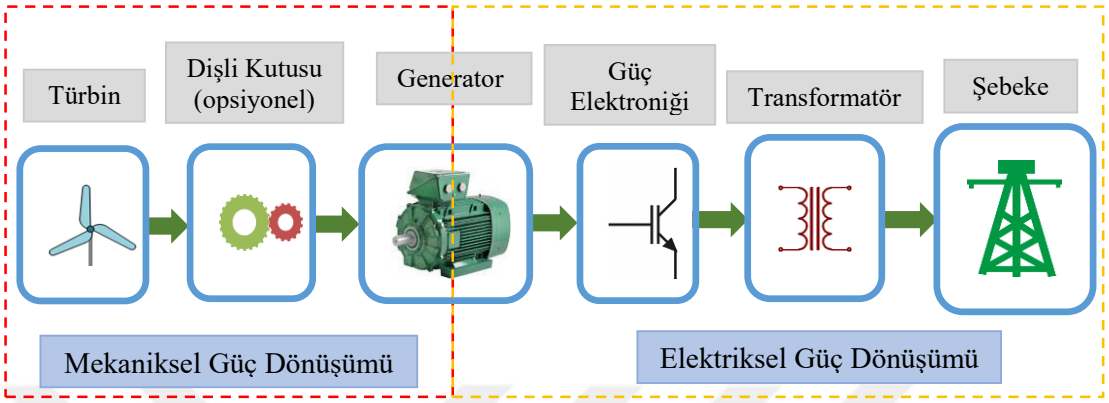
Şekil 1.2. Türkiye'deki RES'lerin kümülatif kurulum dağılımı

Şekil 1.1 ve Şekil 1.2'deki verilere bakıldığında, ülkemizin mevcut durumdaki 8 GW'lık RES'lerin kurulu gücünü, 2023 hedef doğrultusunda 20 GW seviyelerine çıkarabilmesi öngörülememektedir. Bu sebeple, hedeflenen kurulu güce ulaşılabilmek, enerjide dışa bağımlılığın %70 seviyesinden aşağı seviyelere indirebilmek ve artan enerji arz talebini karşılayabilmek için bu alandaki bilimsel ve teknolojik çalışmaların ülkemizde yapılması oldukça önem arz etmektedir.

1.1. Rüzgâr Enerji Sistemleri

Şekil 1.3'te, RES'ler için temel güç dönüşüm blok yapısı verilmiştir. Bu yapı, mekaniksel ve elektriksel olmak üzere iki aşamadan meydana gelmektedir. Mekaniksel bölüm, rüzgâr türbininden ve dişli kutusundan; elektriksel bölüm ise güç elektroniği ekipmanlarından ve transformatörden oluşmaktadır. Mekaniksel kısımda, türbin kanatlarına gelen rüzgâr vasıtasıyla generatör mili döndürülür. Mekaniksel ve elektriksel kısım bir generatör tarafından birbirlerine bağlanır. Generatör olarak genellikle 3-fazlı asenkron/senkron generatör tercih edilir. Generatör, mekanik enerjiyi elektrik enerjisine çevirir. Generatörden elde edilen AC elektrik enerjisi, elektriksel kısımda, önce doğrultucu vasıtasıyla DC enerjiye dönüştürülür. Dönüştürülen DC enerji, evirici aracılığıyla uygun kontrol sağlanarak AC enerjiye çevrilir. Bu, AC-DC-AC dönüşüm süreci, güç elektroniği elemanları ile gerçekleştirilir. Eviriciden elde edilen gerilimler bir transformatör üzerinden şebekeye aktarılır. Trafonun genellikle iki amacı vardır: i)

Evirici çıkışındaki gerilim seviyesini şebeke gerilim seviyesine yükseltmek ve ii) Eviriciden şebekeye aktarılabilecek olası DC akımları bloke ederek evirici ile şebeke arasında izolasyon sağlamaktır (Teodorescu ve ark., 2011).



Şekil 1.3. RES'ler için temel güç dönüşümü

RES'lerden üretilen elektrik enerjisini depolamak yerine elektrik şebekesine iletmek ekonomik olarak daha tercih edilebilir bir durumdur. Ancak üretilen enerjinin, hiçbir kontrol olmaksızın doğrudan şebekeye aktarılması mümkün değildir. Bunun için birçok şartın yerine getirilmesi gerekir:

i) Şebekeye aktarılacak gerilimlerin dalga şeklinin şebeke gerilimlerinin dalga şekliyle aynı olması yani sinüzoidal dalga formunda olması,

ii) Üretilen elektrik enerjisinin devamlılığının sağlanabilmesi,

iii) Evirici çıkışında üretilen gerilimlerin dengeli olması,

iv) Evirici çıkış gerilimlerinin frekansının şebeke frekansına kilitlenebilmesi,

v) Güç faktörünün birim değere yakın olması,

vi) Şebekede arıza meydana gelse bile RES'lerin şebekeye bağlı kalması ve şebekeyi destekleyebilmesi ve

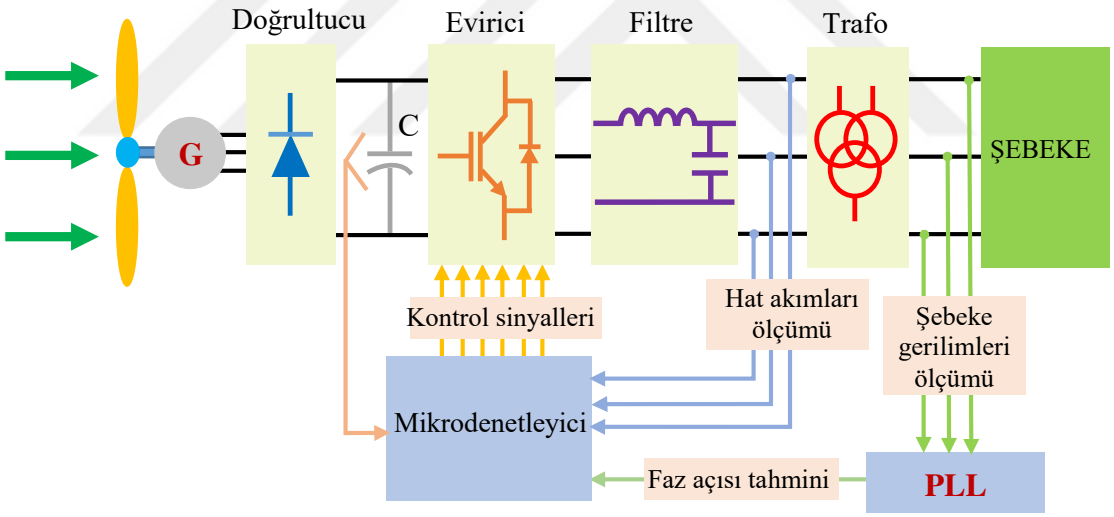
vii) Harmonik değerlerinin belirli sınırlar dâhilinde olması gibi şartların sağlanması gerekmektedir.

Bu şartlar sağlandıktan sonra evirici çıkışındaki gerilimler şebekeye aktarılabilmektedir. Sonuç olarak, üretilen elektrik enerjisinin şebekeye aktarılmasında kullanılan eviricinin kontrolü oldukça önemlidir (Demirbaş ve Bayhan, 2011; Sevilmiş, 2016).

1.2. Şebeke Etkileşimli Eviriciler

Bir önceki bölümde, temel olarak RES'lerden üretilen elektrik enerjisinin şebekeye aktarılma sürecine değinilmişti. Bu bölümde ise RES'lerin en önemli parçalarından biri olan şebeke etkileşimli eviricinin işleyişine değinilecektir.

Genel olarak şebeke bağlantılı RES'ler, Şekil 1.4'teki blok yapıya sahiptir. Bu sistemde, ilk olarak şebeke gerilimleri, hat akımları ve doğrultucu-evirici arasındaki DC bara gerilimi sensörler vasıtasıyla ölçülür. Şebeke geriliminin faz açısının tespiti için bir senkronizasyon algoritması kullanılır. Senkronizasyon algoritması olarak genellikle faz kilitleme döngüsü yöntemi (phase locked loop, PLL) tercih edilmektedir (Blaabjerg ve ark., 2006). Ölçülen gerilimler ile PLL tarafından tahmin edilen şebeke faz açısı bir mikrodenetleyiciye aktarılır. Daha sonra mikrodenetleyici bu verileri kullanarak gerilim kaynaklı evirici için uygun kontrol sinyalleri üretir. Son olarak, evirici çıkışındaki gerilimler filtrelenerek yükseltici bir trafo üzerinden şebekeye aktarılır.

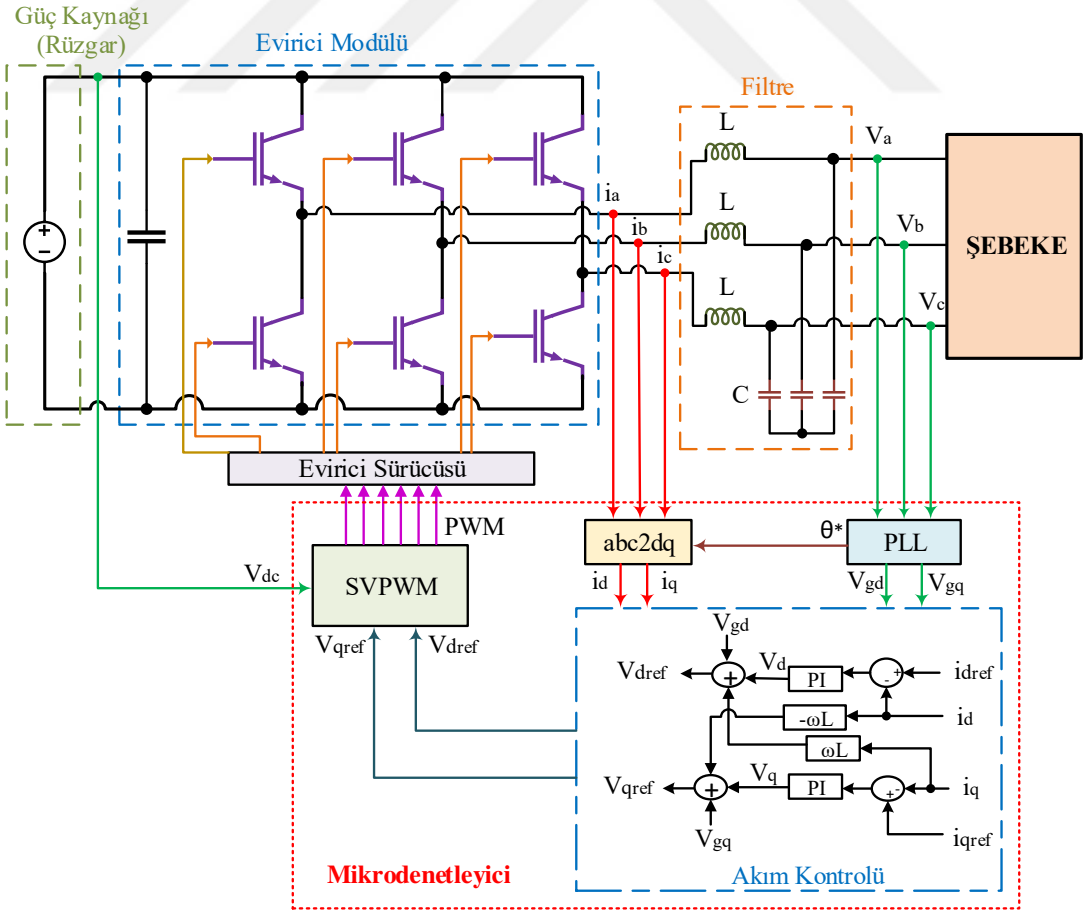


Şekil 1.4. RES'lerin şebeke bağlantı şeması

Eviricinin kontrolünde genellikle, uzay vektör darbe genişlik modülasyonu (space vector pulse width modulation, SVPWM) yöntemi kullanılmaktadır. SVPWM yönteminin kullanılmasının nedeni; sayısal kontrole daha uygun olması, düşük harmonik içeriği sağlaması, anahtarlama kayıplarının az olması, anahtarlama frekansının sabit olması gibi avantajlarının bulunmasıdır. Ayrıca, DC-bara gerilimi kullanımı bakımından sinüzoidal darbe genişlik modülasyonu (SPWM) yöntemine göre yaklaşık %15,15 daha verimli bir kullanım sağlamaktadır (Sevilmiş ve Karaca, 2014; Sevilmiş, 2016).

Şebeke etkileşimli eviriciler, akım kaynaklı veya gerilim kaynaklı olarak tasarlanabilir. Akım kaynaklı evirici (current source inverter, CSI), kısa devrelere karşı yüksek direnç göstermesi ve ters gerilimi bloke etmesi gibi üstünlüklere sahip olmasına rağmen gerilim kaynaklı evirici (voltage source inverter, VSI) daha az iletim kaybı ve daha kolay kontrol edilmesi nedeniyle daha çok tercih edilmektedir (Sefa ve ark., 2009; Sevilmiş ve Karaca, 2015).

Şekil 1.5'te, şebeke etkileşimli evirici sisteminin kapalı çevrim kontrol yapısı görülmektedir. Bu sistem, akım kontrol ve faz açısı kontrol kısımlarından meydana gelmektedir. Akım kontrol kısmında, şebekeye aktarılacak akımlar anlık olarak ölçülerek *dq* bileşenlerine (i_d ve i_q) dönüştürülür. *abc* eksen takımından *dq* eksen takımına dönüşüm için şebeke faz açısı bilgisi gerekmektedir. Bu açı bilgisi de şebeke gerilimlerini ölçmek suretiyle PLL tarafından belirlenmektedir. Ölçülen i_d ve i_q akımları, referans akım değerleri ile karşılaştırıldıktan sonra PI denetleyici ile kontrol edilir. Böylece SVPWM için gerekli olan V_{dref} ve V_{qref} gerilimleri elde edilmiş olur. SVPWM algoritmasında V_{dref}, V_{qref} ve DC bara gerilimleri ile şebeke faz açısı kullanılarak şebeke etkileşimli eviricinin kontrolü için uygun anahtarlama sinyalleri elde edilir (Sevilmiş ve Karaca, 2018a).



Şekil 1.5. Şebeke etkileşimli eviricinin kapalı çevrim kontrol şeması

Faz açısı kontrol kısmında ise ölçülen şebeke gerilimleri bir senkronizasyon algoritmasında (PLL) işlenerek şebeke geriliminin faz açısı ve genlik bilgisi elde edilir. Eviricinin şebeke ile senkron bir şekilde çalışabilmesi için faz açısının ve genlik değerinin doğru ve hızlı bir şekilde belirlenmesi çok önemlidir. Ayrıca, faz açısı bilgisi hat akımlarının dönüşümünde de kullanılmaktadır. Yani, şebeke geriliminin faz açısının yanlış veya uzun bir sürede belirlenmesi şebeke senkronizasyonunun başarısızlıkla sonuçlanmasına neden olmaktadır. Bu nedenle, PLL algoritması tüm sistem içerisinde en iyi organize edilmesi gereken kısımdır.

Bununla birlikte, yüksek güçlerdeki rüzgâr gücünün şebekeye senkronize edilmesi basit değildir. Güç sistemleri ve onların işletilmesi senkron generatörlü konvansiyonel güç santrallerine göre geliştirilmiştir. RES'ler, konvansiyonel santrallerden farklıdır. Rüzgârın güç miktarı önemlidir, şebeke performansını ve kararlılığını etkiler. Bu nedenle elektrik iletim ve dağıtım işleticileri kaynak güvenliği, güvenilirlik ve güç kalitesi bakımından sistemin iyi ve güvenli çalışmaya devam etmesini sağlamak amacıyla şebekeye bağlanacak RES'ler için bazı kurallar ortaya koymaktadır. RES'lerin uyması gereken bu kurallara şebeke kodu adı (grid code) verilmektedir. Şebeke kodu talepleri, elektrik şebekesinin gerilim ve frekans kararlılığını sağlamak ve arıza durumunda ise arıza ortadan kaldırılıncaya kadar RES'in kararlılığını kaybetmeden sistemde kalmasını sağlamak üzere uygulanır (Kurt, 2011).

Ülkemizde, iletim sisteminin güvenilir ve düşük maliyetli olarak işletilmesinde ve enerji kalitesi ile sistem kararlılığının sağlanmasında uygulanacak standartlara ilişkin usul ve esasları belirlemek amacıyla Elektrik Piyasası Şebeke Yönetmeliği mevcuttur. Enerji Piyasası Düzenleme Kurulu (EPDK), RES'lerin, konvansiyonel güç santrallerinden (hidrolik ve termik santraller) farklı bir karakteristiğe sahip olması nedeniyle RES'lerin şebeke bağlantısı sırasında uyması gereken kriterleri şebeke yönetmeliğinin Ek. 18 bölümünde ayrıca belirtmektedir. Bu kriterler; rüzgâr türbinlerinden arıza sonrasında sisteme katkı yapması, aktif güç kontrolü, frekans tepkisi, reaktif güç kapasitesi ve rüzgâr santrallerinin şebeke bağlantı trafosu ile ilgili gerekli koşullardır (EPDK, 2017).

Şebeke kodu kuralları, elektrik şebekesinde meydana gelecek ters durumlarda (gerilim dengesizlikleri, kısa devre hataları, frekans değişimi, faz açısı sıçraması, vb.) bile RES'lerin şebekeye hızlı ve doğru bir şekilde senkronize edilmesi gerekliliğini açık bir şekilde ortaya koymaktadır. Bu durum da ancak etkili bir senkronizasyon yöntemi ile mümkün olabilmektedir. Bu sebeple, yeni ve etkili bir senkronizasyon yönteminin geliştirilmesi tezin ana konusunu oluşturmaktadır.

1.3. Tezin Amaçları

Ülkemizde, yenilenebilir enerji kaynaklarının şebekeye senkronize edilmesi konusunda yapılan çalışmalar oldukça sınırlıdır. Üstelik yapılan bu sınırlı çalışmalarda, şebekede meydana gelebilecek gerilim dengesizlikleri (faz-nötr, faz-faz veya faz-toprak gibi kısa devre arızaları, gerilim düşmesi veya yükselmesi vb.), harmonikler, frekans değişimleri gibi olumsuz durumlar göz ardı edilerek, dengeli ve harmoniksiz şebeke durumlarında, şebeke etkileşimli eviricinin şebekeye senkronizasyonu sağlanmıştır. Şebekede, bahsedilen olumsuzluklar meydana gelmesi durumunda, mevcut evirici sistemlerinde senkronizasyon hataları meydana gelebilmekte, şebeke senkronizasyonu başarılı ve etkili bir şekilde gerçekleştirilememekte ve şebeke bağlantı kriterleri karşılanamamaktadır.

Bu tezin amaçları şu şekilde özetlenebilir:

- Dengesiz, harmonikli ve değişken frekanslı şebeke durumlarında eviricinin şebeke senkronizasyonu için yeni ve etkili bir Faz Kilitleme Döngüsü (PLL) yöntemi geliştirmek,
- Geliştirilen PLL yöntemleri sayesinde, şebeke senkronizasyonunun daha doğru ve daha hızlı bir şekilde gerçekleşmesini temin etmek,
- Geliştirilen PLL yöntemlerinin, rüzgâr enerjisi dışındaki diğer yenilenebilir enerji kaynaklarında da şebeke senkronizasyonunu gerçekleştirmek için kullanılmasını sağlamak ve
- Ülkemizin Vizyon 2023 Stratejisinde öncelikli teknolojiler kısmında belirtilen “Rüzgâr enerjisinden elektrik üretimi konusunun gerçekleştirilmesi ve geliştirilmesi” için belirlenen teknolojik aşamalar arasında belirtilen “Rüzgâr jeneratörü ile şebeke arayüzünü oluşturacak güç elektroniği sistemlerinin geliştirilmesi” ve “Güç sistemleri kontrolü” için belirlenen teknolojik aşamalar arasında belirtilen “Güç sistemlerinin kontrolünün yazılım teknolojisinin geliştirilmesi” aşamalarının gerçekleştirilmesine katkı sağlayabilmektir (TÜBİTAK, 2003).

1.4. Tezin Organizasyonu

Tezin birinci bölümünde, ülkemizde yenilenebilir enerji kaynaklardan elektrik enerjisi üretilmesinin gerekliliğine değinilerek RES'ler için gelinen durumdan bahsedilmiştir. RES'lerin genel güç dönüşümü incelenerek RES'lerin yapı taşlarından biri olan şebeke etkileşimli eviricinin kontrolünün neden önemli olduğu anlatılmıştır. Son olarak da, şebeke bağlantılı RES'lerde şebeke senkronizasyon algoritmasının kullanılmasının gerekliliğine dikkat çekilmiştir.

İkinci bölümde, mevcut senkronizasyon algoritmaları kapsamlı bir şekilde incelenmiştir. Literatürde en çok kabul gören ve iyileştirilmeleri üzerine çalışmalar yapılan algoritmaların blok şemalarına ve karşılaştırmalı simülasyon sonuçlarına da yer verilmiştir. Böylece, bu algoritmaların avantajları ve dezavantajları ortaya koyulmuştur.

Üçüncü bölümde, geliştirilen dört adet senkronizasyon yöntemine yer verilmiştir. Her bir yöntemin etkinliğini doğrulamak için farklı şebeke koşulları altında simülasyon ve deneysel çalışmalar yapılmıştır. Her bir yöntem, iki farklı yöntem ile grafiksel olarak kıyaslanmıştır. Simülasyon ve deneysel testler ile kıyaslamalar sonucunda, geliştirilen yöntemlerin senkronizasyon başarımını ne derece arttırdığı açık bir şekilde gösterilmiştir.

Dördüncü bölümde, geliştirilen senkronizasyon yöntemlerin genel sonuçlarına ve gelecek çalışmalar için önerilere yer verilmiştir.

2. LİTERATÜR TARAMASI

2.1. Giriş

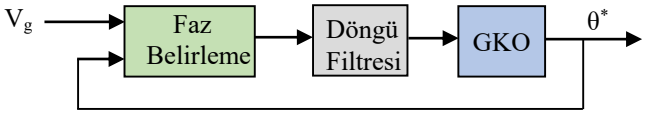
Bu bölümde, senkronizasyon yöntemlerinin ham bir taraması yapılmamış olup literatürde en çok kabul gören yöntemlerin blok şemalarına ve karşılaştırmalı simülasyon sonuçlarına da yer verilmiştir. Bunlara ilave olarak geliştirilmiş senkronizasyon yöntemlerine de yer verilerek literatür taraması tamamlanmıştır. Böylece, tezden faydalanmak isteyen araştırmacıların bu konuda literatüre hakim olması imkanının sağlanması amaçlamıştır.

Eviricinin şebeke ile senkron bir şekilde çalışabilmesi için şebeke geriliminin faz açısının ve genliğinin belirlenmesi gerekir. Bu yüzden, rüzgâr enerji sistemlerinde eviricinin kontrolü için bir senkronizasyon algoritması kullanılması şarttır. Şebeke senkronizasyonunu sağlamak için şebeke geriliminin faz açısı ve genliği, eviricinin kontrolü için doğru ve hızlı bir şekilde belirlenmelidir. Eviricinin şebeke senkronizasyonu için daha çok faz kilitleme döngüsü (phase locked loop, PLL) yöntemi kullanılmaktadır.

PLL yöntemi, ilk kez Appleton (1922) tarafından ortaya atılmıştır. Daha sonra, Bellescize (1932) radyo sinyallerinin senkronizasyonu için PLL yöntemini kullanmıştır. 1970'li yıllara kadar, uygulanmasının zorluğundan dolayı PLL, çok fazla kullanılamamıştır. 1970'li yıllara gelindiğinde tümdevre teknolojisinin hızlı gelişmesi PLL'nin yaygın kullanılmasına uygun ortam hazırlamıştır. Bunun sonucu olarak, modern haberleşme sistemlerinde tercih edilir hale gelmiştir. Haberleşme sistemlerinden sonra PLL yöntemi, kontaksız güç kaynakları, elektrik motorlarının hız kontrolü vb. farklı endüstriyel alanlarda da kullanılmaya başlanmıştır (Blaabjerg ve ark., 2006).

Son zamanlarda, PLL yöntemi, şebeke etkileşimli eviricilerin şebeke senkronizasyonunu sağlamak için çok fazla kullanılmaya başlamıştır. Bunun nedeni, PLL yönteminin evirici ile şebeke arasında doğru ve hızlı bir senkronizasyon sağlamasıdır. Üstelik PLL yöntemi şebeke gerilim dengesizliklerine, harmoniklere ve çeşitli bozucu etkilere karşı iyi ve hassas bir tepkiye sahiptir (Blaabjerg ve ark., 2006).

Şekil 2.1'de, PLL'nin genel yapısı verilmiştir. PLL, çıkış sinyalinin faz açısını giriş sinyalinin faz açısına otomatik olarak ayarlayan geri beslemeli bir kontrol sistemidir. Genel olarak PLL, faz belirleme, döngü filtresi ve gerilim kontrollü osilatör (GKO) bloklarından meydana gelmektedir (Nicastri ve Nagliero, 2010).



Şekil 2.1. PLL'nin genel yapısı

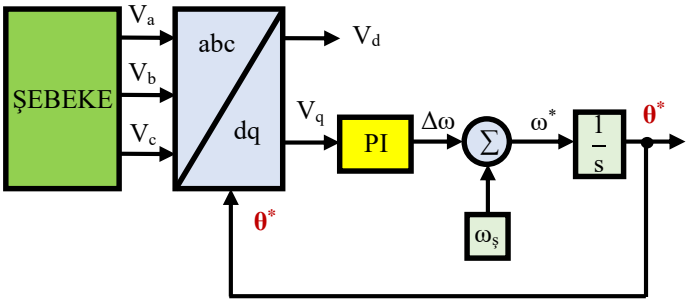
PLL'nin çalışma mantığı temel olarak şu şekildedir: Çıkış sinyali ile giriş sinyali (V_g) arasındaki faz açısı farkı, faz belirleme bloğu tarafından belirlenir. İki sinyal arasındaki açı farkına göre faz belirleme bloğu uygun bir hata sinyali üretir. Elde edilen hata sinyali, bir denetleyici tarafından kontrol edilir. Denetleyici olarak genellikle PI tercih edilir. PI denetleyici aynı zamanda sistemin döngü filtresi olarak çalışır. Yani, PI denetleyici döngü filtresi bloğunu temsil etmektedir. Döngü filtresi bloğu, yüksek frekanslı bileşenleri ve gürültüyü azaltmak ve sistemin kararlılığını temin etmek için bir nevi alçak geçiren filtre özelliği gösterir. Ayrıca, sistemin geçici durumdaki performansını etkiler. Döngü filtresi çıkışındaki sinyal, GKO'yu sürerek çıkış sinyalinin fazının giriş sinyalininkiyle aynı olmasını sağlar. Bu sayede çıkış sinyalinin faz açısı, giriş sinyalinin faz açısına kilitlenmiş olur (Freijedo ve ark., 2009b; Teodorescu ve ark., 2011).

2.2. Klasik Faz Kilitleme Döngüsü Yöntemleri

Literatürde iki tane klasik PLL yöntemi mevcuttur. Bunlardan biri *dq*-PLL, diğeri ise *αβ*-PLL yöntemidir. Her iki yöntem de basit yapılı ve kolay uygulanabilir olmasına rağmen ideal olmayan şebeke koşullarında performansları oldukça kötüleşmektedir.

2.2.1. *dq*-PLL

Şekil 2.2'de *dq*-PLL'nin blok yapısı verilmiştir. Dönen eksen takımlı (synchronous reference frame, SRF) PLL (SRF-PLL) olarak da adlandırılan bu yöntem üç fazlı sistemlerde çok fazla kullanılmaktadır (Kaura ve Blasko, 1997; Chung, 2000).



Şekil 2.2. *dq*-PLL'nin blok şeması

SRF-PLL yönteminde, ilk önce şebekenin faz gerilimleri (V_a, V_b, V_c) ölçülür. Denklem (2.1) ve (2.2)'de verilen Clarke ve Park dönüşümü matrisleriyle şebeke gerilimleri ilk olarak *abc* eksen takımından durağan eksen takımına ($\alpha\beta$) ve ardından dönen eksen takımına (dq) çevrilir.

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \tag{2.1}$$

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos(\theta^*) & \sin(\theta^*) \\ -\sin(\theta^*) & \cos(\theta^*) \end{bmatrix}\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \tag{2.2}$$

Burada V_d ve V_q gerilimleri, DC bileşene dönüştürülerek sistemin daha kolay kontrol edilmesi sağlanmaktadır. İdeal şebeke koşulları altında yani faz gerilimlerin dengeli olduğu ve şebeke gerilimleri üzerinde harmonik bileşenlerin olmadığı durumda tahmin edilen faz açısı (θ^*), şebekenin gerçek faz açısına (θ) eşit olmaktadır. Denklem (2.3) ve (2.4)'ten anlaşılabildiği gibi ideal bir sitemde V_q, sıfır iken V_d, şebeke geriliminin genlik değerine (V_m) eşit olur.

$$V_q = V_m \sin(\theta - \theta^*) \tag{2.3}$$

$$V_d = V_m \cos(\theta - \theta^*) \tag{2.4}$$

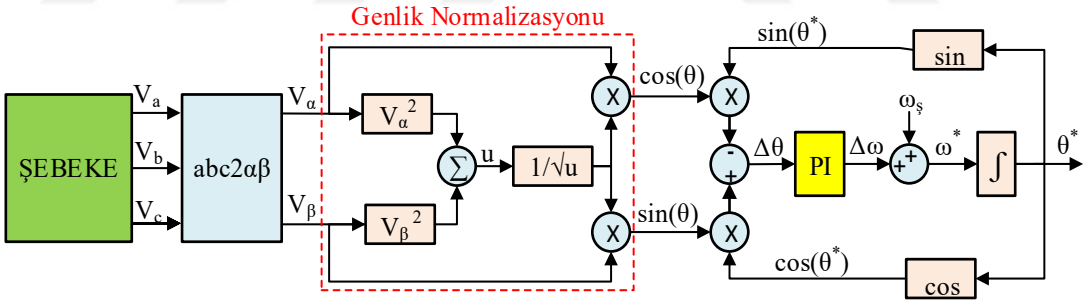
V_q gerilimi aynı zamanda açı bilgisini içerir ve bunun kontrolü için genellikle PI denetleyici kullanılmaktadır. PI denetleyici aynı zamanda sistemin dinamiklerini belirler. PI çıkışındaki açısal frekans değişimi ($\Delta\omega$), şebekenin temel açısal frekansı ($\omega_ş = 2\pi f$) ile toplanarak açısal frekans (ω^*) tespiti yapılır. Son olarak, şebeke faz açısını belirlemek

için *(θ*)* tespit edilen açısal frekansın *(ω*)* integrali alınır. Tahmin edilen faz açısı sürekli olarak geri besleme yapılarak *abc*/*dq* bloğuna aktarılır (Teodorescu ve ark., 2011; Sevilmiş ve Karaca, 2015; Sevilmiş, 2016).

Bu yöntem, ideal şebeke koşulları altında mükemmel bir performansa sahip iken şebekede dengesizlikler ve harmonik bileşenler meydana geldiği zaman şebekenin faz açısını doğru bir şekilde tespit edemez (Rodriguez ve ark., 2007; Golestan ve ark., 2012).

2.2.2. *αβ*-PLL

Şekil 2.3'te *αβ*-PLL'nin blok şeması verilmiştir. *αβ*-PLL yöntemi yapı olarak *dq*-PLL yöntemine benzemektedir. Ayrıca, iki yöntem birbirine çok yakın performans göstermektedir. Bu yöntemde Park dönüşüm matrisinin kullanılmasına gerek yoktur. Sistem, *αβ* eksen takımında kontrol edilir. Burada ayrıca genlik normalizasyon işlemi yapılarak şebeke gerilimi birim değere indirgenir. Bu sayede, PI denetleyicinin katsayılarının değişebilecek şebeke koşullarına göre sürekli ayarlanmasının önüne geçilmiş olur. Bu normalizasyon işlemi *dq*-PLL için de kolaylıkla uygulanabilir (Teodorescu ve Blaabjerg, 2004; Hadjidemetriou ve ark., 2013a).



Şekil 2.3. *αβ*-PLL'nin blok şeması

αβ-PLL yönteminde genlik normalizasyonu sonucunda V_α ve V_β gerilimlerine karşılık olarak sırasıyla *cos(θ)* ve *sin(θ)* değerleri elde edilir. Kontrol döngüsünden tespit edilen şebeke faz açısının *(θ*)* sinüs ve cosinüs değerleri geri besleme yapılarak *cos(θ) ve sin(θ)* değerleri ile çarpılır. Bunun sonucunda;

$$\Delta\theta = \sin(\theta)\cos(\theta^*) - \sin(\theta^*)\cos(\theta) = \sin(\theta - \theta^*) \tag{2.5}$$

elde edilir. Faz kilitleme gerçekleştiği zaman (yani, $\theta^* = \theta$ iken) $\Delta\theta$ sıfır değerine eşit olur. $\Delta\theta$, PI denetleyici tarafından kontrol edilmesine rağmen ideal olmayan şebeke durumunda $\Delta\theta$ sıfır değerinden uzaklaşmaktadır. Bu yüzden, senkronizasyon hatası meydana gelmektedir.

2.3. Gelişmiş Faz Kilitleme Döngüsü Yöntemleri

dq-PLL ile *αβ*-PLL'nin dengesiz ve harmonikli şebeke koşullarında şebekenin faz açısını doğru bir şekilde tespit edemediğinden literatürde birçok PLL yöntemi önerilmiştir. Bu yöntemlerin çoğu, *dq*-PLL'nin (SRF-PLL) iyileştirilmiş versiyonlarıdır. Literatürde en çok kabul gören ve iyileştirilmeleri üzerine çok fazla çalışma yapılan PLL yöntemlerinden üçü DDSRF-PLL (Rodríguez ve ark., 2007), DSOGI-PLL (Rodriguez ve ark., 2006b) ve EPLL (Karimi-Ghartemani ve Iravani, 2004) yöntemleridir. Bu bölümde, bu üç yöntem detaylı bir şekilde incelenecek, bu yöntemlerin blok şemalarına ve karşılaştırmalı simülasyon sonuçlarına da yer verilecektir. Diğer yandan, bu yöntemlerin de iyileştirilmiş olanları mevcut olup onlara da ayrı bir paragraf açılacaktır.

2.3.1. DDSRF-PLL

Rodríguez ve ark. (2007), SRF-PLL'nin gelişmiş bir versiyonu olan bağımsız dönen çift eksenli PLL (decoupled double synchronous reference frame PLL, DDSRF-PLL) yöntemini önermişlerdir. Dengesiz şebeke gerilimlerinde, şebeke geriliminin temel frekans pozitif sıralı (fundamental frequency positive sequence, FFPS) ve temel frekans negatif sıralı (fundamental frequency negative sequence, FFNS) bileşenleri meydana gelmektedir. *dq*-PLL ve *αβ*-PLL yöntemleriyle bu bileşenler bağımsız olarak kontrol edilemediği için tespit edilen faz açısı üzerinde FFNS bileşenden kaynaklı çift harmonik salınımları meydana gelir. DDSRF-PLL yönteminde FFPS ile FFNS bağımsız kontrol edilebildiği için çift harmonik dalgalanmaları ortadan kaldırılır. Dahası, şebeke frekansı değişimlerine de çok iyi adapte olabilmesinden dolayı rüzgâr enerji sistemlerinde kullanılabilmektedir (Rodriguez ve ark., 2005).

DDSRF-PLL, pozitif yönde dönen (açısı θ^* olan) dq^{+1} eksen takımından ve negatif yönde dönen (açısı $-\theta^*$ olan) dq^{-1} eksen takımından meydana gelmektedir. (2.6) ve (2.7) nolu denklemlerde sırasıyla dq^{+1} ve dq^{-1} eksen takımlarının bileşenleri verilmiştir.

$$\begin{bmatrix} V_{d^{+1}} \\ V_{q^{+1}} \end{bmatrix} = \begin{bmatrix} V^{*}_{d^{+1}} \\ V^{*}_{q^{+1}} \end{bmatrix} + \begin{bmatrix} \cos(2\theta^{*}) & \sin(2\theta^{*}) \\ -\sin(2\theta^{*}) & \cos(2\theta^{*}) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{-1}}} \\ \overline{V_{q^{-1}}} \end{bmatrix} \tag{2.6}$$

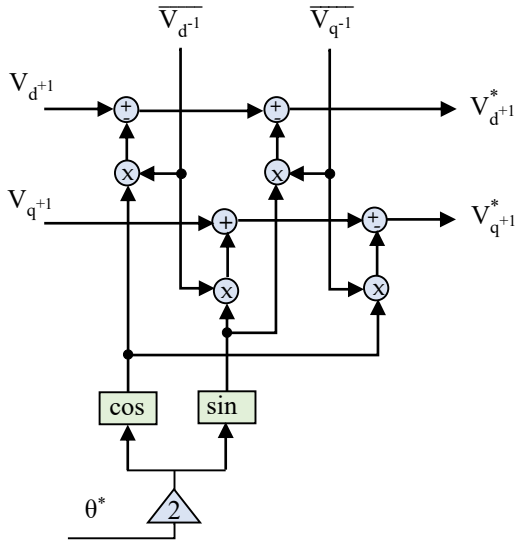
$$\begin{bmatrix} V_{d^{-1}} \\ V_{q^{-1}} \end{bmatrix} = \begin{bmatrix} V^{*}_{d^{-1}} \\ V^{*}_{q^{-1}} \end{bmatrix} + \begin{bmatrix} \cos(-2\theta^{*}) & \sin(-2\theta^{*}) \\ -\sin(-2\theta^{*}) & \cos(-2\theta^{*}) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{+1}}} \\ \overline{V_{q^{+1}}} \end{bmatrix} \tag{2.7}$$

Denklemlerden görüldüğü gibi V_d ve V_q gerilimlerinin pozitif ve negatif sıralı bileşenlerinde, bağımlı ikinci harmonik bileşenler ($2\theta^{*}$) bulunmaktadır. Bu bağımlı bileşenler yok edilerek FFPS ve FFNS bağımsız bir şekilde elde edilir.

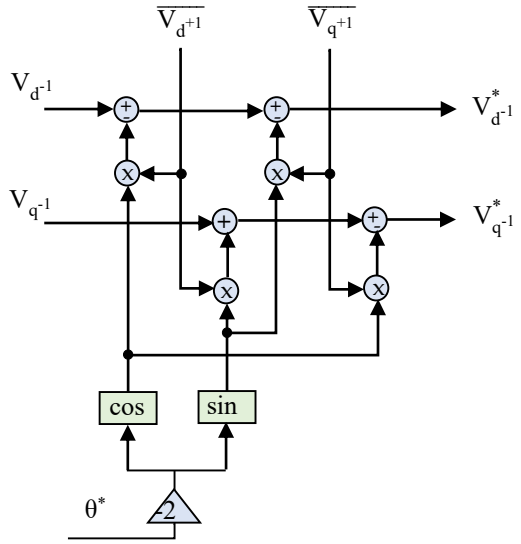
(2.6) ve (2.7) nolu denklemler yeniden düzenlenerek (2.8) ve (2.9) nolu denklemler ile verilen V_d ve V_q gerilimlerinin bağımsız bileşenleri ortaya çıkartılır. Şekil 2.4 ve 2.5, bu bağımsız bileşenlere ait blok şemaları göstermektedir.

$$\begin{bmatrix} V^{*}_{d^{+1}} \\ V^{*}_{q^{+1}} \end{bmatrix} = \begin{bmatrix} V_{d^{+1}} \\ V_{q^{+1}} \end{bmatrix} - \begin{bmatrix} \cos(2\theta^{*}) & \sin(2\theta^{*}) \\ -\sin(2\theta^{*}) & \cos(2\theta^{*}) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{-1}}} \\ \overline{V_{q^{-1}}} \end{bmatrix} \tag{2.8}$$

$$\begin{bmatrix} V^{*}_{d^{-1}} \\ V^{*}_{q^{-1}} \end{bmatrix} = \begin{bmatrix} V_{d^{-1}} \\ V_{q^{-1}} \end{bmatrix} - \begin{bmatrix} \cos(-2\theta^{*}) & \sin(-2\theta^{*}) \\ -\sin(-2\theta^{*}) & \cos(-2\theta^{*}) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{+1}}} \\ \overline{V_{q^{+1}}} \end{bmatrix} \tag{2.9}$$

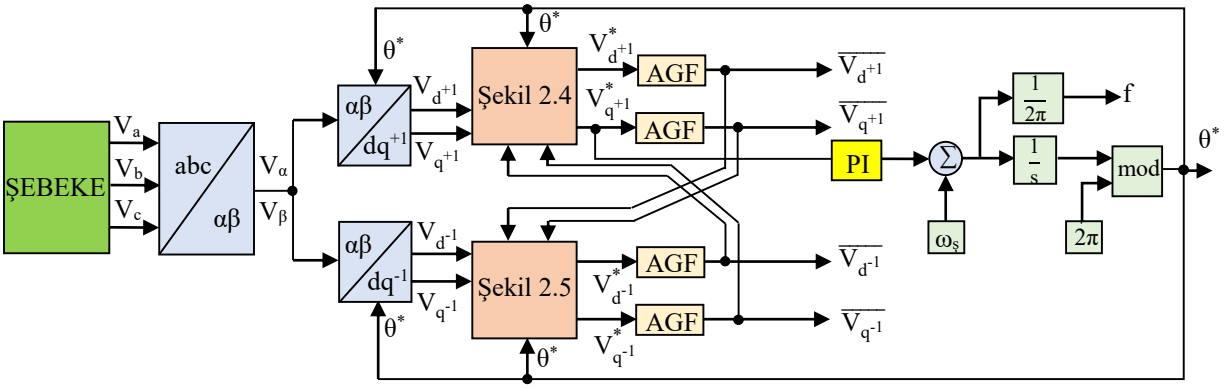


Şekil 2.4. dq^{+1} bağımsız bileşenlere ait blok şema



Şekil 2.5. dq^{-1} bağımsız bileşenlere ait blok şema

Şekil 2.6'da, DDSRF-PLL'nin blok diyagramı verilmiştir. Bu yapı içerisinde dört adet birinci dereceden alçak geçiren filtre (AGF) kullanılmaktadır. DDSRF-PLL yapısına, SRF-PLL'den farklı olarak Şekil 2.4 ve Şekil 2.5'teki yapılar ile AGF'ler eklenmiştir. Bunların dışındaki diğer kısımlar SRF-PLL ile aynıdır.



Şekil 2.6. DDSRF-PLL'nin blok yapısı

DDSRF-PLL, şebeke dengesizliklerine ve frekans değişimlerine karşı üstün bir performans göstermesine rağmen harmoniklere bağlı bozukluklara karşı tepkisi oldukça kötüdür. Kısacası, DDSRF-PLL sadece dengesiz şebekelerde çalışacak şekilde tasarlanmıştır. Dört adet AGF kullanılması harmoniklerin yok edilmesini sağlayamamaktadır. Bundan dolayı, harmonikli şebeke koşulunda faz açısını belirlerken çok büyük hatalara neden olmaktadır. Bunun yanında, yapısının karmaşık olması diğer

bir dezavantajıdır. DDSRF-PLL'nin dezavantajlı olduğu noktaları ortadan kaldırmak için bazı yöntemler öne sürülmüştür.

Xiao ve ark. (2008), DDSRF-PLL'nin karmaşık yapısını azaltmak için çoklu eksen takımlı PLL (multiple reference frame PLL, MRF-PLL) yöntemini önermişlerdir. MRF-PLL çalışma mantığı olarak DDSRF-PLL'ye oldukça benzerdir. Bu yüzden, DDSRF-PLL ile yaklaşık aynı performansa sahiptir.

Shi ve Crow (2010), DDSRF-PLL'de FFPS bileşeninin belirlenme kısmına hareketli ortalama filtre (moving average filter, MAF) eklemişlerdir. Bu yöntemde, harmonik bileşenlere karşı iyileşme olmasına rağmen sistemin tepki süresi uzamaktadır. Sistemin yavaş çalışmasına neden olduğu için önerilen yöntem genel anlamda başarılı olamamıştır.

Hadjidemetriou ve ark. (2013a), hibrit bir PLL yöntemi önermişlerdir. Bu yöntem, DDSRF-PLL'de faz açı tespiti için klasik *dq*-PLL yerine *αβ*-PLL'yi kullanmaktadır. *dq*-PLL ile *αβ*-PLL'nin benzer performans gösterdiklerinden daha önce bahsedilmişti. Önerilen yöntemin (d*αβ*-PLL) harmonikli şebeke durumlarında DDSRF-PLL'nin performansını iyileştirici bir özelliği yoktur. Sadece, dengesiz şebeke durumunda frekans tespitindeki aşma miktarı daha azdır.

Hadjidemetriou ve ark. (2013b), DDSRF-PLL'nin harmonikleri filtreleme kabiliyetini iyileştirmek için çoklu sıralı harmonikleri ayıran bağımsız bileşen hücre tabanlı PLL (multi-sequence harmonic decoupling cell PLL, MSHDC-PLL) yöntemini önermişlerdir. Bu yöntem, DDSRF-PLL'nin bağımlı bileşenleri ayrıma kısmında yok edilmesi gereken harmonik bileşenlere göre hücre sayısının arttırılmasına dayanmaktadır. MSHDC-PLL yönteminin harmonikleri filtreleme yeteneği iyi olmasına rağmen çok sayıda Park dönüşümü içermesinden dolayı yapısı oldukça karmaşıktır.

Hadjidemetriou ve ark. (2015), daha önce önerdikleri MSHDC-PLL yönteminin karmaşık yapısını minimize etmek için *αβ* eksen takımında bağımsız ağ yapılı PLL (decoupling network PLL, DN*αβ*-PLL) yöntemini ortaya atmışlardır. DN*αβ*-PLL'nin yapısının nispeten daha basit olmasına rağmen MSHDC-PLL ile benzer filtreleme kabiliyetine sahiptir.

Ali ve ark. (2017), MSHDC-PLL ve DN*αβ*-PLL'nin DC-offset gerilimini ve ara harmonikleri (interharmonics) yok edememesi üzerine, bu istenmeyen bileşenleri yok etmek için harmonik-ara harmonik ve DC-offset yok eden PLL (harmonics–interharmonics DC offset PLL, HIHDO-PLL) yöntemini önermişlerdir. Her ne kadar istenmeyen bileşenler yok ediliyor olsa da PLL yapısı oldukça karmaşık hale gelmiştir.

Bu da, dijital uygulamalarda önerilen PLL'nin zorluk çıkarmasına ve hesap yükünü önemli ölçüde arttırmasına yol açmaktadır.

Ali ve ark. (2018b), içerisinde gelişmiş DDSRF-PLL yöntemlerinin de olduğu geniş kapsamlı bir derleme makalesi yayınlamışlardır. Bu makalede birçok PLL yöntemine yer verilerek deneysel çalışmalar ile yöntemlerin avantajları ve dezavantajları karşılaştırmalı olarak sunulmuştur.

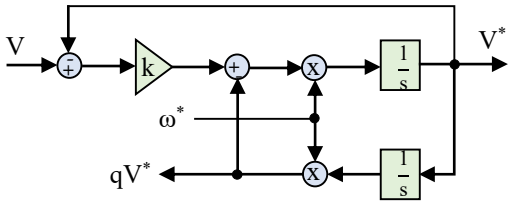
2.3.2. DSOGI-PLL

Rodriguez ve ark. (2006b), iki adet ikinci dereceden genelleştirilmiş integratör PLL (dual second order generalized integrator PLL, DSOGI-PLL) yöntemini önermişlerdir. DSOGI-PLL yönteminde ilk olarak üç fazlı şebeke gerilimleri Clarke dönüşümü matrisi ile V_α ve V_β gerilimlerine dönüştürülür. Elde edilen V_α ve V_β gerilimleri, ikinci dereceden genelleştirilmiş integratör (second order generalized integrator, SOGI) tabanlı quadratik sinyal üretecinden (quadrature signal generator, QSG) geçirilir. SOGI-QSG, DSOGI-PLL'nin ön filtreleme aşamasıdır. Burada, filtrelenmiş V_α ve V_β gerilimleri ile birlikte onların 90˚ ötelenmiş formları da elde edilir. Şekil 2.7'de SOGI-QSG'nin blok şeması ve (2.10) ve (2.11)'de karakteristik transfer fonksiyonları verilmiştir.

$$\mathrm{R(s)} = \frac{V^*}{V} = \frac{k\omega^* s}{s^2 + k\omega^* s + \omega^{*2}} \tag{2.10}$$

$$\mathrm{Q(s)} = \frac{qV^*}{V} = \frac{k\omega^{*2}}{s^2 + k\omega^* s + \omega^{*2}} \tag{2.11}$$

Burada k, SOGI-QSG'nin sönüm faktörünü; ω^*, ise rezonans frekansını ifade eder. k değerinin arttırılması sistemin performans hızını arttırırken filtrenin tepkisini kötüleştirir. Bu yüzden, kritik sönüm tepkisi için $k = 2\xi = \sqrt{2}$ değerininin kullanılması önerilmektedir.



Şekil 2.7. SOGI-QSG'nin blok şeması

Üç fazlı gerilim vektörü, (2.12) ile verilmektedir. Bu gerilimlerin pozitif sıralı bileşenleri (2.13)'te verildiği gibi elde edilebilir.

$$V_{abc} = \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = V_m \begin{bmatrix} \cos(\omega t) \\ \cos(\omega t - \frac{2\pi}{3}) \\ \cos(\omega t + \frac{2\pi}{3}) \end{bmatrix} \tag{2.12}$$

$$V^+_{abc} = \begin{bmatrix} V_a^+ \\ V_b^+ \\ V_c^+ \end{bmatrix} = [T]V_{abc} \;; \qquad [T] = \frac{1}{3}\begin{bmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{bmatrix},\; a = e^{-j\frac{2\pi}{3}} \tag{2.13}$$

V_α ile V_β gerilimlerinin pozitif sıralı bileşenlerini elde etmek için (2.1) ve (2.13) kullanılarak $V_\alpha{}^+$ ve $V_\beta{}^+$ gerilimleri elde edilebilir. (2.14)'te elde edilen $V_\alpha{}^+$ ve $V_\beta{}^+$ gerilimleri verilmiştir.

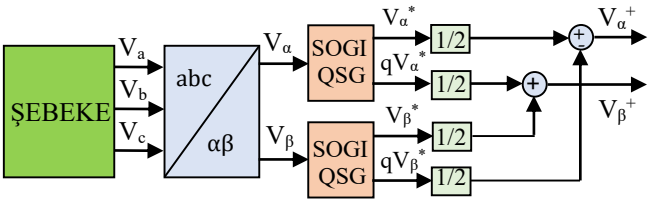
$$\begin{bmatrix} V_\alpha^+ \\ V_\beta^+ \end{bmatrix} = \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}[T]\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix}$$

$$= \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}[T]\left(\frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}\right)^{-1}\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \tag{2.14}$$

$$\begin{bmatrix} V_\alpha^+ \\ V_\beta^+ \end{bmatrix} = \frac{1}{2}\begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix}\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix}, \qquad q = e^{-j\frac{\pi}{2}}$$

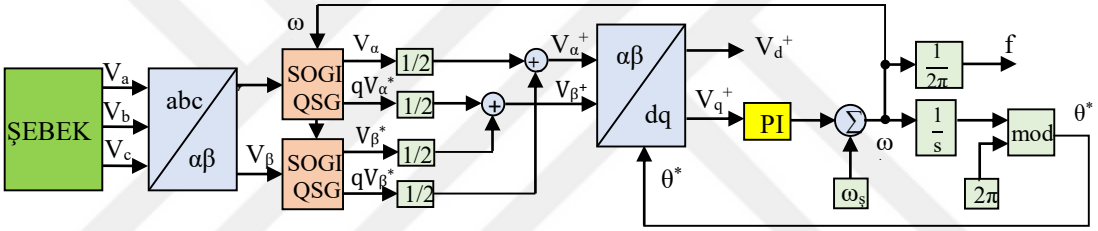
Burada q, faz öteleme operatörüdür. V_α ve V_β sinyallerinin 90˚ ötelenmiş hallerini ifade eder.

Şekil 2.8'de, V_α^+ ve V_β^+ sinyallerinin elde edilmesi için tasarlanmış blok şema verilmiştir.



Şekil 2.8. $V_{\alpha\beta}^+$ gerilimlerinin elde edilmesine ait blok şema

V_α^+ ve V_β^+ gerilimleri elde edildikten sonra klasik SRF-PLL sisteme ilave edilir. Şekil 2.9'da, DSOGI-PLL'nin blok şeması verilmiştir. DSOGI-PLL'nin frekans değişimlerine karşı adaptif olabilmesi için tahmin edilen frekans (ω^*), SOGI-QSG bloklarına geri besleme yapılır.



Şekil 2.9. DSOGI-PLL'nin blok şeması

DSOGI-PLL, dengesiz şebeke durumunda ön filtreleme sayesinde FFNS'ten kaynaklı salınımları yok ederek doğru bir faz açısı tahmini yapar. Fakat senkronize olma zamanı DDSRF-PLL'ye göre oldukça fazladır. Üstelik harmonikleri filtreleme yeteneği de yeterli düzeyde değildir. Bu yüzden, literatürde iyileştirilmiş DSOGI-PLL yöntemleri önerilmiştir. Bu yöntemler şu şekilde sıralanabilir:

Rodriguez ve ark. (2009), DSOGI-PLL'nin harmoniklere karşı tepkisini iyileştirmek için çok sayılı ikinci dereceden genelleştirilmiş integratör PLL (multiple second order generalized integrator PLL, MSOGI-PLL) yöntemini geliştirmişlerdir. MSOGI-PLL mükemmel bir filtreleme kabiliyetine sahip olmasına rağmen yapısının çok karmaşık olması ve fazla hesap yüküne sahip olması gibi dezavantajları bulunmaktadır.

Li ve ark. (2013), MSOGI-PLL'ye alternative olarak iki adet üçüncü dereceden genelleştirilmiş integratör PLL (dual third order generalized integrator PLL, DTOGI-PLL) yöntemini önermişlerdir. DTOGI-PLL, DSOGI-PLL ile kıyaslandığında üçüncü

dereceden fonksiyona sahip olduğu için filtreleme yeteneği daha iyidir. MSOGI-PLL ile kıyaslandığında ise daha basit yapılı olmasına rağmen filtreleme kabiliyeti yeterli değildir.

Li ve ark. (2014), DSOGI-PLL'nin DC-offset gerilimlerini yok edebilmesi için bir yöntem öne sürmüşlerdir. Bu yöntem, DSOGI-PLL'nin SOGI-QSG yapısına ilave bir integratör eklenmesi ile oluşur. Önerdikleri yöntemin DC-offset dışında harmoniklerin yok edilmesine bir etkisi bulunmamaktadır.

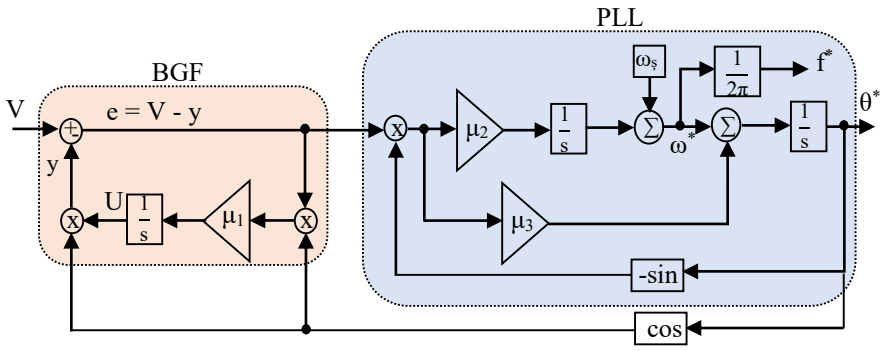
Zhang ve ark. (2018), DSOGI-PLL'nin DC-offset gerilimlerini yok edebilmesi için karışık ikinci ve üçüncü dereceden genelleştirilmiş integratör PLL (mixed second- and third order generalized integratör PLL, MSTOGI-PLL) yöntemini geliştirmişlerdir. Bir önceki yöntemde olduğu gibi geliştirdikleri yöntem sadece DC-offset gerilimini yok etmektedir. MSTOGI-PLL harmoniklerin yok edilmesinde yetersiz kalmaktadır.

Li ve ark. (2018), DSOGI-PLL'nin harmoniklere karşı tepkisini iyileştirmek için kontrol döngüsü içerisine hareketli ortalama filtre (moving average filter, MAF) yerleştirmişlerdir. DSOGI yapısına frekans geri beslemesi yapmayarak PLL'nin tepki süresini kısaltmışlardır. Fakat şebekede harmoniklere ilave olarak frekans değişimi de meydana geldiğinde sürekli durumda faz açısı tahmininde hatalar meydana gelmektedir.

2.3.3. EPLL

Karimi-Ghartemani ve Iravani (2001), tek fazlı gelişmiş PLL (Enhanced PLL, EPLL) yöntemi ortaya atmışlardır. EPLL, bant geçiren filtre (BGF) ile standart bir PLL yapılarının birleşiminden oluşmaktadır. Bu yöntem, şebeke frekansı değişimlerine de adapte olabilen lineer olmayan bir senkronizasyon metotudur. Yapısında BGF'nin bulunması EPLL'yi dengesiz, harmonikli ve değişken frekanslı şebeke koşullarında üstün kılabilmektedir. Bu sayede şebeke geriliminin genlik, faz açısı ve frekansı, DDSRF-PLL ve DSOGI-PLL yöntemlerine göre daha hızlı ve doğru bir şekilde belirlenebilmektedir.

Şekil 2.10'da, bir fazlı EPLL'nin blok şeması görülmektedir. Bu yapı içerisinde giriş gerilimi, $V = V_m cos(\theta)$ şeklinde bir kosinüs sinyalidir. Şekil 2.10'dan da anlaşılabildiği gibi giriş gerilimi (V) ilk önce BGF'den geçirilir. BGF çıkışındaki hata sinyali $(e = V - y)$, PLL yapısında PI denetleyici tarafından kontrol edilir. Açı tahmini yapıldıktan sonra filtrelenmiş $y = Ucos(\theta^*)$ çıkış sinyali elde edilir. Çıkış sinyali y ile giriş sinyali V ideal şebeke koşullarında aynı genlik ve fazda olmaktadır. Üstelik çıkış sinyalinden 90˚ ileri ötelenmiş sinyal de elde edilebilmektedir $(Ucos(\theta^*+90˚) = -Usin(\theta^*))$.



Şekil 2.10. Bir fazlı EPLL'nin blok şeması

EPLL'yi kontrol eden üç adet değişken (μ_1, μ_2 ve μ_3) vardır. Bunlar sırasıyla, *U* gerilimini, frekansı ve faz açısını kontrol etmektedir.

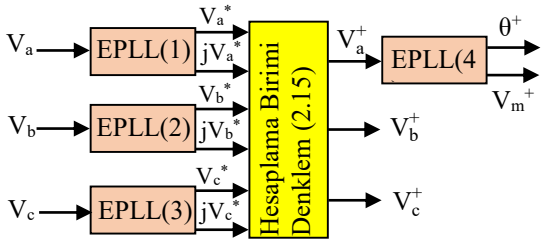
Şekil 2.11'de, 3-fazlı EPLL'nin blok yapısı verilmiştir (Karimi-Ghartemani ve Iravani, 2004). Daha önce bahsedilen yöntemlerin aksine EPLL yönteminde Clarke ve Park dönüşümlerine gereksinim yoktur. 3-fazlı EPLL yönteminde her bir faza (V_a, V_b ve V_c) ayrı ayrı bir fazlı EPLL uygulanır ve her bir faz gerilimlerinin filtrelenmiş (V_a^*, V_b^* ve V_c^*) ve 90° ileri ötelenmiş formları (jV_a^*, jV_b^* ve jV_c^*) elde edilir. EPLL(1), EPLL(2) ve EPLL(3) çıkışlarında elde edilen sinyaller, hesaplama birimine aktarılır. Hesaplama biriminde, 3-fazlı şebeke gerilimlerinin pozitif sıralı bileşenleri (V_{abc}^+) elde edilir. Pozitif sıralı bileşenler şu şekilde elde edilir:

$$V_a^+ = \frac{1}{3}V_a^* - \frac{1}{6}(V_b^* + V_c^*) + \frac{1}{2\sqrt{3}}j(V_b^* - V_c^*)$$

$$V_b^+ = -(V_a^+ + V_c^+) \qquad (2.15)$$

$$V_c^+ = \frac{1}{3}V_c^* - \frac{1}{6}(V_a^* + V_b^*) + \frac{1}{2\sqrt{3}}j(V_a^* - V_b^*)$$

Burada, *j* faz öteleme operatörüdür. Giriş gerilimlerinin 90° ileri fazlı formları *j* ile ifade edilmektedir. Şebeke gerilimlerinin pozitif sıralı bileşenleri elde edildikten sonra dördüncü bir tek fazlı EPLL sisteme ilave edilir. Şekil 2.11'den görüldüğü gibi 3-fazlı EPLL yapısı bu şekilde elde edilir. EPLL(4) çıkışında şebeke geriliminin genlik (V_m^+) ve faz açısı (θ^+) belirlenmektedir.



Şekil 2.11. 3-fazlı EPLL'nin blok yapısı

Son zamanlarda geliştirilen PLL yöntemleri ile kıyaslandığı zaman EPLL yönteminin bazı dezavantajları bulunmaktadır. Bunlardan biri, sistemin yerleşme zamanının oldukça uzun olması (yavaş performanslı), diğeri ise istenilen seviyede filtreleme yeteneğine sahip olmamasıdır. Bundan dolayı, standart EPLL yöntemini iyileştirmek için bazı yöntemler önerilmiştir. Bu yöntemler şu şekilde özetlenebilir:

Rodriguez ve ark. (2006a), iki adet EPLL'ye sahip (dual EPLL, DEPLL) bir yöntem önermişlerdir. Standart EPLL'nin aksine DEPLL yönteminde, 3-fazlı şebeke gerilimler ilk önce Clarke dönüşüm matrisi ile V_α ve V_β gerilimlerine dönüştürülür. Daha sonra bu gerilimler ayrı ayrı BGF'den geçirilir. Faz ve frekans bilgisi için sadece bir adet PLL yöntemi kullanılır. DEPLL'nin yapısı, EPLL yöntemine göre daha basittir. Ancak sistemin performansında ve filtreleme kabiliyetinde iyileştirme yapılamamıştır.

Wu ve ark. (2014), iki fazlı durağan eksen temelli EPLL (two phase stationary frame-based EPLL, TPSF-EPLL) yöntemini sunmuşlardır. Burada EPLL yöntemi $\alpha\beta$ eksen takımında gerçekleşmektedir. TPSF-EPLL yöntemi aslında üç fazlı genlik PLL (three-phase magnitude PLL, 3MPLL) yöntemine (Karimi-Ghartemani, 2006) oldukça benzerdir. 3MPLL'nin farkı, *abc* eksen takımında çalışmasıdır. TPSF-EPLL yöntemi, basit yapılı ve hızlı cevaba sahip bir yöntem olmasına karşın filtreleme kabiliyeti oldukça düşüktür.

Luo ve Wu (2017), TPSF-EPLL'nin ideal olmayan şebeke koşullarında tepkisini iyileştirmek için TPSF-EPLL içerisine iki adet MAF yerleştirmişlerdir. Bu sayede, sistemin filtreleme kabiliyetini önemli ölçüde iyileştirmeyi başarmışlardır.

Bendrat ve ark. (2017), uzay vektör temelli EPLL (space vector EPLL, SV-EPLL) yöntemini ortaya atmışlardır. SV-EPLL yöntemi DEPLL ile benzer bir mantığa sahiptir. DEPLL'den farklı olarak SV-EPLL yönteminden üçüncü bir EPLL yöntemi kullanılmaktadır. Performans açısından DEPLL'den çok farklı değildir.

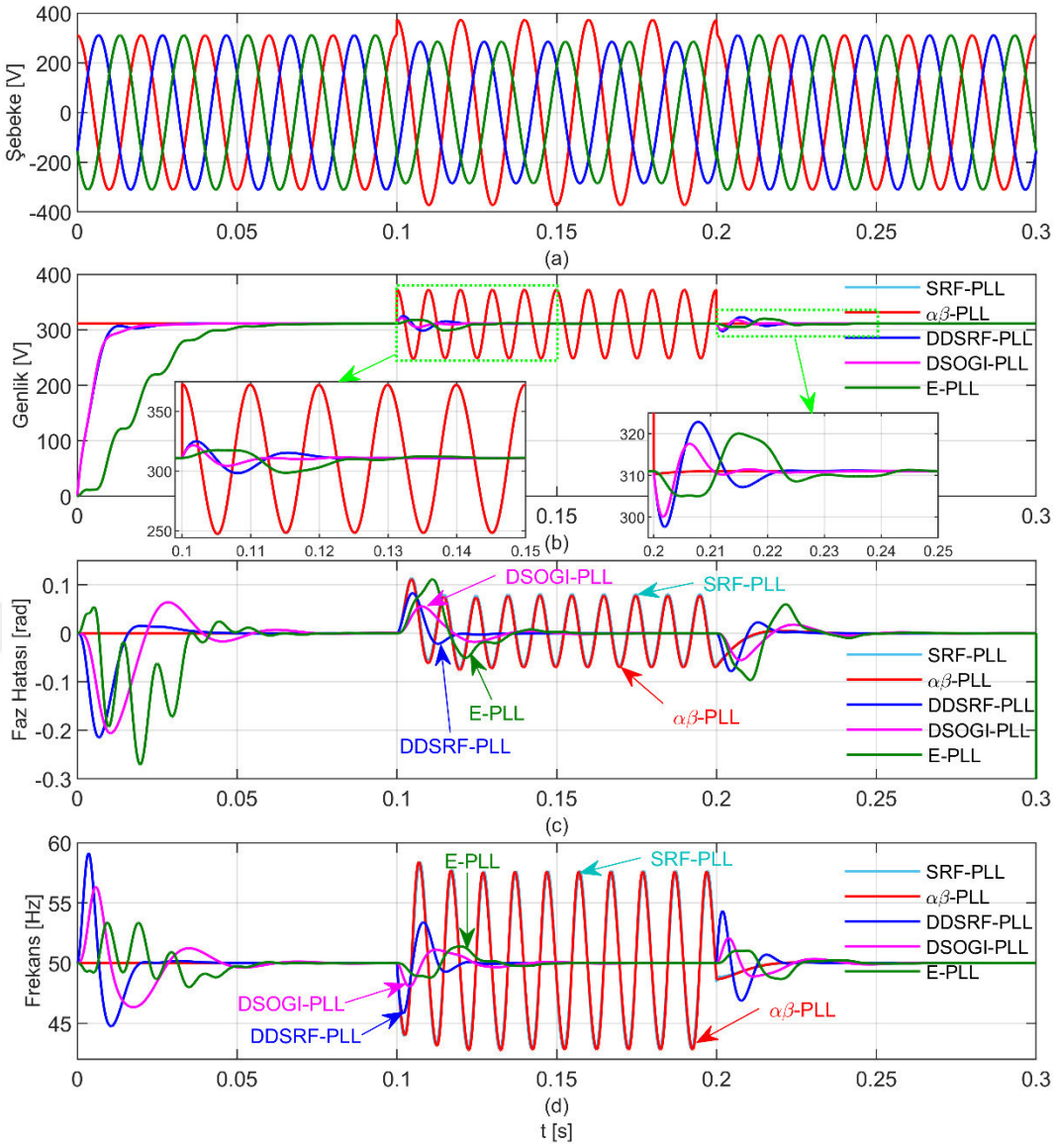
Sevilmiş ve Karaca (2018b), önerilen farklı EPLL yöntemleri ile ilgili bildiri sunmuşlardır. Bu bildiride EPLL yöntemleri ile ilgili karşılaştırmalı simülasyon sonuçları tartışmışlardır.

Sonuç olarak, literatür taraması göstermiştir ki DDSRF-PLL, DSOGI-PLL ve EPLL yöntemleri üzerine birçok çalışma yapılmıştır. Benzer çalışmalar günümüzde hala yapılmaya devam edilmektedir.

Sevilmiş ve Karaca (2019), klasik SRF-PLL ve $\alpha\beta$-PLL ile DDSRF-PLL, DSOGI-PLL ve EPLL yöntemlerinin farklı şebeke koşullarındaki tepkilerini daha iyi anlamak, bu yöntemlerin avantajlarını ve dezavantajlarını ortaya koymak adına bir derleme makale yayınlamışlardır. Bu makalede yöntemlerin farklı şebeke koşuluna karşı tepkileri simülasyon sonuçları ile gösterilmiştir. Bu yayına dayanarak adı geçen yöntemlerin test sonuçları şu şekildedir.

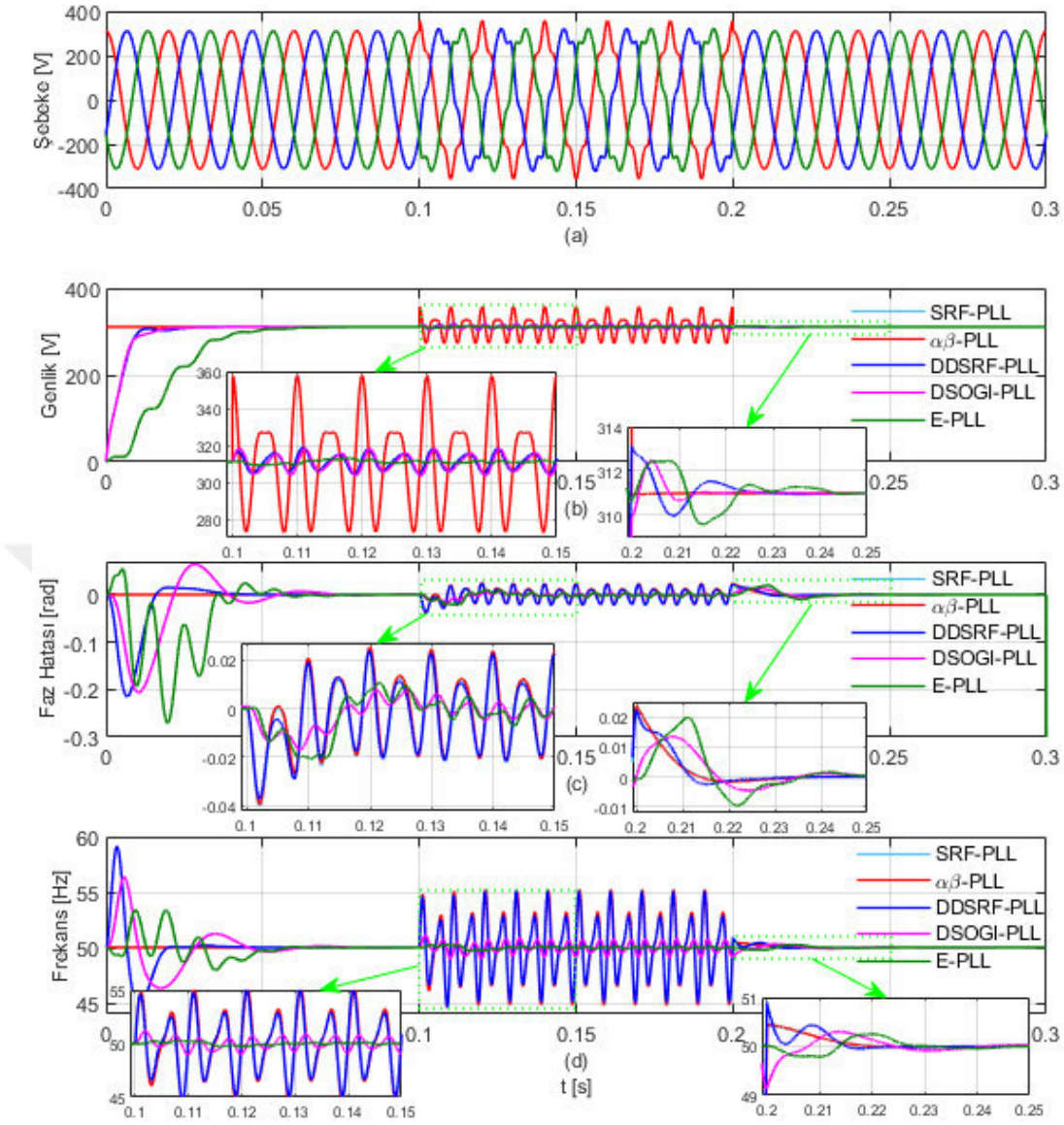
Yöntemleri kıyaslamak için üç farklı test koşulu oluşturulmuştur. Bunlar; dengesiz, harmonikli ve değişken frekanslı şebeke koşuludur. Tüm test koşulunda 0.1 saniyeye kadar şebeke gerilimleri dengeli olup 220 V efektif değere ayarlanmıştır. Temel şebeke frekansı 50 Hz olarak alınmıştır. 0.1-0.2 saniye diliminde test koşulu oluşturulup 0.2 saniyeden sonra faz gerilimler ilk haline dönüştürülmüştür. Her bir test sonuç grafiğinde birinci satırdaki şekil faz gerilimlerini, ikinci satırdaki şekil tahmin edilen şebeke genliğini, üçüncü satırdaki şekil faz açısı hatasını ve dördüncü satırdaki şekil ise tahmin edilen frekansı ifade etmektedir.

İlk testte (dengesiz şebeke durumu), A-fazı için 265 V efektif değer, B ve C-fazları için 200 V efektif değer kullanılmıştır. Şekil 2.12, yöntemlerin bu test koşuluna karşı verdikleri tepkileri göstermektedir. Şekilden de net bir şekilde anlaşılacağı üzerine klasik SRF-PLL ve $\alpha\beta$-PLL yöntemleri, şebeke bilgilerini tespit etmede oldukça büyük hatalara neden olmaktadır. Üstelik bu iki klasik yöntem FFPS ile FFNS'yi ayrı bir şekilde elde edemediği için tahmin edilen genlik, faz açısı ve frekans sinyalleri üzerinde ikinci harmonik bileşen ortaya çıkmaktadır. DDSRF-PLL, DSOGI-PLL ve EPLL yöntemlerinde ise FFNS bileşen FFPS bileşenden ayrıldığı için ikinci harmonik bileşenin etkisi görünmemektedir. Genel olarak, dengesiz şebeke durumunda DDSRF-PLL diğer yöntemlere göre hızlı bir performans göstermektedir. DSOGI-PLL şebeke bilgilerini belirlerken geçici durumda düşük aşma yüzdesine sahiptir. SRF-PLL ve $\alpha\beta$-PLL'nin bu test koşulunda performanslarının kabul edilebilir olmadığı ve aşırı derecede salınımlara yol açtığı görülmektedir.



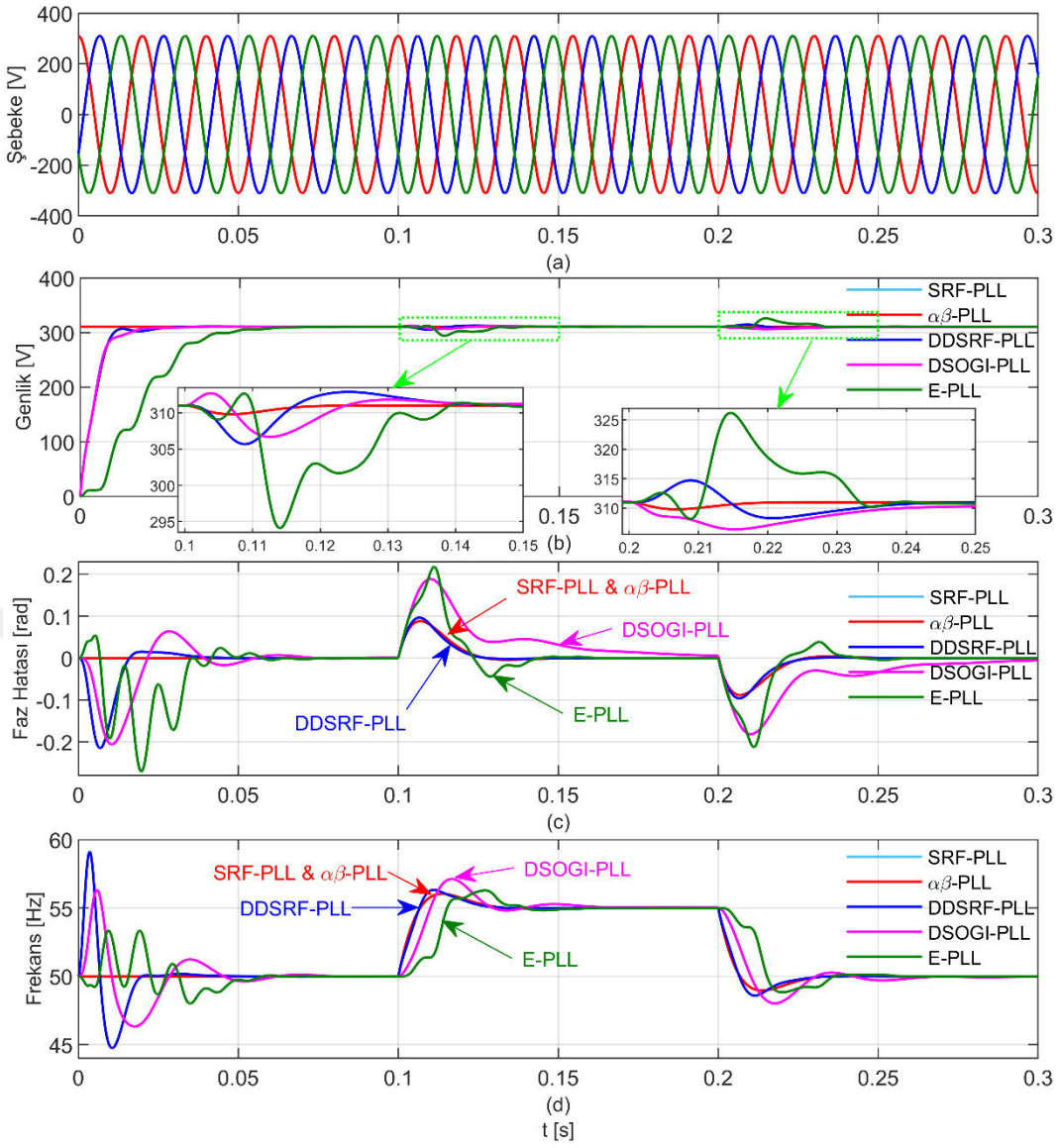
Şekil 2.12. Dengesiz şebeke koşulunda yöntemlerin tepkileri

İkinci testte (harmonikli şebeke durumu), şebeke gerilimlerine 5. ve 7. harmonik bileşenler eklenerek harmonikli şebeke durumu test edilmiştir. Harmonik bileşenlerin genliği 5. harmonik için şebeke geriliminin %10'u, 7. harmonik için şebeke geriliminin %5'ine karşılık gelmektedir. Şekil 2.13, bu test koşuluna karşı PLL yöntemlerinin performanslarını göstermektedir. Şekilden gözlemlendiği gibi harmonikli şebeke koşuluna karşı en iyi performans gösteren yöntem EPLL'dir. Çünkü EPLL yöntemi bant geçiren filtreye sahiptir. DDSRF-PLL, şebeke genlik bilgisini SRF-PLL ve *αβ*-PLL'ye göre daha doğru tespit etmesine rağmen faz açısı ve frekans tahmininde SRF-PLL ve *αβ*-PLL ile benzer hatalara neden olmaktadır. DSOGI-PLL'nin ise yöntemler arasında ortalama bir başarıya sahip olduğu söylenebilir.



Şekil 2.13. Harmonikli şebeke koşulunda yöntemlerin tepkileri

Son testte (değişken frekanslı şebeke durumu), şebeke frekansı basamak şeklinde 55 Hz'ye yükseltilmiştir. Şekil 2.14, bu test koşuluna karşı PLL yöntemlerinin tepkilerini göstermektedir. Sürekli durumda tüm yöntemler şebekenin genlik, faz açısı ve frekansını hatasız bir şekilde ortaya çıkartmaktadırlar. Sonuç olarak, SRF-PLL, *αβ*-PLL ve DDSRF-PLL frekans değişimlerine karşı hızlı tepki vermektedir. Fakat DSOGI-PLL'nin tepki süresi oldukça yavaştır. EPLL'nin ise bu teste karşı vasat bir performans sergilediği anlaşılmaktadır.



Şekil 2.14. Değişken frekanslı şebeke koşulunda yöntemlerin tepkileri

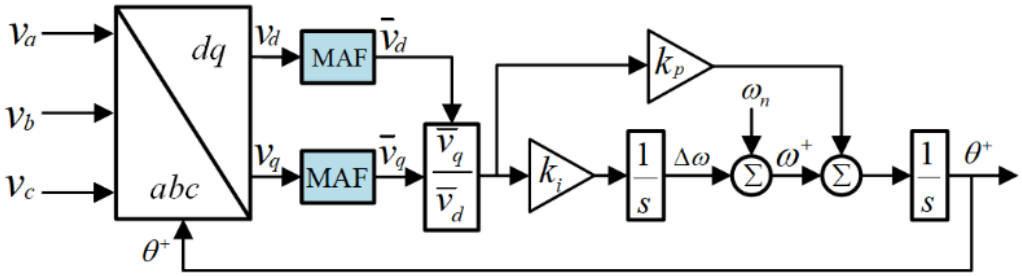
Tüm test koşullarından elde edilen sonuçlar değerlendirildiğinde özetle şu sonuçlar ortaya çıkmaktadır. SRF-PLL ve $\alpha\beta$-PLL, basit yapılı ve kolay uygulanabilir olmasına rağmen değişken frekanslı şebeke dışında dengesiz ve harmonikli şebeke durumlarında performansları oldukça kötüleşmektedir. DDSRF-PLL, DSOGI-PLL ve EPLL yöntemlerinin ön filtreleme mekanizmaları olduğu için dengesiz şebekelere karşı tepkileri arzu edilen düzeydedir. Harmonikli şebeke durumunda DDSRF-PLL'nin performansının yeterli olmadığı açıkça görülmektedir. Harmoniklere karşı tepkisi en iyi olan yöntem EPLL'dir. Fakat bu yöntem yüksek aşma yüzdeliğine ve uzun yerleşme süresine sahiptir. DDSRF-PLL'nin frekans değişimlerine karşı tepkisinin SRF-PLL ve

$\alpha\beta$-PLL yöntemleri kadar iyi olduğu anlaşılmaktadır. DSOGI-PLL ise frekans değişimlerine karşı oldukça yavaş tepki göstermektedir.

Literatürde artık klasikleşen bu yöntemlerden ve onların iyileştirilmiş versiyonlarından bahsettikten sonra bu bölümden sonra son zamanlarda çok fazla ön plana çıkan PLL yöntemlerine de değinilecektir. Bu PLL'ler, hareketli ortalama filtre (moving average filter, MAF) tabanlı ve geciktirilmiş sinyal iptali (delayed signal cancellation, DSC) tabanlı yöntemlerdir.

2.3.4. MAF tabanlı PLL yöntemleri

PLL'lerin filtreleme kabiliyetini geliştirmek için MAF çok fazla tercih edilir hale gelmiştir. MAF, uygun koşullar sağlandığı zaman ideal alçak geçiren filtre gibi davranabilen lineer sonlu dürtü tepkili (finite impulse response, FIR) bir filtredir (Golestan ve ark., 2013). Üstelik sadece bir MAF bloğu ile FFNS bileşen, harmonikler ve DC-offset gerilim yok edilebilir. Şekil 2.15'te genel olarak MAF tabanlı PLL yöntemlerin blok şeması verilmiştir. MAF blokları döngü içerisinde olabildiği gibi döngü öncesinde ön filtreleme aşamasında da yer alabilir. PLL'lerin ideal olmayan şebeke durumlarında dinamik performanslarını iyileştirmek için birçok MAF tabanlı PLL yöntem önerilmiştir. Bu yöntemler şu şekilde özetlenebilir.



Şekil 2.15. MAF tabanlı PLL yöntemi

Ghoshal ve John (2007) ile Freijedo ve ark. (2009a), frekans değişimlerine karşı adaptif olmayan MAF'ı Şekil 2.15'teki blok yapıya benzer şekilde SRF-PLL'nin içine ilave etmişlerdir. Adaptif olmayan MAF kullanıldığı için bu yöntem MA-PLL olarak adlandırılmaktadır. MA-PLL, frekans değişimi olmadığı sürece SRF-PLL'nin filtreleme kabiliyetini önemli ölçüde arttırmaktadır.

Marafão ve ark. (2004) ile Pádua ve ark. (2005), MA-PLL'nin aksine frekans değişimlerine karşı adaptif olan MAF tabanlı bir yöntem (MAF-PLL) geliştirmişlerdir. Frekans değişimi olsa bile adaptif MAF sayesinde MA-PLL'ye göre üstün bir filtreleme özelliği gösterir. MAF-PLL'nin mükemmel filtreleme kabiliyetinin olmasına rağmen MAF'ın pencere genişliğinin büyüklüğü sistemin dinamik performansını olumsuz yönde etkilemektedir.

Wang ve ark. (2014), MAF'ın pencere genişliğinden kaynaklı problemi azaltmak için diferansiyel işlemli bir MAF-PLL (differential operation MAF-PLL, DMAF-PLL) önermişlerdir. DMAF-PLL yönteminde MAF bloklarından önce özel bir oransal bileşen eklenir. Bu bileşen MAF bloğundan önce FFNS bileşeni bloke eder. FFNS bileşenin yok edilmesiyle birlikte MAF'ın pencere genişliği üç kat azaltılır. MAF'ın pencere genişliğinin azaltılması sistemin performansı büyük ölçüde hızlandırır.

Golestan ve ark. (2014a), tip-1 PLL benzeri (quasi-type-1 PLL, QT1-PLL) bir MAF tabanlı PLL yöntemi önermişlerdir. Bu yapının kontrol döngüsünde PI yerine sadece oransal bir kazanç vardır. PI'dan gelen integratör ortadan kaldırıldığı için hızlı bir geçici tepki sağlamaktadır. Fakat PI kullanılan MAF tabanlı PLL'ler kadar iyi filtreleme yeteneğine sahip değildir.

Golestan ve ark. (2014b), MAF'ın pencere genişliği etkisini azaltmak için MAF-PLL'nin döngü içerisine ileri faz dengeleyici operatörü (phase lead compensator) yerleştirmişlerdir. Önerdikleri bu yöntem sayesinde PLL'nin performansı iyileştirilmiştir ancak harmonik filtreleme kabiliyeti standart bir MAF-PLL kadar iyi değildir.

Robles ve ark. (2008) ile Robles ve ark. (2010), MAF'ı, PLL'nin kontrol döngüsünden önce ön filtreleme olarak kullanmışlardır. Bu yönteme, PMAF-PLL (pre-filtering MAF-PLL) adını vermişlerdir. PMAF-PLL frekans değişimi durumunda hatalara neden olmaktadır. Golestan ve ark. (2015d), PMAF-PLL'nin performansını iyileştirerek frekans değişimi durumunda hataları yok etmişlerdir. Önerdikleri yöntem EPMAF-PLL (enhanced PMAF-PLL) olarak bilinmektedir.

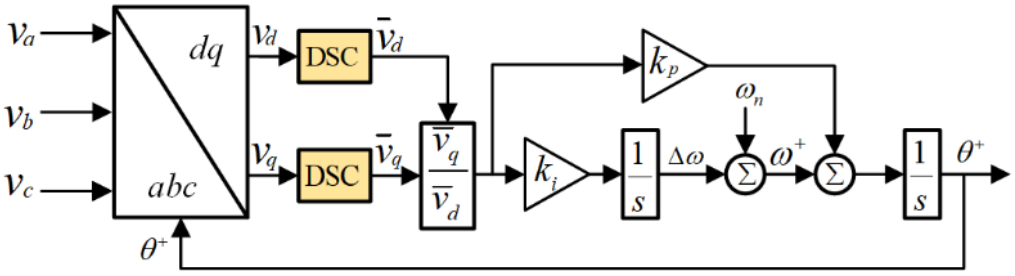
Ali ve ark. (2018a), EPMAF-PLL'nin frekans aşmasını azaltmak için bir yöntem ($\alpha\beta$EPMAF-PLL) önermişlerdir. Bu yöntemde, frekans ve faz açısı tahmini için SRF-PLL yerine $\alpha\beta$-PLL kullanılmaktadır. EPMAF-PLL ile kıyaslandığı zaman elde edilen iyileştirme kayda değer değildir.

Golestan ve ark. (2013), MAF tabanlı PLL'lerin performans analizinin yapıldığı geniş kapsamlı bir makale yayınlamışlardır. Ali ve ark. (2018b), MAF-PLL'lerin de

olduğu derleme bir makale yayınlamışlardır. Bu makalede, PLL yöntemlerinin blok şemaları haricinde deneysel sonuçlarına da yer verilmiştir.

2.3.5. DSC tabanlı PLL yöntemleri

Son yıllarda DSC operatörünü kullanarak geliştirilen PLL yöntemleri çok popüler hale geldi. DSC operatörü, MAF gibi uygun koşullar sağlandığı zaman ideal alçak geçiren filtre gibi davranabilen bir FIR filtredir. MAF'ın aksine tek bir DSC operatörü ile tüm harmonikler elenemez. Bunun için istenmeyen harmonikleri yok etmek için ihtiyaca göre birden fazla DSC operatörü kaskat bağlanmalıdır. Kaskat bağlanmış DSC operatörleri PLL'nin kontrol döngüsü içerisinde kullanıldıklarında sistemin performansını bir hayli yavaşlatmaktadır. Bundan dolayı, DSC operatörleri çoğunlukla ön filtreleme olarak döngü dışında kullanılmaktadır. Şekil 2.16'da döngü içerisinde kullanılmış DSC tabanlı PLL yönteminin temel blok şeması verilmiştir. Literatürde önerilen DSC tabanlı PLL yöntemleri şu şekilde sıralanabilir:



Şekil 2.16. DSC tabanlı PLL yöntemi

Awad ve ark. (2005) ile Svensson ve ark. (2006), sadece FFNS bileşeni yok etmek için bir adet DSC operatörünü ön filtre olarak kullanmışlardır. Tek DSC kullanımından dolayı önerdikleri yöntemin harmonik bileşenleri ve DC-offset'i yok etme özelliği yoktur.

Neves ve ark. (2010), genelleştirilmiş DSC tabanlı PLL (generalized DSC-PLL, GDSC-PLL) yöntemini önermişlerdir. Bu yöntemde beş adet DSC operatörü tüm harmonik bileşenleri yok edecek şekilde kaskat bağlanmıştır. Bu yöntemin en büyük dezavantajı, frekans tahmini için ikinci olarak paralel bağlanmış DSC operatörlerinin olmasıdır. Bu da, yapıyı oldukça karmaşık hale getirmektedir.

Wang ve Li (2010a), GDSC-PLL'deki yapısal karmaşıklığı azaltmak için DSC tabanlı bir PLL yöntemi önermişlerdir. Bu yöntemde DSC operatörleri için gerekli olan frekans bilgisi kendi döngü içerisinden elde edilmektedir. Bu sayede yapı karmaşık olmaktan çıkmıştır. Kaskat bağladıkları DSC operatörlerini hem döngü içerisinden hem

de ön filtreleme aşamasında kullanmışlardır. CDSC-PLL adını verdikleri yöntemde döngü içerisinde kullanılan DSC operatörlerin PLL'nin performans hızını azalttığını ifade etmişlerdir.

Golestan ve ark. (2015a), CDSC-PLL'deki yapıya benzer bir PLL yöntemi (EGDSC-PLL) önermişlerdir. CDSC-PLL'nin aksine EGDSC-PLL yönteminde DSC operatörleri için frekans geri beslemesi yapılmamaktadır. Tasarım ve uygulama açısından kolaylık sağlamasına rağmen harmonik bileşenlerin yanında frekans değişimi meydana geldiği durumda faz açısı ve frekans tespitinde hatalara neden olmaktadır.

Golestan ve ark. (2016), kaskat bağlanmış DSC operatörlerinden birini frekans adaptasyonlu diğerlerini frekans adaptasyonlu yapmayarak hibrit bir yöntem ortaya çıkartmışlardır. EDSC-PLL'de frekans değişimi durumunda yok edilemeyen FFNS bileşen, bu hibrit yöntemde yok edilmiştir. Bu sayede, filtreleme kabiliyeti geliştirilmiştir.

Golestan ve ark. (2014c) tarafından döngü içerisinden kullanılan kaskat bağlanmış DSC tabanlı PLL yöntemi (*dq*CDSC-PLL) ile ilgili detaylı analiz yapılmıştır. Üstelik *dq*CDSC-PLL yöntemi MAF-PLL ile karşılaştırılmıştır. Karşılaştırma sonucunda her iki yöntemin matematiksel olarak bir birine eşit olduğu gösterilmiştir.

MAF ve DSC operatörü ayrı ayrı kullanılabildikleri gibi aynı PLL içinde birlikte de kullanılabilirler. Bunlara en iyi iki örnek şu şekilde verilebilir:

Golestan ve ark. (2015b), ön filtreleme olarak DSC operatörünü, döngü içi filtreleme olarak MAF'ı kullanarak hibrit bir PLL (HPLL) elde etmişlerdir. HPLL, aynı zamanda QT1-PLL'nin iyileştirilmiş halidir.

Huang ve Rajashekara (2017), MAF ile DSC operatörünü PLL'nin döngü içerisinde kaskat bağlı olarak kullanmışlardır. DSC'nin döngü içinde kullanılmasından dolayı sistemin dinamik performansında yavaşlama meydana gelmektedir.

3. GELİŞTİRİLEN PLL YÖNTEMLERİ

Literatürdeki önerilen PLL yöntemlerine bakıldığı zaman, genellikle şebekede aynı anda tek çeşit hata durumu (dengesiz veya harmonikli veya değişken frekanslı şebeke) için PLL yöntemi etkili ve hatasız çalışabilmektedir. Aynı anda birden fazla hataya sahip şebeke durumları için geliştirilen PLL yöntemleri genellikle istenen sonucu verememektedir. Üstelik eviricinin şebekeye senkronize olma süresi uzamakta veya senkronizasyon hataları meydana gelmektedir. Daha önce de bahsedildiği gibi şebeke senkronizasyonunun hem hızlı hem de başarılı bir şekilde gerçekleştirilmesi gerekmektedir. Bu yüzden, birden fazla hataya sahip şebeke durumları (dengesiz, harmonikli, değişken frekanslı vb.) için PLL yönteminin hızlı ve etkin olması istenmektedir. Şebeke senkronizasyonunun hızlı ve doğru bir şekilde gerçekleştirilmesinin yanında PLL algoritmasının karmaşık yapıda olmaması gerekmektedir (Jaalam ve ark., 2016). Literatürde geliştirilen PLL algoritmaların birçoğunun oldukça karmaşık bir yapıya sahip olduğu görülmektedir. Geliştirilen PLL yöntemlerinin tamamına yakını klasik SRF-PLL yönteminin iyileştirilmesi üzerine kurgulanmıştır. Bu yöntemlerde ya ön filtreleme yapılarak SRF-PLL'nin başarısı arttırılmakta ya da herhangi iki yöntem hibritlenerek daha iyi sonuç veren bir PLL yöntemi ortaya çıkarılmaktadır. Bu tezde, yüksek doğrulukta ve hızda çalışabilen, aynı zamanda daha basit yapılı dört adet PLL yöntemi önerilmiştir.

3.1. Önerilen FH-PLL Yöntemi

3.1.1. Giriş

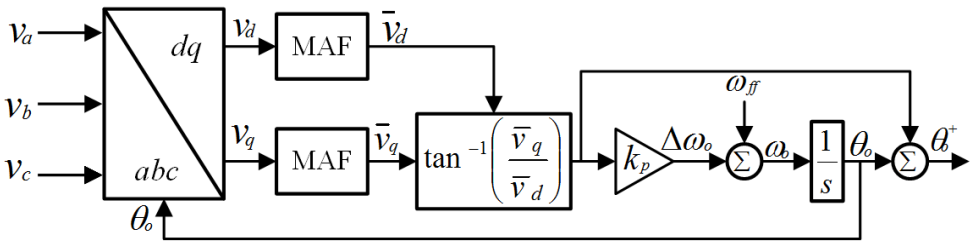
Son yıllarda, ideal olmayan şebeke koşullarında güvenilir ve sağlam bir senkronizasyon sağlamak için çeşitli PLL yöntemler geliştirilmiştir. Bunlardan biri hibrit PLL (hybrid PLL, HPLL) yöntemidir (Golestan ve ark., 2015b). HPLL, QT1-PLL (Golestan ve ark., 2014a) yönteminin iyileştirilmiş versiyonudur. Bu tez çalışmasında, hızlı dinamik performansa sahip ve baskın harmonikler için arttırılmış harmonik yok etme kabiliyetine sahip gelişmiş bir PLL yöntemi önerilmiştir (Sevilmiş ve Karaca, 2020). Önerilen yöntem, HPLL'nin iyileştirilmiş halidir.

Önerilen yöntem, ön filtreleme aşamasında çift dereceli harmonikler ile DC-offset gerilimini yok etmek için DSC operatörünü, FFNS bileşeni yok etmek için adaptif

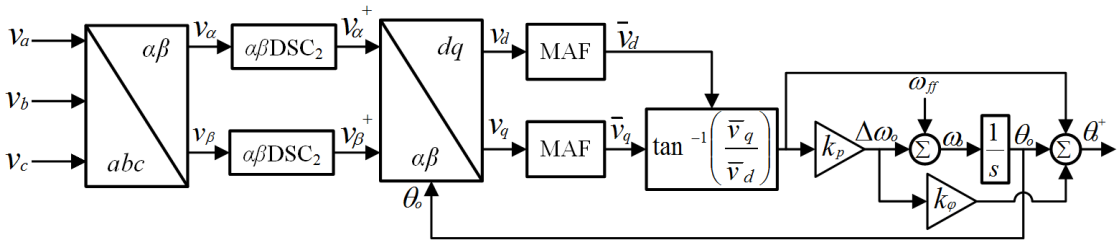
yapılı tüm geçiren filtreyi (all pass filter, APF) kullanmaktadır. Döngü içi filtresi olarak da MAF'ı içermektedir. HPLL'den farkı, FFNS'yi yok etmek için hariçten bir filtre yapısının (APF) kullanılmasıdır. HPLL'de FFNS bileşen döngü içerisindeki MAF ile yok edildiği için bu yöntemde MAF'ın pencere genişliği ($T/2$, T şebeke periyodu) şebeke periyodunun yarısına ayarlanmaktadır. Önerilen yöntemde, APF tarafından FFNS yok edildiği için döngü içerisindeki MAF'ın pencere genişliği ($T/6$) önemli ölçüde azaltılmaktadır. MAF'ın pencere genişliğinin azaltılması sistemin tepkisini hızlandırmaktadır. Bu yüzden, önerilen yöntem hızlı-hibrit PLL (fast-hybrid PLL, FH-PLL) olarak adlandırılmıştır.

Bu bölümde ilk olarak QT1-PLL ve HPLL yapıları anlatılmaktadır. Bir sonraki bölümde, önerilen FH-PLL yöntemine, yöntemin kararlılık analizine, parametre tasarımına ve oluşturulan modele ait doğruluğuna yer verilmektedir. Daha sonra, FH-PLL yöntemi, QT1-PLL ve HPLL yöntemleri ile farklı şebeke koşullarında deneysel olarak karşılaştırılmaktadır. Elde edilen deneysel sonuçlara göre yöntemlerin avantajları ve dezavantajları genel sonuçlar bölümünde özetlenmektedir.

Şekil 3.1'de QT1-PLL'nin blok şeması verilmiştir. MAF'ın pencere genişliğinin negatif bir etkiye sahip olmasından dolayı sistemin dinamik tepkisini hızlandırmak için bu yöntemlerin kontrol döngülerinde PI denetleyici kullanılmamaktadır. Bunun yerine, basit bir oransal kazanç (k_p) kullanılmaktadır. Kontrol döngülerinde aynı zamanda faz açısı çıkışına (θ_o^+) doğru ileri besleme yolu bulunmaktadır. Bu ileri besleme yolu sayesinde orijinde ilave bir açık çevrim kutbu meydana gelir. Bu PLL yönteminin tipi, tip-1 sistem gibi görünse de aslında tip-2'dir. Böylece, frekans değişimi meydana geldiği zaman sürekli durum faz hataları yok edilmiş olur.



Şekil 3.1. QT1-PLL'nin blok yapısı



Şekil 3.2. HPLL'nin blok yapısı

QT1-PLL yöntemi, sadece tek dereceli harmonikler yok edilmek istenildiğinde hızlı ve hatasız bir şekilde çalışır. Çift dereceli harmoniklerin ve DC-offset gerilimin de yok edilmesi ihtiyacı doğarsa MAF'ın pencere genişliğinin (T_ω) T/2'den T'ye yükseltilmesi gerekir. Burada T şebeke periyodudur ve 50 Hz sistemler için 20 ms'dir. Sonuç olarak, T_ω'nin büyük seçilmesi PLL'nin yerleşme süresini önemli ölçüde arttırır. Bundan dolayı, QT1-PLL şebeke etkileşimli eviricilerin şebeke senkronizasyonu için kabul edilebilir olmaktan çıkar. Bu sorunun üstesinden gelebilmek için HPLL yöntemi önerilmiştir.

Şekil 3.2'de HPLL'nin blok şeması verilmiştir. HPLL yöntemi QT1-PLL'nin aksine PLL kontrol döngüsünden önce ($\alpha\beta$ eksen takımında) DSC operatörleri ($\alpha\beta$DSC) içermektedir. DSC operatörü, sonlu dürtü tepkili (linear impulse response, FIR) bir filtredir. $\alpha\beta$DSC operatörünün s-domenindeki transfer fonksiyonu şu şekilde karakterize edilebilir:

$$\alpha\beta\mathrm{DSC}_n(s) = \frac{1 + e^{\frac{j2\pi}{n}} e^{\frac{-T}{n}s}}{2} \tag{3.1}$$

Burada n gecikme faktörü, T ise temel şebeke periyodudur.

Çift dereceli harmonikleri ve DC-offset gerilimini elimine etmek için n, 2 seçilmelidir. n = 2 için $\alpha\beta$DSC$_2$'nin transfer fonksiyonu,

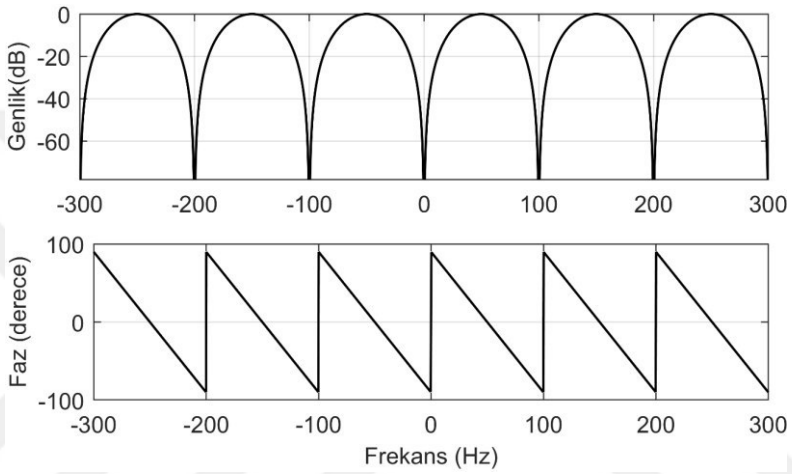
$$\alpha\beta\mathrm{DSC}_2(s) = \frac{1 - e^{\frac{-T}{2}s}}{2} \tag{3.2}$$

şeklinde elde edilir.

(3.2)'de s yerine $j\omega$ konulursa $\alpha\beta$DSC$_2$'nin frekans cevabı aşağıdaki gibi olur.

$$\alpha\beta\mathrm{DSC}_2\left(\mathrm{j}\omega\right)=\left|\cos\left(\frac{\omega\mathrm{T}}{4}-\frac{\pi}{2}\right)\right|\angle-\left(\frac{\omega\mathrm{T}}{4}-\frac{\pi}{2}\right) \tag{3.3}$$

Şekil 3.3 $\alpha\beta\mathrm{DSC}_2$ operatörünün bode diyagramını göstermektedir. Şekilden gözlemlendiği gibi $\alpha\beta\mathrm{DSC}_2$ operatörü temel şebeke frekansında (50 Hz) birim kazanç, … –300 Hz, –200 Hz, –100 Hz, 0 Hz, +100 Hz, +200 Hz, +300 Hz… frekanslarında sıfır kazanç sağlamaktadır. Bu, $\alpha\beta\mathrm{DSC}_2$ operatörünün çift dereceli harmonikler ile DC-offset gerilimi yok ettiği anlamına gelir.



Şekil 3.3. $\alpha\beta\mathrm{DSC}_2$ operatörüne ait bode diyagram

Şekil 3.3'ten görüldüğü gibi, bu operatör FFPS bileşen (frekansı 50 Hz olan sinyal) ile tek dereceli harmonikleri, temel şebeke frekansında sıfır faz kayması ile geçirir. Yani, FFPS ve tek dereceli harmonikler herhangi bir değişikliğe uğramaz. Fakat frekans değişimi meydana geldiği zaman $\alpha\beta\mathrm{DSC}_2$ operatörünün çıkışında bir faz kayması meydana gelir. Genel olarak, PLL kontrol döngüsünden elde edilen frekans geri beslemesi yapılarak $\alpha\beta\mathrm{DSC}_2$ operatörünün adaptif olması sağlanabilir. Ancak bu PLL'yi kararsız hale getirebilir (Neves ve ark., 2011). Bu zorluğun üstesinden gelebilmek için adaptif olmayan $\alpha\beta\mathrm{DSC}_2$ operatörün kullanımından kaynaklı faz hatası PLL çıkışında kompanze edilir.

HPLL yönteminde, adaptif olmayan $\alpha\beta\mathrm{DSC}_2$ operatörün kullanımı tercih edilmektedir. Bundan dolayı frekans değişimi durumu için faz kompanzasyonu şu şekilde yapılır:

Şebeke frekansının $\omega_o = \omega_{ff} + \Delta\omega_o$ olduğunu varsayalım. Burada ω_{ff} temel şebeke frekansını, $\Delta\omega_o$ ise şebeke frekansı değişim miktarını ifade etmektedir. (3.3) kullanılarak faz kayması (3.4)'teki gibi elde edilir.

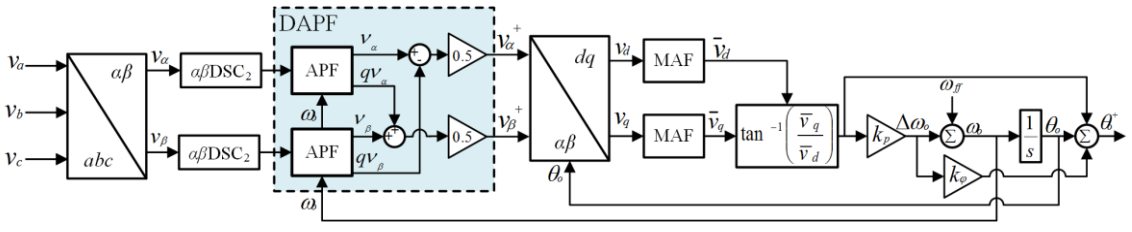
$$\angle \alpha\beta DSC_2\left(j\omega_o\right) = -\frac{T}{4}\Delta\omega_o \tag{3.4}$$

(3.4)'ten anlaşılacağı üzerine adaptif olmayan $\alpha\beta$DSC$_2$ operatörün faz açısı olması gerekenden $(T/4)\Delta\omega_o$ kadar geri fazdadır. Denklemdeki eksi işareti fazın geride olduğu anlamına gelmektedir. Böylece, Şekil 3.2'den görüldüğü gibi PLL çıkışına $k_\varphi = T/4$ eklenmesiyle faz hatası basitçe yok edilebilir.

Çift dereceli harmonikler ve DC-offset gerilimi $\alpha\beta$DSC$_2$ operatörüyle yok edildiği için geriye kalan tek dereceli harmonikler, MAF'ın pencere genişliği $T/2$ alınarak filtrelenebilir. Hâlbuki $T/2$ pencere genişliği nispeten yüksek bir değerdir. Bu yüzden PLL'nin performansı yeterince hızlı hale gelemez. Diğer yandan pencere genişliğinin $T/2$'den daha düşük değere ayarlanması FFNS bileşenin yok edilemeyeceği anlamına gelir. Bu tezde, bu problemlerin üstesinden gelebilmek için FH-PLL yöntemi önerilmiştir.

3.1.2. FH-PLL yönteminin tasarımı

Şekil 3.4 önerilen FH-PLL'nin blok yapısını göstermektedir (Sevilmiş ve Karaca, 2020). Şekilden görüldüğü gibi FH-PLL ön filtreleme aşamasında iki adet DSC operatörünü ve iki adet tüm geçiren filtre (dual all-pass-filter, DAPF) yapısını içermektedir. Kontrol döngüsü içerisinde ise MAF filtre kullanmaktadır. Sistemin frekans değişimlerine karşı adaptif olabilmesi için tahmin edilen frekans (ω_o) DAPF bloğuna geri besleme yapılmaktadır. Bu sayede, frekans değişimi meydana geldiğinde adaptif DAPF, şebeke gerilim dengesizliğinin üstesinden gelebilmektedir.



Şekil 3.4. FH-PLL'nin blok şeması

Üç fazlı şebekelerin çoğunluğunda FFNS harmonik bileşen (-1. harmonik, -50 Hz) ve tek dereceli tekrarlanmayan harmonikler (-5. harmonik, +7. harmonik, -11. harmonik, +13. harmonik, …) $\alpha\beta$ eksen takımında baskın bozukluklardır. Park dönüşümünden ($\alpha\beta \rightarrow dq$) sonra bu harmonik bileşenler dq eksen takımında çift dereceli harmoniklere dönüşmektedir (Golestan ve ark., 2012). Baskın harmonik bileşenler Çizelge 3.1'de özetlenmiştir.

Çizelge 3.1. Baskın harmonik bileşenler

Harmonik derecesi	…	-11	-5	-1	+1	+7	+13	…
$\alpha\beta$-eksen (Hz)	…	-550	-250	-50	50	350	650	…
dq-eksen (Hz)	…	-600	-300	-100	0	300	600	…

Şekil 3.4'teki FH-PLL yapısında $\alpha\beta$DSC$_2$ operatörü ve DAPF bloğu sırasıyla DC-offset gerilimi ve FFNS bileşeninin yok edilmesinden sorumludur. FFNS ve DC-offset, PLL'nin kontrol döngüsünden önce ortadan kaldırıldığı için MAF geriye kalan baskın harmoniklerin filtrelenmesinden sorumludur. Çizelge 3.1'den görüldüğü gibi dq eksen takımında geriye kalan baskın harmonikler, frekansları ±300 Hz, ±600 Hz olan bileşenlerdir. Bu yüzden MAF'ın pencere genişliği $T/6$ değerine ayarlanabilir. Bu değer HPLL'nin pencere genişliğinden ($T/2$) üç kat küçüktür. Bu sayede, FH-PLL daha hızlı bir performans gösterir.

FH-PLL yapısında kullanılan APF'nin tasarımı şu şekildedir:

Şekil 3.4'te görüldüğü gibi FFNS bileşeni yok etmek için PLL kontrol çevriminden önce APF yapısı önerilmiştir. APF'nin filtreleme kabiliyeti olmamasına rağmen onun bazı avantajları vardır. Bunlar; hızlı tepki vermesi, kolay uygulanabilir olması, basit yapılı olması ve düşük hesap yüküne sahip olması (Beheshtaein ve ark., 2018).

Birinci dereceden APF, matematiksel olarak şöyle ifade edilir:

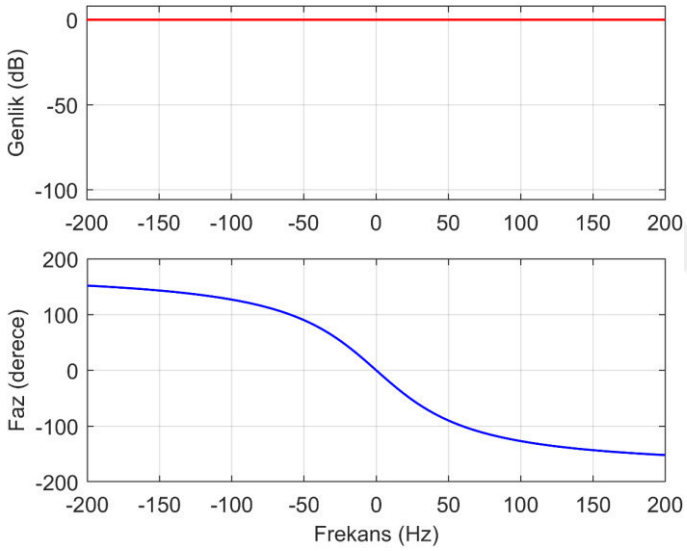
$$\mathrm{APF}(s) = \frac{\omega_o - s}{\omega_o + s} \tag{3.5}$$

Burada ω_o tahmin edilen frekansı ifade etmektedir.

(3.5)'te s yerine $j\omega$ konulup bazı matematiksel düzenlemeler yapılırsa APF'nin genlik ve faz tepkisi şu şekilde elde edilir:

$$\mathrm{APF}(j\omega) = 1\angle -2\arctan\left(\frac{\omega}{\omega_o}\right) \tag{3.6}$$

Şekil 3.5 APF'nin bode grafiğini göstermektedir. Şekilden gözlemlenebildiği gibi APF tüm frekanslar için birim kazanç sağlamaktadır. Yani, sinyallerin genliğine herhangi bir etkisi yoktur. APF, sadece giriş sinyalinin faz açısını değiştirmektedir. Şekilden anlaşılacağı üzere temel şebeke frekansında APF, 90 derecelik faz kayması meydana getirmektedir.



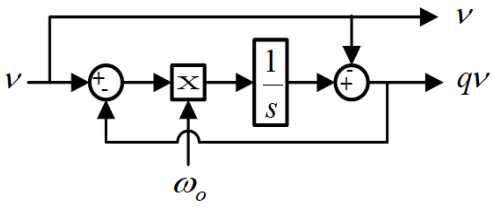
Şekil 3.5. APF'nin bode diyagramı

(3.5) kullanılarak APF'in blok şeması kolayca elde edilebilir. Şekil 3.6'dan görüldüğü gibi v çıkış sinyali, giriş sinyalinin birebir halidir. qv çıkış sinyali ise giriş sinyalinin 90 derece geri fazlı halidir.

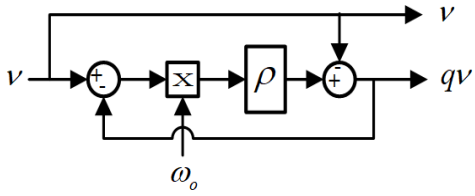
Şekil 3.6(a)'daki APF sürekli zaman domeninde modellenmiştir. Fakat pratik uygulamalar için ayrık zaman domeninde modellenmesi gerekmektedir. APF'yi Şekil 3.6(b)'deki gibi ayrık zaman domeninde modellemek için üçüncü dereceden Adams-Bashforth yöntemi kullanılmıştır (Ciobotaru ve ark., 2006). Bu yöntem ile ayrık zaman domeninde modellenmesi gereken integratör yaklaşık olarak şu şekilde elde edilir:

$$\frac{1}{s} \Leftrightarrow \rho = \frac{T_s}{12} \frac{23z^{-1} - 16z^{-2} + 5z^{-3}}{1 - z^{-1}} \tag{3.7}$$

Burada T_s örnekleme zamanını ifade etmektedir.



(a)



(b)

Şekil 3.6. APF'nin blok şeması (a) Sürekli zaman domeninde (b) Ayrık zaman domeninde

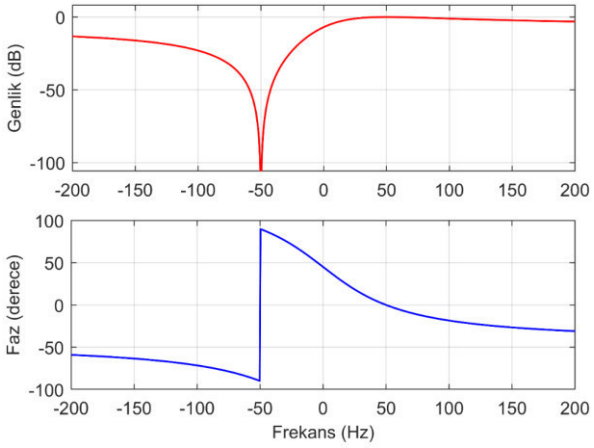
Şekil 3.4'te verilen FH-PLL yapısındaki DAPF bloğunun girişi ile çıkışı arasındaki ilişki uzay vektör gösterimi olarak

$$v_\alpha^+(\mathrm{s}) + \mathrm{j}\, v_\beta^+(\mathrm{s}) = \underbrace{\frac{1 + \mathrm{j}\mathrm{APF}(\mathrm{s})}{2}}_{\mathrm{H(s)}} \left(v_\alpha(\mathrm{s}) + \mathrm{j}\, v_\beta(\mathrm{s}) \right) \tag{3.8}$$

bu şekilde ifade edilir. Burada *H(s)*, DAPF'nin transfer fonksiyonudur. Şekil 3.7'de *H(s)*'ye ait bode çizimi verilmiştir. Şekil gösteriyor ki *H(s)*, –50 Hz'de sıfır kazanca, 50 Hz'de birim kazanca sahiptir. Bu diyagram, DAPF bloğunun FFNS bileşeni yok ettiğini ve FFPS bileşeni direkt geçirdiğini gösterir.

FH-PLL yapısında kullanılan MAF'ın tasarımı şu şekildedir:

MAF, uygun koşullar sağlandığı zaman ideal alçak geçiren filtre gibi davranabilen lineer sonlu dürtü tepkili (linear impulse response, FIR) bir filtredir (Golestan ve ark., 2013).



Şekil 3.7. DAPF'nin bode grafiği

s-domeninde MAF'ın transfer fonksiyonu şu şekilde tanımlanabilir:

$$\mathrm{MAF}(s) = \frac{1 - e^{-T_\omega s}}{T_\omega s} \tag{3.9}$$

Burada T_ω, MAF'ın pencere genişliğini temsil etmektedir. MAF sürekli duruma ulaşmak için pencere genişliği kadar bir zamana gereksinim duymaktadır. Bu yüzden T_ω'nin arttırılması sistemin tepki süresinin artmasına neden olmaktadır.

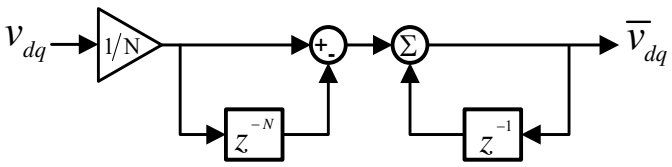
(3.9)'da s yerine $j\omega$ konulup bazı matematiksel düzenlemeler yapılırsa MAF'ın genlik ve faz tepkisi şu şekilde ifade edilebilir:

$$\mathrm{MAF}(j\omega) = \left| \frac{\sin\left(\frac{\omega \mathrm{T}_\omega}{2}\right)}{\left(\frac{\omega \mathrm{T}_\omega}{2}\right)} \right| \angle -\left(\frac{\omega T_\omega}{2}\right) \tag{3.10}$$

Pratik uygulamalarda MAF'ı kullanabilmek için *z*-domeni ifadesi gereklidir. MAF'ın *z*-domeni ifadesi

$$\mathrm{MAF}(z) = \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} \tag{3.11}$$

şeklinde elde edilir. Burada $N = T_\omega / T_s$ olmak üzere MAF'ın derecesini ifade eden bir tamsayıdır. T_s örnekleme zamanıdır. MAF'ın *z*-domenindeki blok yapısı Şekil 3.8'de verilmiştir.



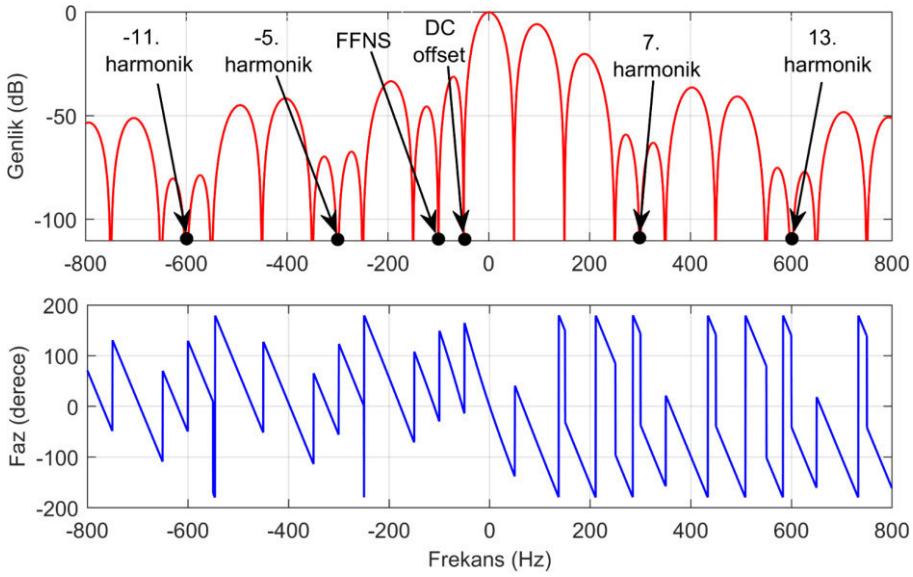
Şekil 3.8. MAF'ın blok şeması

Sonuç olarak, DSC, DAPF ve MAF bloklarını içeren tüm filtrenin matematiksel fonksiyonu şu şekilde ifade edilir:

$$G(s)=\left(\underbrace{\frac{1+e^{\frac{-T}{2}s}}{2}}_{dq\text{DSC}_2}\right)\left(\underbrace{\frac{1+j\dfrac{\omega_o(1-j)-s}{\omega_o(1+j)+s}}{2}}_{dq\text{DAPF}}\right)\left(\underbrace{\frac{1-e^{-T_\omega s}}{T_\omega s}}_{\text{MAF}}\right) \tag{3.12}$$

Burada, tüm filtreler *dq* eksen takımında gösterilecek şekilde düzenlenmiştir.

Şekil 3.9, (3.12)'nin bode diyagramını göstermektedir. Şekilden görüldüğü gibi G(s), 0 Hz'de birim kazanç sağlamaktadır. Yani, FFPS bileşen herhangi bir değişikliğe uğramamaktadır. Çizelge 3.1'de verilen tüm baskın harmonik bileşenler ve DC-offset gerilim yok edilmektedir.

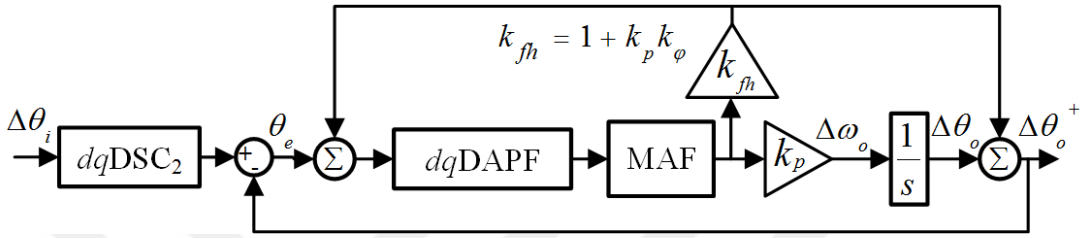


Şekil 3.9. Tüm filtrenin bode grafiği

*αβ*DSC operatöründe n = 2, faz kompanzasyon katsayısı $k_\varphi = T/4$ ve MAF'ın pencere genişliği $T_\omega = T/6$ olarak ayarlandığına göre PLL'nin kontrol döngüsündeki k_p

kazancının yeni ve uygun değeri yeniden hesaplanmalıdır. FH-PLL, lineer olmayan bir sistem olduğu için k_p değerini ayarlamak için FH-PLL'nin lineer modelinin çıkartılmasına ihtiyaç vardır. Şekil 3.10, FH-PLL'nin lineer modelini göstermektedir. DAPF'nin lineer eşitliği şöyle ifade edilebilir (Golestan ve ark., 2019)

$$dq\text{DAPF}(s) = 0.5\frac{s+2\omega_{ff}}{s+\omega_{ff}} \tag{3.13}$$



Şekil 3.10. FH-PLL'nin lineer modeli

Şekil 3.10'da verilen lineer modele dayanarak FH-PLL'nin kontrol döngüsünün açık çevrim transfer fonksiyonu

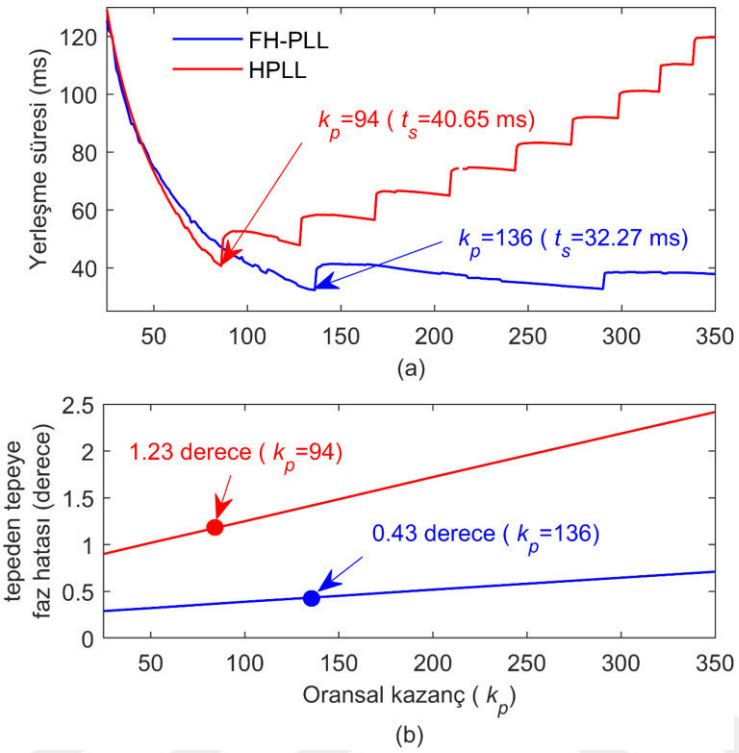
$$\text{G}_{ol}(s) = \frac{\Delta\theta_o^+(s)}{\theta_e} = \left(\frac{dq\text{DAPF(s) MAF}(s)}{1 - dq\text{DAPF(s) MAF}(s)(k_{fh})}\right)\left(k_{fh} + \frac{k_p}{s}\right) \tag{3.14}$$

olarak yazılabilir. Burada $k_{fh} = 1 + k_p k_\varphi$. Böylece faz hatasının transfer fonksiyonu şu şekilde ifade edilebilir.

$$\text{G}_e(s) = \frac{\theta_e}{\Delta\theta_i(s)} = \left(dq\text{DSC}_2(s)\right)\left(\frac{1}{1+G_{ol}(s)}\right) \tag{3.15}$$

(3.15)'i kullanarak FH-PLL ile HPLL'nin faz sıçraması koşulu altında k_p'nin fonksiyonu olarak %2'lik hataya göre yerleşme zamanı değişimi Şekil 3.11(a)'da verilmiştir. Gözlemlendiği gibi minimum yerleşme süresi (t_s) için HPLL'nin k_p değeri 94 seçilmelidir. FH-PLL'nin k_p değeri minimum t_s için 136 seçilmelidir. FH-PLL'nin yerleşme süresi, HPLL'ninkinden yaklaşık 8.38 ms (yaklaşık yarım periyot) daha küçüktür. Daha önce söylendiği gibi FH-PLL'nin ön filtreleme aşamasında FFNS bileşeni

yok etmek için DAPF kullanıldığı için MAF'ın pencere genişliği HPLL'ye göre üç kat azaltılmıştır. Bu sayede FH-PLL, HPLL'ye göre daha hızlı performans sergilemektedir. Bu durum Şekil 3.11(a) ile açık bir şekilde doğrulanmaktadır.

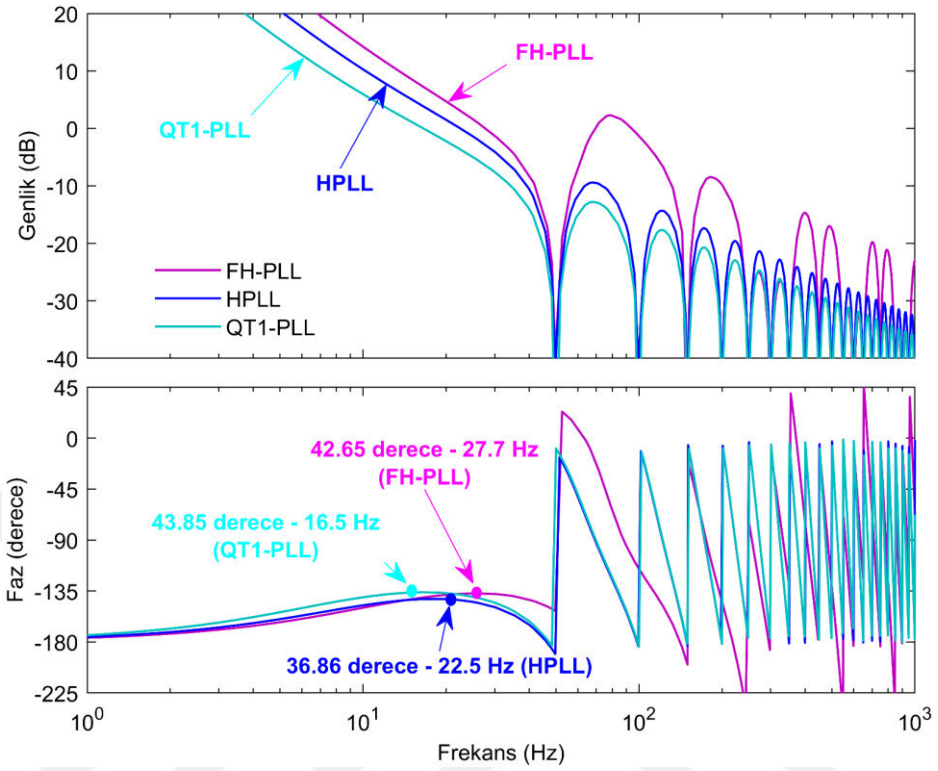


Şekil 3.11. (a) Faz sıçraması durumunda k_p'ye göre yerleşme süresi değişimi **(b)** Dengesiz, harmonikli ve frekans değişimi durumunda FH-PLL ve HPLL'nin tepeden tepeye faz hataları

Şekil 3.11(b) dengesiz, harmonikli ve + 2 Hz frekans değişimi durumunda FH-PLL ve HPLL'nin tepeden tepeye faz hatalarını göstermektedir. Dengesiz ve harmonikli şebeke koşulları için $V_1^+ = 1$ p.u., $V_1^- = 0.2$ p.u., $V_5^- = 0.1$ p.u., and $V_7^+ = V_{11}^- = V_{13}^+ = 0.05$ p.u. alınmıştır. Şekilden görüldüğü gibi HPLL'nin faz hatası tepeden tepeye 1.23° iken FH-PLL'nin faz hatası tepeden tepeye 0.43°'dir. Yani, FH-PLL'nin faz hatası HPLL'nin faz hatasından yaklaşık üç kat küçüktür. Sonuç olarak, FH-PLL hem tepki süresi hem de faz hatası bakımından HPLL'ye göre üstündür.

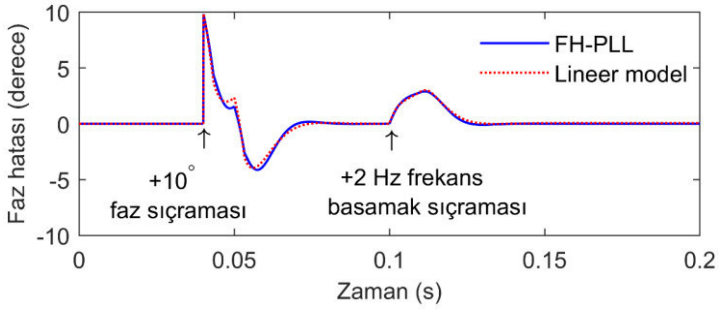
Tüm yöntemlerin açık çevrim bode grafikleri Şekil 3.12'de verilmiştir. FH-PLL'nin faz marjini (phase margin, PM) 27.7 Hz'de 42.65°'dir. Diğer yandan, QT1-PLL ve HPLL'nin PM'leri sırasıyla 43.85° (16.5 Hz'de) ve 36.86° (22.5 Hz'de) olarak elde edilmiştir. Bu şekil aynı zamanda tüm yöntemlerin kararlı olduklarını gösterir. Gözlemlendiği gibi FH-PLL'nin PM'si HPLL'nin PM'sinden daha büyüktür. Sonuç

olarak, FH-PLL HPLL'ye kıyasla daha kararlıdır. Üstelik FH-PLL en büyük köşe frekansına sahiptir.



Şekil 3.12. Yöntemlerin açık çevrim bode diyagramları

Son olarak, FH-PLL'nin lineer modelinin doğruluğunu değerlendirmek için FH-PLL'nin gerçek modeli ile lineer modeli karşılaştırılmıştır. Şekil 3.13'den gözlemlendiği gibi FH-PLL'nin lineer modeli, gerçek modelin dinamik davranışını yüksek doğrulukla tahmin etmektedir.

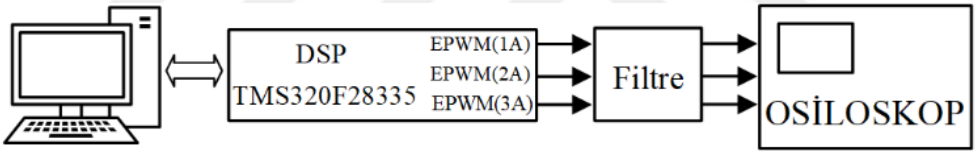


Şekil 3.13. FH-PLL'nin doğruluk değerlendirilmesi

3.1.3. Simülasyon ve deneysel sonuçlar

Bu bölümde, önerilen FH-PLL'nin etkinliği simülasyon ve deneysel sonuçlar ile doğrulanmıştır. Simülasyon çalışmaları MATLAB/Simulink ortamında gerçekleştirilmiştir. Deneysel sonuçlar ise TMS320F28335 işlemcili DSP kontrol seti kullanılmıştır. Simülasyon ve deneysel çalışmalar süresince örnekleme frekansı 10 kHz, nominal şebeke frekansı $2\pi 50$ rad/s ve şebeke gerilimlerinin genlik değeri 1 p.u. olarak alınmıştır.

Deneysel gerçekleştirmeler için üç fazlı şebeke faz gerilimleri DSP içerisinde üretilmiştir. Aynı zamanda PLL yöntemleri de DSP içerisinde işletilmiştir. Şebeke faz gerilimleri ile tahmin edilen şebeke frekansı ve faz açısı hatasını osiloskop ekranında gözlemleyebilmek için DSP'nin gelişmiş darbe genişlik modülatörü (enhanced pulse width modulator, ePWM) kullanılmıştır. ePWM çıkışındaki sinyaller harici bir alçak geçiren filtreden geçirilerek osiloskop kanallarına iletilmiştir. Şekil 3.14 deneysel kurulum şemasını göstermektedir.



Şekil 3.14. Deneysel kurulum

Çizelge 3.2'de, PLL yöntemlerinin kontrol parametreleri verilmiştir. Karşılaştırılan PLL yöntemlerinin hiç birinde, kullanılan MAF'lar adaptif değildir.

Çizelge 3.2. PLL'lerin kontrol parametreleri

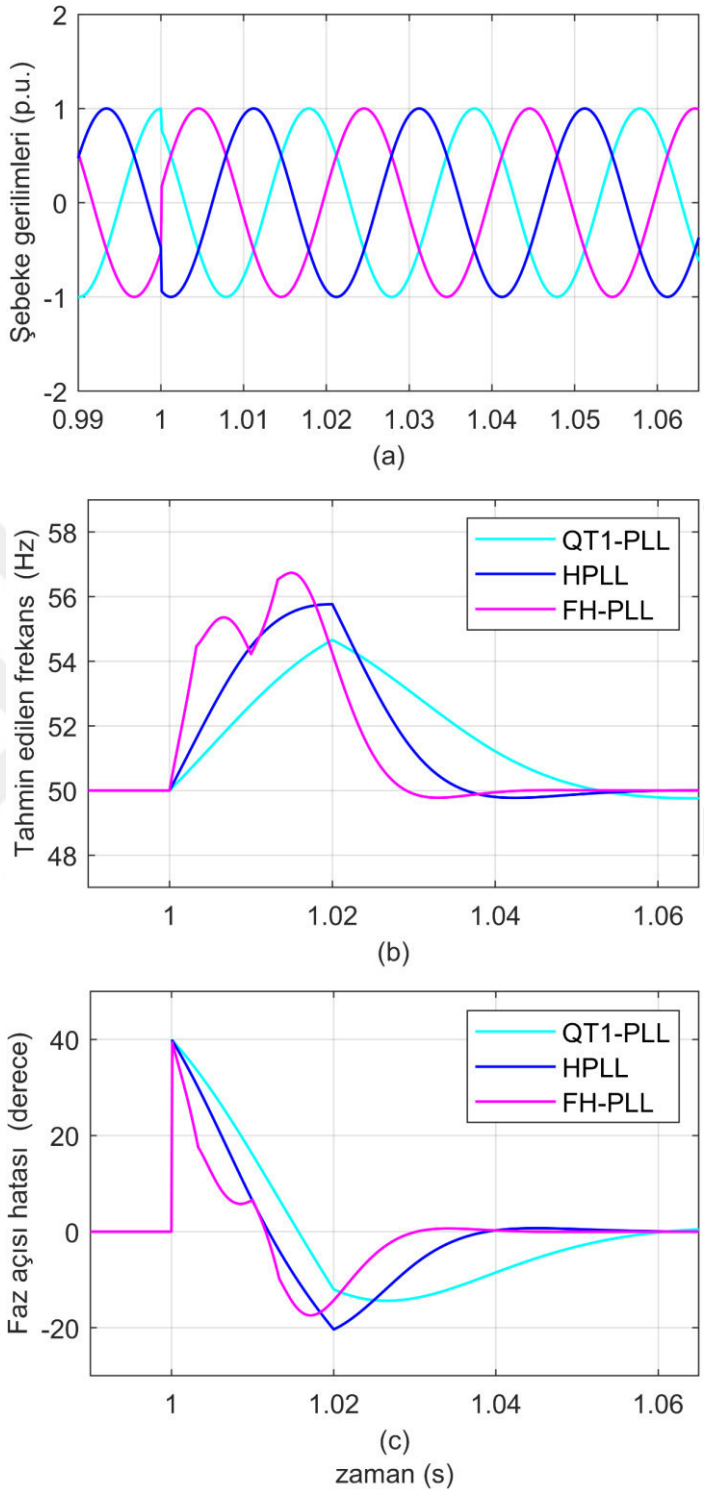
Parametreler	FH-PLL	QT1-PLL	HPLL
Oransal kazanç, k_p	136	49.8	94
Faz kompansatörün kazancı, k_φ	0.005	-	0.005
MAF'ın pencere genişliği, T_ω	0.0033 s	0.02 s	0.01 s

Karşılaştırma için beş farklı test koşulu oluşturulmuştur. Her bir test koşulu için simülasyon ve deneysel sonuçlar birlikte verilmiştir. Her bir test sonucu için üç adet grafik verilmiştir. İlk grafik test koşulu için oluşturulan şebeke gerilimlerini, ikinci grafik tahmin edilen şebeke frekansını ve üçüncü grafik tespit edilen faz açısı hatasını göstermektedir. Elde edilen grafiklerden anlaşılacağı üzere deneysel sonuçlar simülasyon sonuçları ile birebir örtüşmektedir. Detaylı bulgular, Çizelge 3.3'te özetlenmiştir.

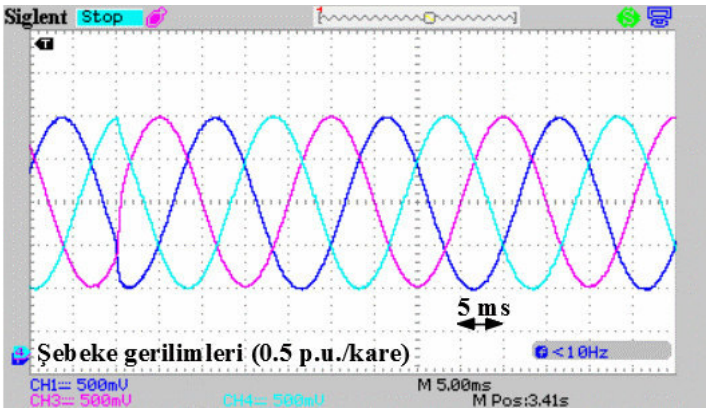
Çizelge 3.3. Simülasyon ve deneysel sonuçların ayrıntıları

	FH-PLL	QT1-PLL	HPLL
+40° faz sıçraması			
%2'lik yerleşme süresi	28.65 ms (1.43 periyot)	56.85 ms (2.84 periyot)	36.7 ms (1.835 periyot)
Frekans aşması	6.74 Hz	4.66 Hz	5.77 Hz
Faz aşması	17.8° (%44.5)	14.4° (%36)	19.6° (%49)
+2 Hz frekans değişimi			
%2'lik yerleşme süresi	23.75 ms (1.19 periyot)	70 ms (3.5 periyot)	40.5 ms (2.03 periyot)
Frekans aşması	0.028 Hz (%1.4)	0.1 Hz (%5)	0.05 Hz (%2.5)
Faz aşması	2.9°	6°	4.4°
DC-offset			
%0.2'lik yerleşme süresi	31.3 ms (1.565 periyot)	60.5 ms (3.025 periyot)	40.2 ms (2.01 periyot)
Frekans aşması	1.32 Hz	0.5 Hz	0.91 Hz
Faz aşması	7.8°	4.3°	6.3°
C tipi arıza			
%2'lik yerleşme süresi	40 ms (2 periyot)	-	-
Tepeden tepeye frekans hatası	0 Hz	0.32 Hz	0.61 Hz
Tepeden tepeye faz hatası	0°	2.35°	3.5°
Harmonik bileşen			
Tepeden tepeye frekans hatası	0.1 Hz	0.17 Hz	0.13 Hz
Tepeden tepeye faz hatası	0.43°	1.47°	1.23°
Faz Marjin (PM)	42.65°	43.85°	36.86°

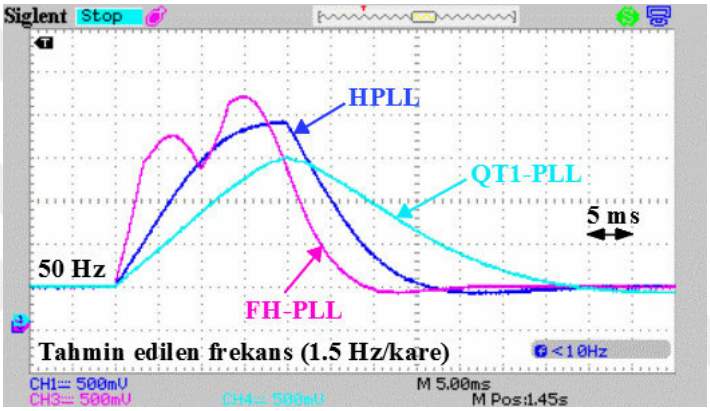
İlk testte, şebeke gerilimlerinin faz açıları aniden 40° ileri ötelenmiştir. Şekil 3.15'te simülasyon sonuçları, Şekil 3.16'da deneysel sonuçlar verilmiştir. Şekillerden görüldüğü gibi FH-PLL'nin yerleşme süresi 28.65 ms civarındadır ki bu diğer iki yöntemin yerleşme süresinden daha kısadır. QT1-PLL ve HPLL'de yerleşme süreleri sırasıyla 56.85 ms ve 36.7 ms civarındadır. Bu test, FH-PLL'nin faz sıçraması durumunda hızlı bir tepki sağladığını ispatlamaktadır.



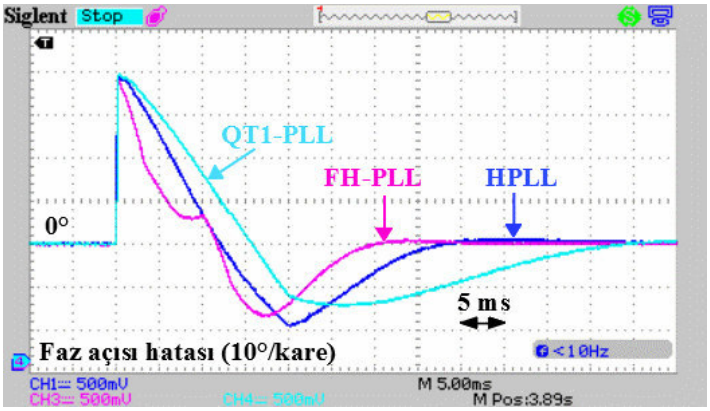
Şekil 3.15. +40° faz sıçraması durumundaki simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası



(a)



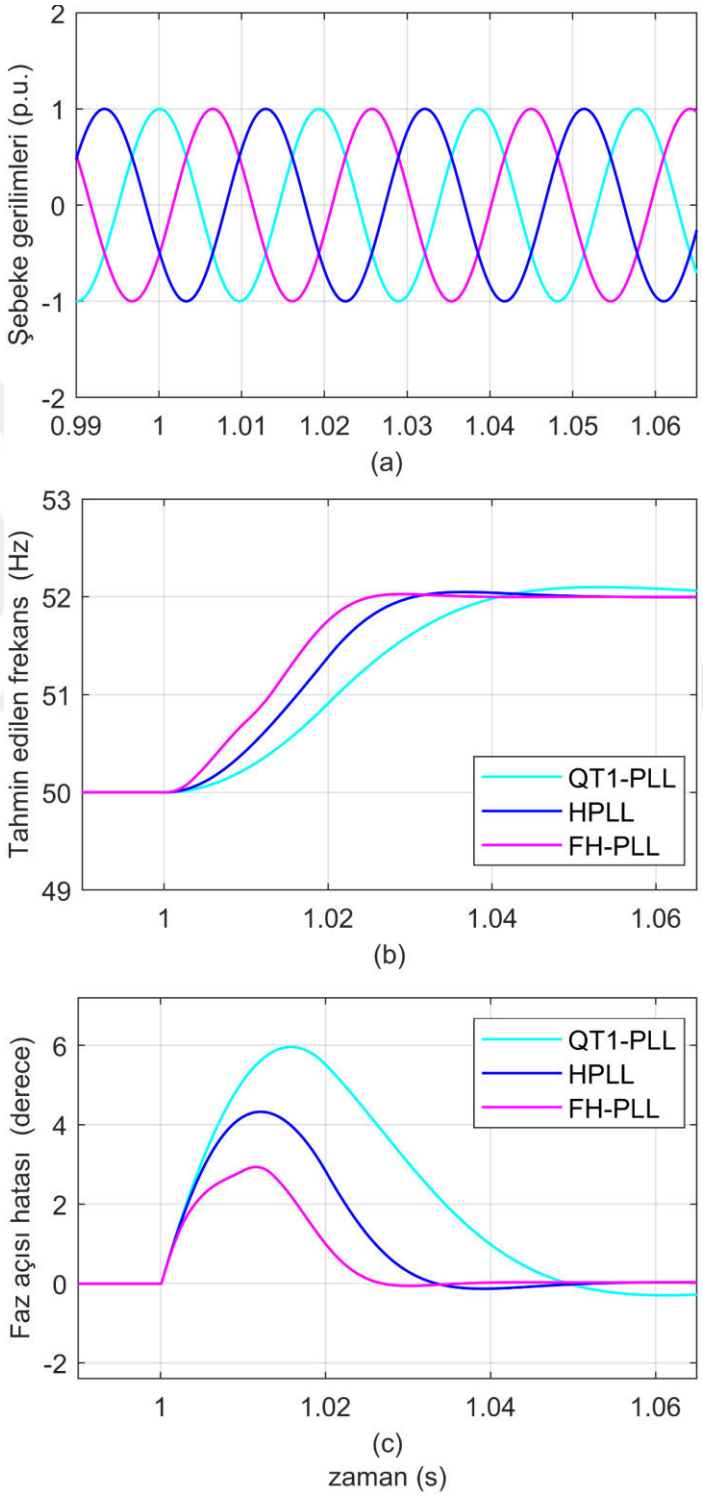
(b)



(c)

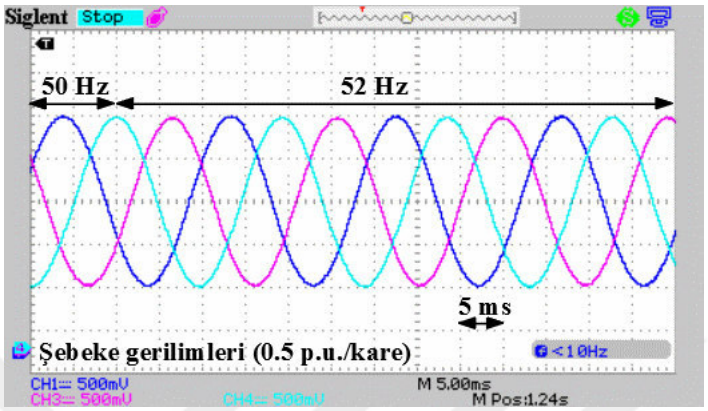
Şekil 3.16. +40° faz sıçraması durumundaki deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

İkinci testte, şebeke gerilimlerinin frekansı aniden 50 Hz'den 52 Hz'ye yükseltilmiştir. Şekil 3.17'de simülasyon sonuçları, Şekil 3.18'te deneysel sonuçlar verilmiştir. Şekillerden gözlemlendiği gibi FH-PLL şebeke frekansını 23.75 ms'de takip eder. QT1-PLL ve HPLL şebeke frekansını sırasıyla 70.5 ms ve 40.5 ms'de takip eder.

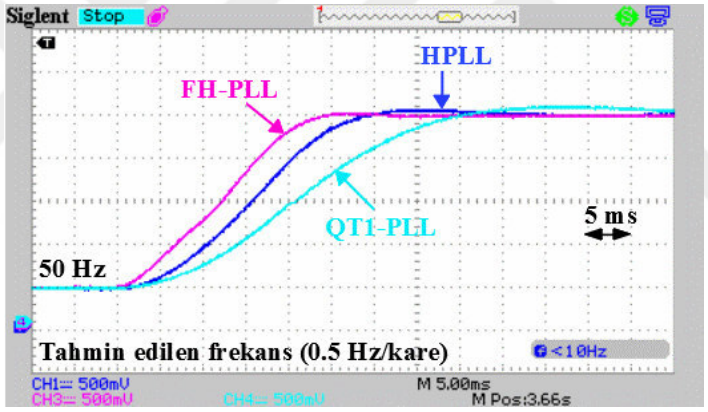


Şekil 3.17. +2 Hz frekans değişimi durumundaki simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

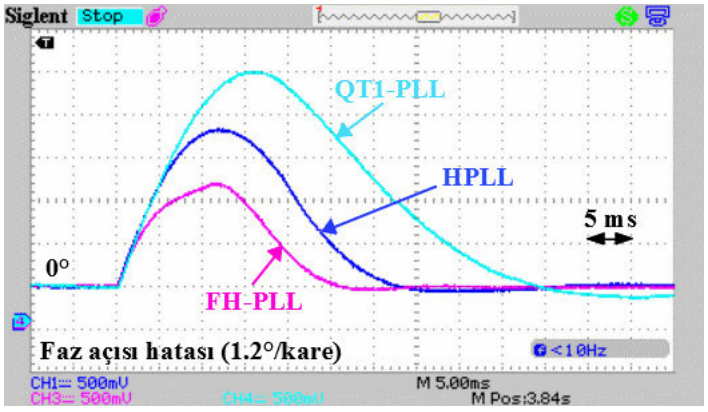
QT1-PLL ve HPLL'nin frekans aşmaları %5 ve %2.5'tir. Fakat, FH-PLL daha küçük bir frekans aşmasına (%1.4) sahiptir. Sonuç olarak, FH-PLL frekans değişimi koşulu altında daha küçük frekans aşmasına sahip olmasının yanında hızlı bir dinamik performansa da sahiptir. Detaylı sayısal sonuçlar Çizelge 3.3'te verilmiştir.



(a)



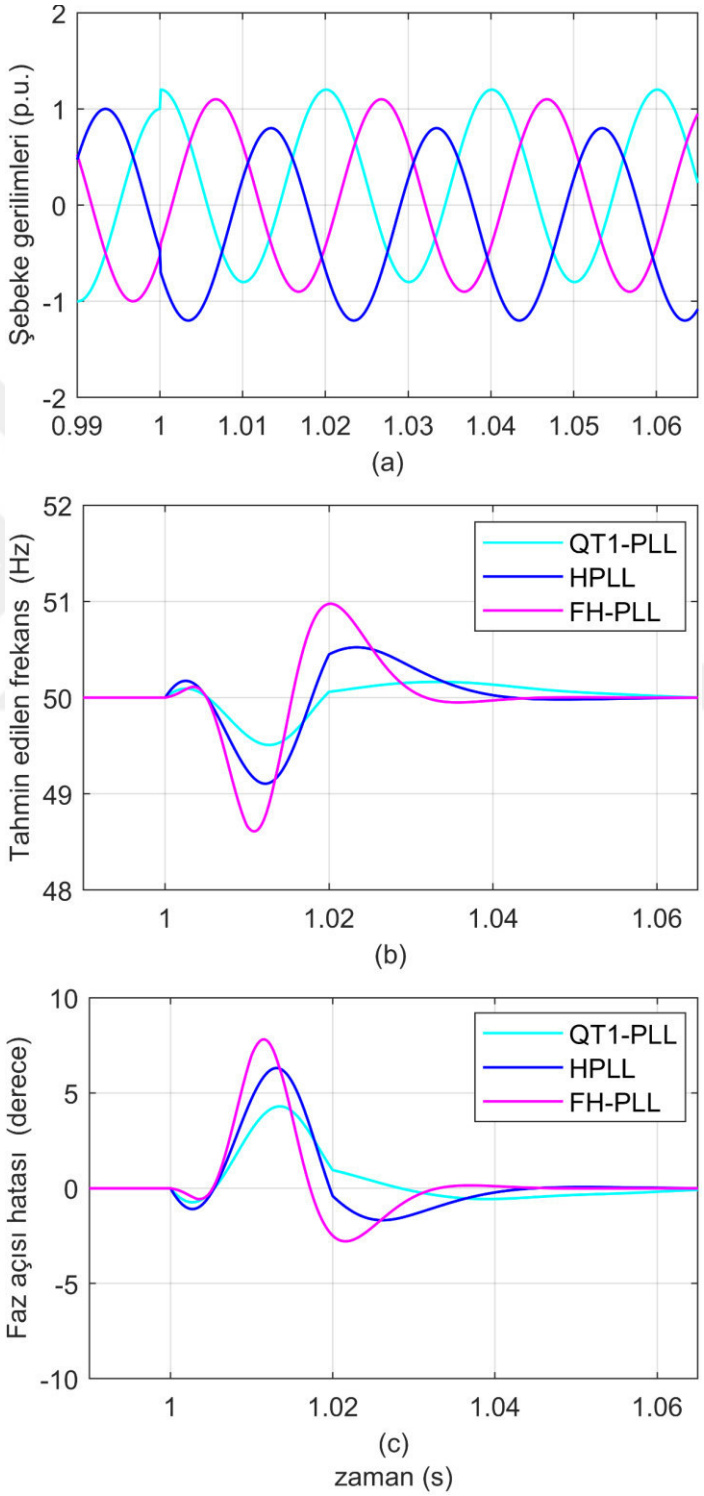
(b)



(c)

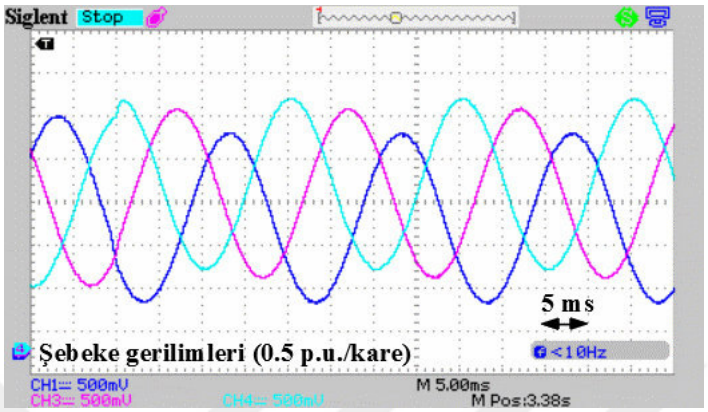
Şekil 3.18. +2 Hz frekans değişimi durumundaki deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

Üçüncü testte, şebeke gerilimlerine DC-offset gerilimler eklenmiştir. A, B ve C fazlarına eklenen DC-offset gerilimler sırasıyla 0.2 p.u., 0.1 p.u. ve –0.2 p.u.'dur. Şekil 3.19'da simülasyon sonuçları, Şekil 3.20'de deneysel sonuçlar verilmiştir. Şekillerden görülebildiği gibi tüm PLL yöntemleri sürekli durumda sıfır frekans ve faz hatasına sahiptir.

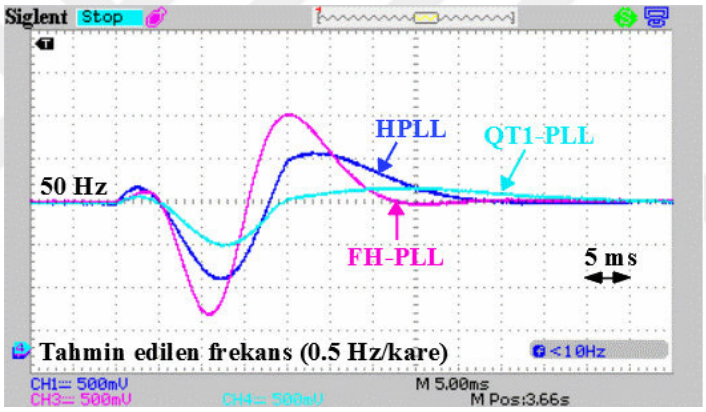


Şekil 3.19. DC-offset gerilimi eklenmesi durumundaki simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

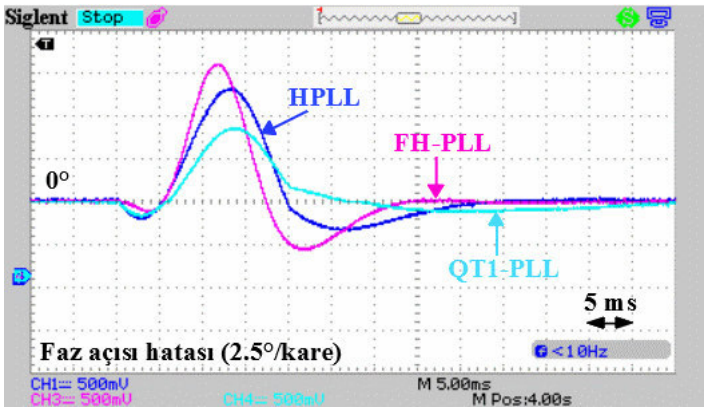
Çizelge 3.3'te de verildiği gibi QT1-PLL ve HPLL ile kıyaslandığında FH-PLL oldukça kısa bir yerleşme süresine (31.3 ms) sahiptir. QT1-PLL ve HPLL, 60.5 ms ve 40.2 ms'lik yerleşme süreleri ile sürekli duruma gelmektedir. DC-offset gerilimi durumunda FH-PLL'nin oldukça hızlı çalıştığı açıktır.



(a)



(b)

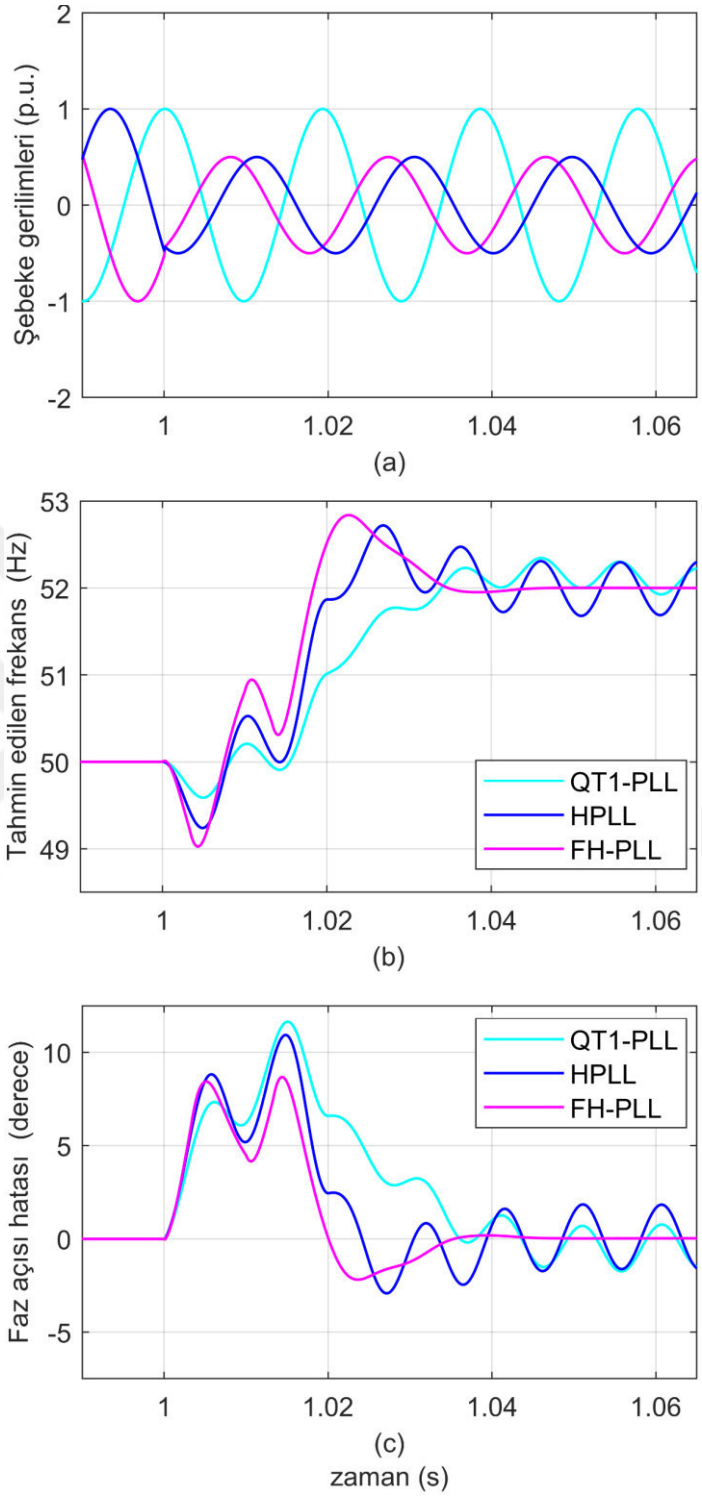


(c)

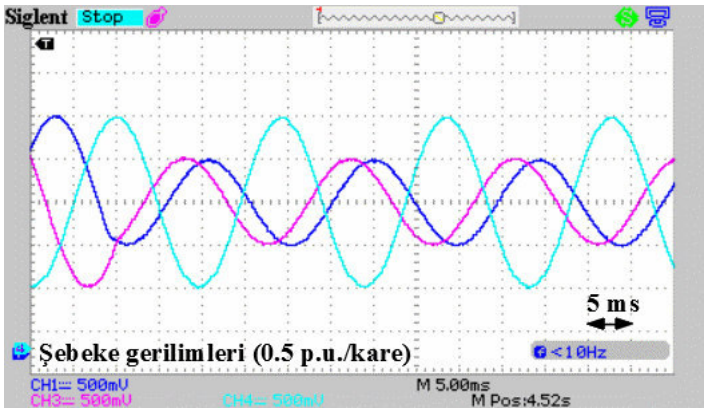
Şekil 3.20. DC-offset gerilimi eklenmesi durumundaki deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

Dördüncü testte, PLL yöntemleri şebeke gerilimi dengesizliklerine karşı test edilmiştir. Şebekede çok fazla karşılaşılan şebeke hatalarından biri tip-C olarak adlandırılan şebeke arızasıdır. Bu arıza, iki faz arasında kısa devre olmasından kaynaklanmaktadır (Timbus ve ark., 2005; Luna ve ark., 2015). Tip-C şebeke arızasında, kısa devre olan fazlardan ikisinin genliği azalır ve aynı zamanda bu fazlarda faz sıçraması meydana gelir. Üçüncü fazda herhangi bir bozulma meydana gelmez. Bu yüzden gerilim fazörlerinin simetrisi bozulur. Bu testte, B ve C fazlarının gerilimleri nominal değerlerinin %50'sine ayarlanmıştır. Aynı anda bu iki fazda 30°'lik faz sıçraması oluşturulmuştur. Üstelik tüm fazlarda +2 Hz'lik frekans değişimi de meydana getirilmiştir. Şekil 3.21'de simülasyon sonuçları, Şekil 3.22'de deneysel sonuçlar verilmiştir.

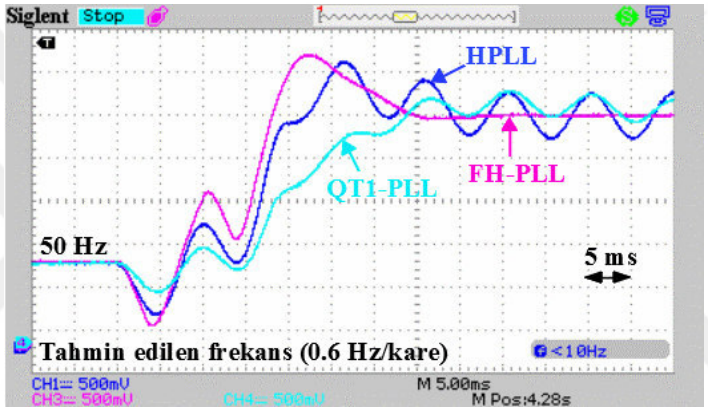
Şekil 3.21 ve 3.22'den görüldüğü gibi FH-PLL'nin yapısında bulunan adaptif DAPF sayesinde önerilen yöntemde faz ve frekans hatası meydana gelmemektedir. Bu test, FH-PLL'nin FFNS bileşenini tamamen yok ettiğini doğrulamaktadır. Üstelik bu tür bir ciddi şebeke arızasında FH-PLL, 40 ms civarında kararlılığa ulaşmaktadır. Fakat QT1-PLL ve HPLL yöntemlerinde çok büyük frekans ve faz dalgalanmaları meydana gelmektedir. Onların tepeden tepeye faz hataları 2.35° ve 3.5°'dir. Bu yüzden, QT1-PLL ve HPLL'nin böyle bir şebeke hatası durumunda, şebeke senkronizasyonunda kullanılması uygun değildir. Çizelge 3.3'ten ayrıntılı sonuçlara ulaşılabilir.



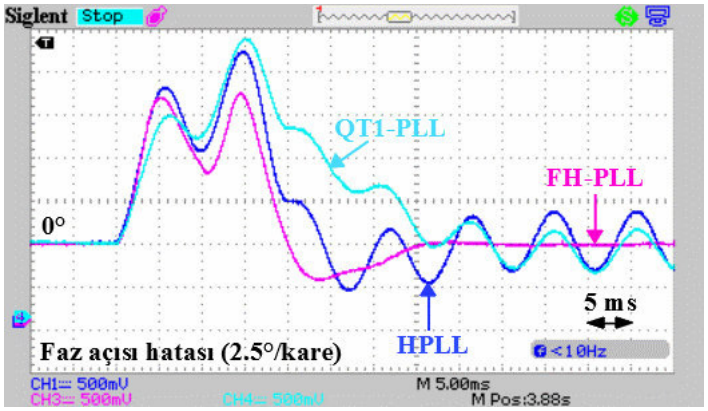
Şekil 3.21. Dengesiz şebeke durumundaki simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası



(a)



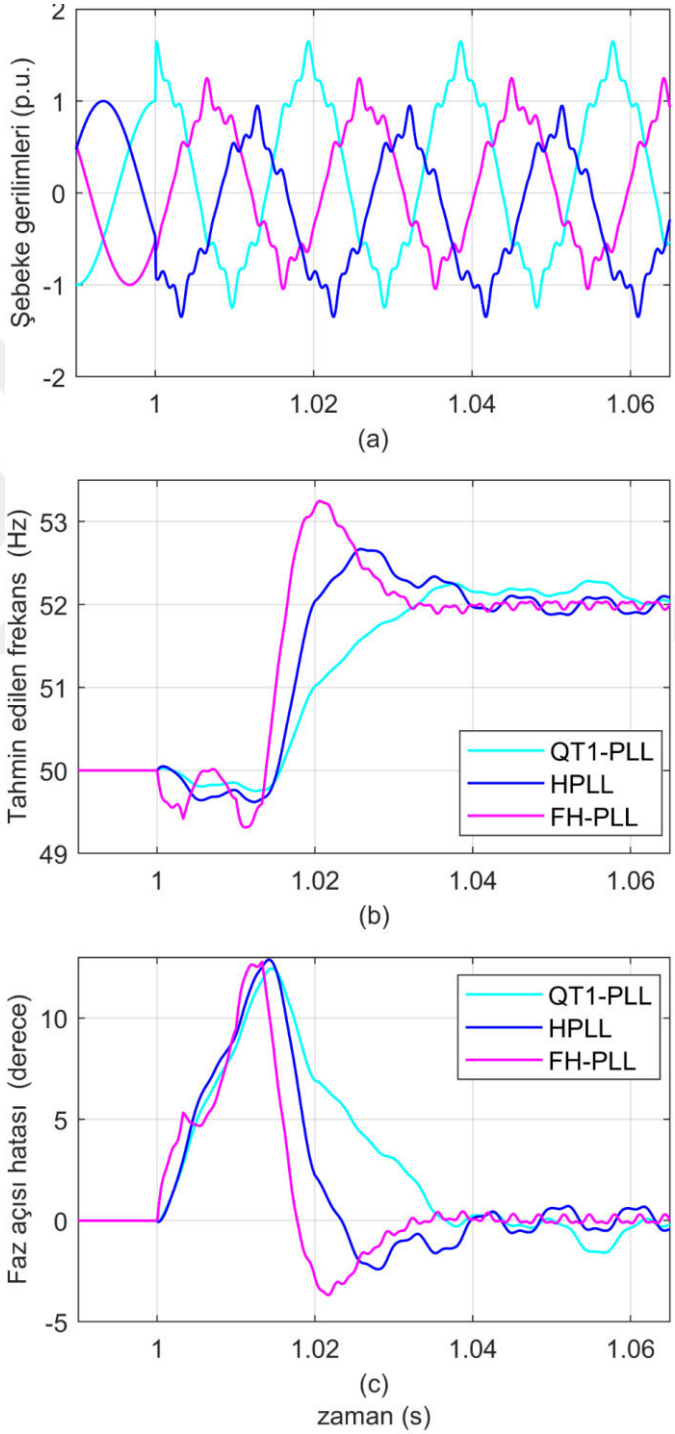
(b)



(c)

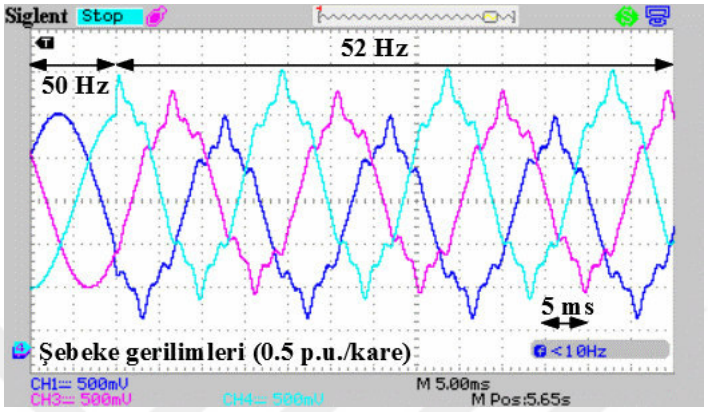
Şekil 3.22. Dengesiz şebeke durumundaki deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

Son testte, şebekede harmonik bileşenler bulunması durumunda PLL yöntemlerinin tepkileri incelenmiştir. Şebeke gerilimlerinin parametreleri şu şekildedir: $V_1^+ = 1$ p.u., $V_1^- = 0.2$ p.u., $V_5^- = 0.1$ p.u., and $V_7^+ = V_{11}^- = V_{13}^+ = 0.05$ p.u. Nominal şebeke frekansı dışında yöntemlerin harmonik filtreleme kabiliyetlerini göstermek için +2 Hz'lik frekans değişimi de meydana getirilmiştir. Üstelik şebeke gerilimlerine DC-offset gerilimleri de ilave edilmiştir.

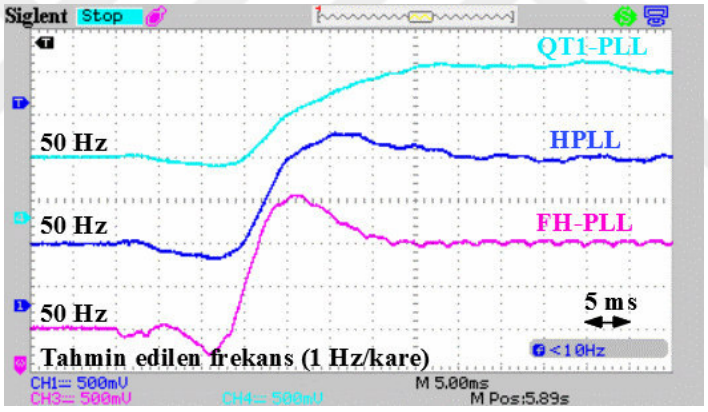


Şekil 3.23. Harmonikli şebeke durumundaki simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

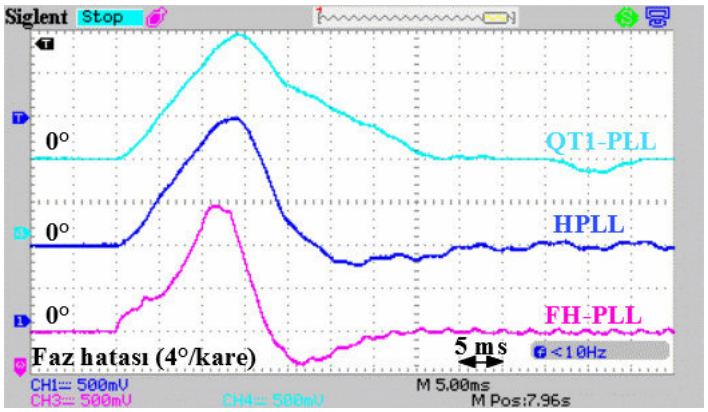
Bu gerilimler, daha önce yapılan DC-offset testindekilerle aynı alınmıştır. Şekil 3.23, Şekil 3.24 ve Çizelge 3.3'ten görüldüğü gibi sürekli durumda FH-PLL, QT1-PLL ve HPLL'nin tepeden tepeye faz hataları sırasıyla 0.43°, 1.47° ve 1.23°'tir. Bu test, FH-PLL'nin faz açısı hatasının HPLL'den yaklaşık üç kat küçük olduğunu doğrulamaktadır. Sonuç olarak, FH-PLL'nin böyle bir test koşuluna karşı bağışıklığı oldukça yüksektir.



(a)



(b)



(c)

Şekil 3.24. Harmonikli şebeke durumundaki deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

3.1.4. Genel Sonuçlar

Bu tez çalışmasında, ideal olmayan şebeke koşulları için oldukça etkili ve basit yapılı bir PLL yöntemi (FH-PLL) önerilmiştir. FH-PLL'nin etkinliği QT1-PLL ve HPLL yöntemleriyle karşılaştırılarak incelenmiştir. QT1-PLL ve HPLL yöntemlerinin aksine FH-PLL, adaptif DAPF filtre yapısını içerdiği için FFNS bozukluğunu tamamen ortadan kaldırabilmiştir. Şebekede harmonik bileşenler olması durumunda FH-PLL'nin en küçük frekans ve faz hatasına sahip olduğu yapılan simülasyon ve deneysel sonuçlar ile ortaya konulmuştur. Sonuç olarak, FH-PLL test edilen tüm şebeke koşulları için oldukça hızlı bir dinamik performans sağlamıştır.

3.2. Önerilen E²-PLL Yöntemi

3.2.1. Giriş

Lee ve ark. (1999), üç fazlı sistemler için tüm geçiren filtre (all pass filter, APF) tabanlı yeni bir PLL yöntemi önermişlerdir. Bu yöntemde, filtrelenmemiş şebeke gerilimleri ile onların 90° ötelenmiş halleri FFPS bileşeni elde etmek için kullanılmaktadır. Dengesiz şebeke durumlarında FFPS bileşen doğru bir şekilde belirlenmektedir, fakat bu yöntem harmonik bileşenlere ve şebeke frekansı değişimlerine karşı hassastır. APF tabanlı yöntemin dezavantajlarını ortadan kaldırmak için Karimi-Ghartemani ve Iravani (2004), üç fazlı gelişmiş bir PLL (enhanced PLL, EPLL) yöntem önermişlerdir. EPLL'nin APF tabanlı PLL yönteminden farkları şu şekilde sıralanabilir:

- APF yerine EPLL kullanılması
- EPLL'nin frekans değişimlerine duyarlı olması
- EPLL yapısı band-geçiren filtre özelliği göstermesinden dolayı harmonikli şebeke koşullarında FFPS bileşeninin harmoniklerden büyük ölçüde arındırılmış şekilde elde edilebilmesi
- Clarke ve Park dönüşümlere gereksinim duymaması

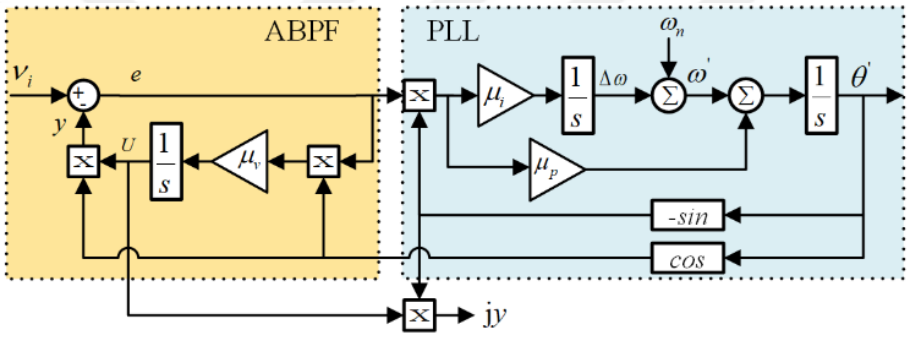
EPLL'nin bu önemli avantajlarının yanında genel olarak iki önemli olumsuz yönü bulunmaktadır. Bunlar:

- EPLL yönteminde, toplamda dört adet EPLL bloğu işletildiği için yapısının oldukça karmaşık olması

- Diğer gelişmiş PLL yöntemleri ile kıyaslandığında uzun tepki süresine sahip olması (Yazdani ve ark., 2009; Carugati ve ark., 2011; Wang ve ark., 2014; Luna ve ark., 2015; Ali ve ark., 2018b)

Bu tez çalışmasında, EPLL'nin bu iki önemli dezavantajını minimize etmek için gelişmiş bir PLL yöntemi önerilmiştir (Sevilmis ve Karaca, 2020). Bu yöntem, EPLL'nin gelişmiş bir versiyonudur. Bu yüzden, bu bölümde ilk olarak standart EPLL yönteminden bahsedilmektedir. Ardından önerilen yöntemin tasarımına geçilecektir.

Bölüm 2.3.3'te de genel olarak bahsedildiği gibi EPLL, adaptif yapılı bant geçiren filtre (adaptive band-pass filter, ABPF) ile klasik bir PLL'nin birleşiminden meydana gelmektedir. Şekil 3.25'te bir fazlı EPLL'nin blok şeması verilmektedir (Karimi-Ghartemani ve Iravani, 2002).



Şekil 3.25. Tek fazlı EPLL'nin blok yapısı

EPLL'nin blok şemasından görüldüğü gibi giriş sinyali (v_i) ilk olarak ABPF yapısından geçirilir ve sonra v_i sinyalinin filtrelenmiş hali olan çıkış sinyal (y) elde edilir. Çıkış sinyali, giriş sinyali ile aynı fazdadır. Elde edilen hata sinyali (e), standart bir PLL bloğu tarafından PI denetleyici ile kontrol edilir. Bu şekilde, PLL çıkışında giriş sinyalinin frekansı ve faz açısı tahmin edilir. Üstelik, Şekil 3.25'ten de görüldüğü gibi çıkış sinyalinden 90 derece ileri fazlı ve filtrelenmiş sinyal (jy) de elde edilebilir. Bu sinyaller aşağıdaki gibi ifade edilmektedir:

$$v_i = V_m \cos(\theta_i)$$

$$y = U\cos(\theta') \tag{3.16}$$

$$jy = -U\sin(\theta')$$

Burada V_m ve θ_i giriş sinyalinin genlik ve faz açısını ifade etmektedir. U ve θ' ise çıkış sinyalinin genlik ve faz açısıdır. Çıkış sinyalinin fazı, giriş sinyalinin fazına kilitlendiği zaman (yani, $\theta' = \theta_i$) $U = V_m$ olur.

EPLL'nin dinamik tepkisini kontrol eden üç tane kazanç vardır. Bunlardan μ_v oransal denetleyici gibi davranır ve U çıkış sinyalinin yakınsama hızını kontrol eder. μ_v değerinin artışı U'nun yakınsama hızını arttırırken U gerilimi üzerinde dalgalanmalara neden olur. Bu yüzden, doğruluk ile hız arasında dengenin sağlanması için μ_v değerinin uygun bir şekilde ayarlanması gerekir. μ_i ve μ_p PI denetleyicinin parametreleridir ve sırasıyla frekans ve faz açısının yakınsama hızını kontrol eder.

EPLL'nin diferansiyel denklemleri, maliyet fonksiyonunun değerini minimum yapacak şekilde şu şekilde elde edilir (Karimi-Ghartemani, 2006; Karimi-Ghartemani ve ark., 2011b; Karimi-Ghartema, 2014):

$$J = \frac{1}{2}e^2 = \frac{1}{2}(v_i - y)^2 \tag{3.17}$$

(3.18) ile verilen denklemler bir yöntem (gradient descent method) sonucu elde edilir.

$$\dot{U} = \mu_v e\cos(\theta')$$

$$\Delta\dot{\omega} = -\mu_i e\sin(\theta') \tag{3.18}$$

$$\dot{\theta} = \omega_n + \Delta\omega - \mu_p e\sin(\theta'$$

Burada ω_n EPLL'nin nominal frekansını ifade etmektedir. $\Delta\omega$ ise frekans değişimine karşılık gelmektedir.

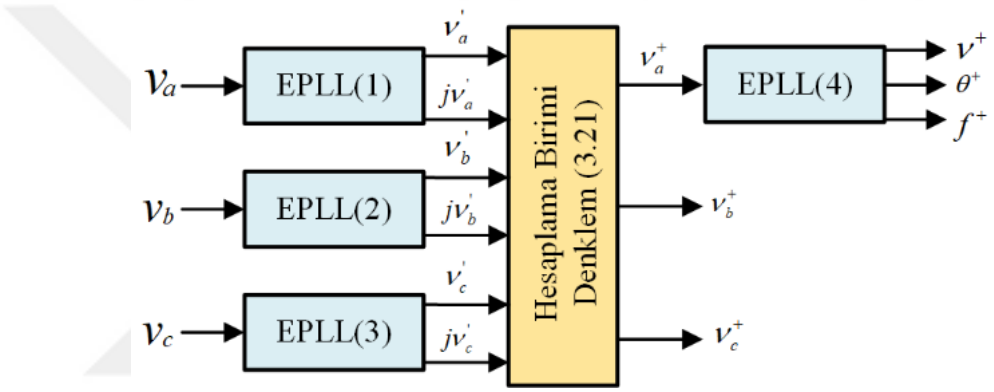
Lineer analize göre EPLL üç adet öz değere sahiptir. Genlik, faz ve frekans döngülerinin karakteristik denklemleri şu şekilde ifade edilebilir (Karimi-Ghartemani ve ark., 2011b; Karimi-Ghartema, 2014):

$$\mathrm{s} + \frac{\mu_v}{2} = 0 \tag{3.19}$$

$$\mathrm{s}^2 + \frac{\mu_p V_m}{2}\mathrm{s} + \frac{\mu_i V_m}{2} = 0 \tag{3.20}$$

(3.19), genlik belirleme döngüsünün faz ve frekans döngülerinden bağımsız olduğunu göstermektedir. (3.20)'den anlaşılacağı gibi faz ve frekans belirleme döngülerinin dinamikleri giriş sinyalinin genliğine (V_m) bağlıdır. Fakat bu döngüler basit bir şekilde genlikten bağımsız hale getirilebilir (Karimi-Ghartemani, 2013). Karimi-Ghartemani (2013), faz ve frekans belirleme döngüsünün karakteristik denkleminin standart PLL'nin karakteristik denklemi ile aynı olduğu ifade etmiştir. Bir başka deyişle, EPLL ile standart PLL aynı lineer model yapısına sahiptir.

Bir fazlı EPLL yapısı Şekil 3.26'dan da görüldüğü gibi kolayca üç fazlı hale dönüştürülebilir.



Şekil 3.26. Üç fazlı EPLL'nin blok şeması

Üç fazlı EPLL yönteminde, her bir faz gerilimi *(V_a, V_b ve V_c)* ayrı ayrı bir fazlı EPLL bloğundan geçirilir. Her bir EPLL bloğu çıkışında iki adet sinyal üretilir. Bu sinyaller giriş sinyalinin filtrelenmiş halidir, fakat ikinci sinyal giriş sinyalinden 90 derece ileri fazdadır. EPLL(1), EPLL(2) ve EPLL(3) modüllerinden elde edilen 6-adet sinüzoidal sinyal hesaplama birimine gönderilir. Hesaplama biriminde, anlık simetrik bileşenler (instantaneous symmetrical components, ISC) yöntemi kullanılmaktadır. ISC yöntemine göre giriş gerilimlerinin pozitif sıralı bileşenleri şu şekilde elde edilir:

$$V_a^+ = \frac{1}{3}V_a' - \frac{1}{6}(V_b' + V_c') + \frac{1}{2\sqrt{3}}j(V_b' - V_c')$$

$$V_b^+ = -(V_a^+ + V_c^+) \tag{3.21}$$

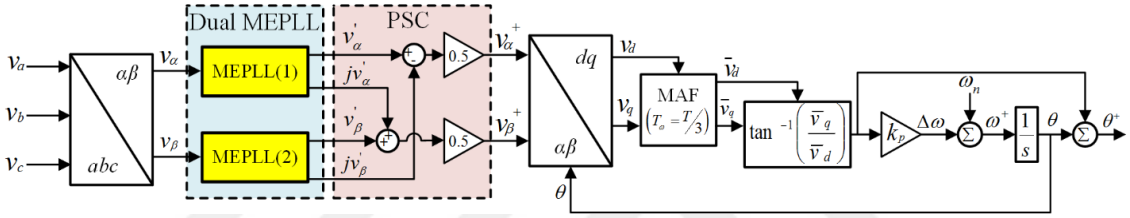
$$V_c^+ = \frac{1}{3}V_c' - \frac{1}{6}(V_a' + V_b') + \frac{1}{2\sqrt{3}}j(V_a' - V_b')$$

Burada, *j* faz öteleme operatörüdür. Giriş gerilimlerinin 90˚ ileri fazlı formları *j* ile ifade edilir.

Şebeke gerilimlerinin pozitif sıralı bileşenleri elde edildikten sonra dördüncü bir EPLL sisteme ilave edilir. EPLL(4) çıkışında şebeke geriliminin genlik *(V^+)*, faz açısı *(θ^+)* ve frekansı (f^+) belirlenmektedir.

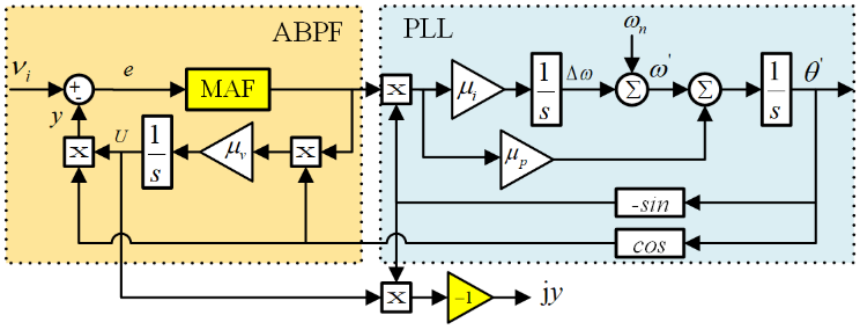
3.2.2. E²-PLL yönteminin tasarımı

Şekil 3.27, önerilen PLL yönteminin blok şemasını göstermektedir. Bu yöntem EPLL yönteminin gelişmiş bir versiyonu (enhanced EPLL) olduğu için E²PLL olarak adlandırılmıştır (Sevilmis ve Karaca, 2020).



Şekil 3.27. Önerilen E²PLL'nin blok şeması

Standart EPLL'nin aksine E²PLL yönteminde giriş gerilimleri Clarke dönüşümü ile V_α ve V_β gerilimlerine dönüştürülür. V_α ve V_β gerilimleri, bir fazlı EPLL yapısından geçirilir. Önerilen yöntemde EPLL yapısı Şekil 3.28'te görüldüğü gibi modifiye edilmiştir. Şekil 3.25'teki bir fazlı EPLL yapısı ile kıyaslandığında ikinci çıkış sinyali (*jy*) artık 90 derece geri fazdadır.



Şekil 3.28. Modifiye edilmiş EPLL yapısı

Şekil 3.28'ten görüldüğü gibi ABPF içerisindeki hata sinyali ($e = V_i - y$) yolu üzerine bir adet MAF eklenmiştir. EPLL içerisine MAF eklenmesi genlik, frekans ve faz açısı tahmininin daha doğru olmasını sağlar.

Karimi-Ghartemani ve ark. (2011b), kök yer eğrisi yöntemini kullanarak MAF'ın pencere genişliği ile ilgili sonuçlar elde etmişlerdir. Buna göre pencere genişliğinin azaltılması sistemin kararlılığını arttırmaktadır. Karimi-Ghartemani ve ark. (2011b), genlik, frekans ve faz açısı döngülerinde toplamda üç adet MAF kullanmışlardır. Bu, yapısal karmaşıklığı ve hesaplama yükünü arttırmaktadır. Bu tez çalışmasında, önerilen E^{2}PLL yöntemi, Şekil 3.28'de görüldüğü gibi EPLL yapısı içerisinde sadece bir tane MAF kullanmaktadır. Buradaki MAF'ın pencere genişliği, sistemin kararlılığını artırması için $T/8$ olarak seçilmiştir.

Modifiyeli EPLL'nin lineer analize göre genlik, faz ve frekans döngülerinin karakteristik denklemleri şu şekilde tanımlanabilir:

$$\mathrm{s} + \frac{\mu_v}{2}\mathrm{MAF(s)} = 0$$

$$\mathrm{s}^2 + \frac{\mu_p V_m}{2}\mathrm{MAF(s)s} + \frac{\mu_i V_m}{2}\mathrm{MAF(s)} = 0 \tag{3.22}$$

Şekil 3.27'deki E^{2}PLL'nin blok yapısından görüldüğü gibi modifiyeli EPLL'lerin (MEPLL) çıkışlarından elde edilen dört adet sinyal, pozitif sıralı bileşen hesaplayıcı (positive sequence calculator, PSC) birimine transfer edilir. PSC birimi sayesinde V_α ve V_β gerilimlerinin pozitif sıralı bileşenleri (V_α^+ ve V_β^+) ISC yöntemine göre şöyle hesaplanır:

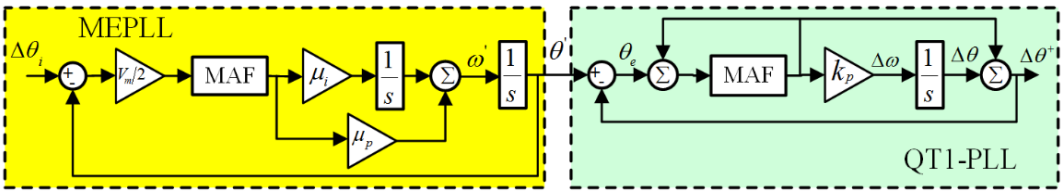
$$\begin{bmatrix} V_\alpha^+ \\ V_\beta^+ \end{bmatrix} = \frac{1}{2}\begin{bmatrix} 1 & -j \\ j & 1 \end{bmatrix}\begin{bmatrix} V'_\alpha \\ V'_\beta \end{bmatrix} \tag{3.23}$$

Elde edilen V_α^+ ve V_β^+ gerilimler, şebeke geriliminin genlik, frekans ve faz açısı bilgilerinin tespiti için QT1-PLL yapısına aktarılır. QT1-PLL yöntemi, Bölüm 3.1.1'de ayrıntılı olarak anlatılmıştı. Tekrardan kaçınmak adına bu bölümde bir daha ifade edilmeyecektir. Önerilen yöntemdeki MEPLL modülleri, kendi frekans tahmin algoritmasına da sahip olduklarından PLL kontrol döngüsünden bu modüllere frekans beslemesi yapmaya gerek kalmamıştır. MEPLL'nin bu eşsiz özelliği diğer gelişmiş PLL

yöntemlerine göre (DSOGI-PLL (Rodriguez ve ark., 2006b), MSOGI-PLL (Rodriguez ve ark., 2009), MCCF-PLL (Guo ve ark., 2010)) önemli bir avantaj sağlamaktadır. Neves ve ark. (2011), frekans geri beslemesinin sistemi kararsız hale getirebileceğini ifade etmişlerdir. Önerilen MEPLL yapısı, frekans geri besleme döngüsünü içermediği için E^{2}PLL yönteminde frekans geri beslemesinden kaynaklanabilecek kararsızlık sorunu ortadan kaldırılmıştır.

E^{2}PLL'nin parametre ayarlama süreci şu şekilde gerçekleşmektedir:

Kontrol döngüsünden önce FFNS bileşen yok edildiği için MAF'ın pencere genişliği azaltılabilir. Bu tezde, pencere genişliği $T/2$'den $T/3$'e düşürülmüştür. Daha önce MEPLL modülleri içerisindeki MAF'ların pencere genişlikleri $T/8$ olarak seçilmişti. Bu yüzden, sadece PLL'nin kontrol döngüsündeki k_p kazancının ayarlanmasına gereksinim vardır. k_p kazancının ayarlanma aşamasını kolaylaştırmak için ilk önce sistemin lineer modeli çıkartılır. Bölüm 3.2.1'de de bahsedildiği gibi standart EPLL'nin lineer modeli klasik PLL'nin lineer modeli ile aynıdır. Önerilen yöntemdeki MEPLL'nin lineer modelinin standart EPLL'nin lineer modelinden tek farkı MEPLL modelinde ilave bir MAF bulunmasıdır. Golestan ve ark. (2014a), QT1-PLL'nin lineer modelini ortaya koyduklarına göre E^{2}PLL'nin lineer modeli Şekil 3.29'taki gibi elde edilebilir.



Şekil 3.29. E^{2}PLL'nin lineer modeli

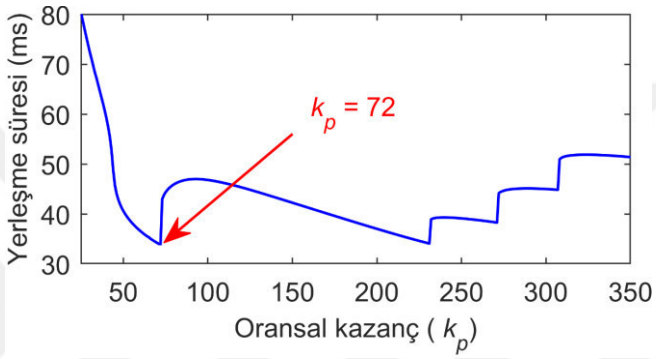
Lineer modele dayanarak E^{2}PLL'nin kontrol döngüsünün açık çevrim transfer fonksiyonu şu şekilde ifade edilir:

$$G_{ol}(s) = \frac{\Delta\theta^+(s)}{\theta_e} = \left(\frac{\text{MAF(s)}}{1-\text{MAF(s)}}\right)\left(1+\frac{k_p}{s}\right) \tag{3.24}$$

Böylece faz hatasının transfer fonksiyonu

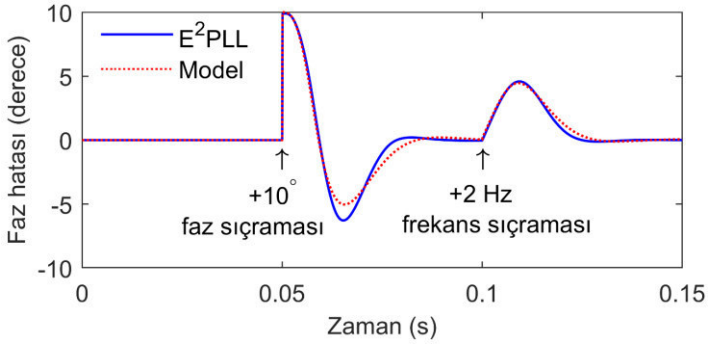
$$G_e(s) = \frac{\theta_e}{\Delta\theta_i(s)} = \underbrace{\frac{\frac{\mu_p V_m}{2}\mathrm{MAF(s)}s + \frac{\mu_i V_m}{2}\mathrm{MAF(s)}}{s^2 + \frac{\mu_p V_m}{2}\mathrm{MAF(s)}s + \frac{\mu_i V_m}{2}\mathrm{MAF(s)}}}_{\mathrm{MEPLL}(s)} \left(\frac{1}{1+G_{ol}(s)}\right) \quad (3.25)$$

olarak elde edilir. (3.25)'i kullanarak E^{2}PLL'nin faz sıçraması koşulu altında k_p'nin fonksiyonu olarak %2'lik hataya göre yerleşme zamanı değişimi Şekil 3.30'da verilmiştir. Gözlemlendiği gibi minimum yerleşme süresi (t_s) için E^{2}PLL'nin k_p değeri 72 olarak seçilmelidir.



Şekil 3.30. Faz sıçraması durumunda (3.25)'in değişimi

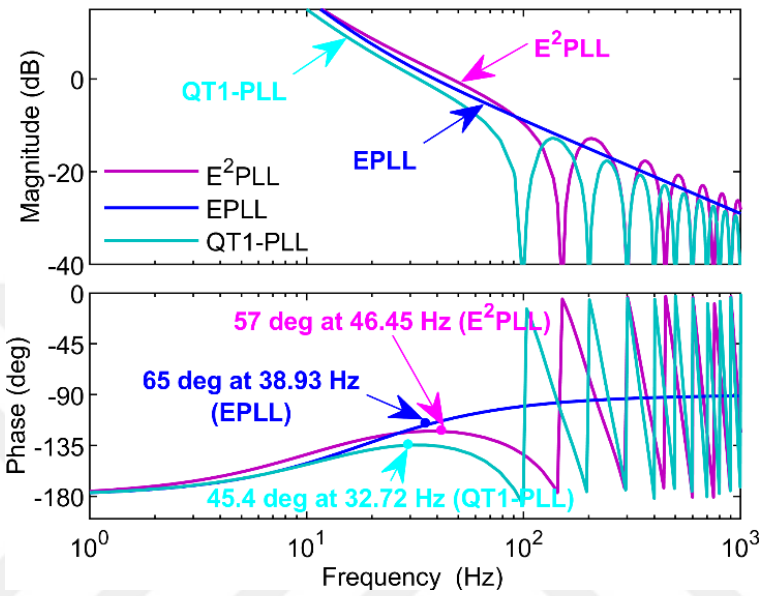
Son olarak, E^{2}PLL'nin lineer modelinin doğruluğunu değerlendirmek için E^{2}PLL'nin gerçek modeli ile lineer modeli karşılaştırılmıştır. Şekil 3.31'den görüldüğü gibi E^{2}PLL'nin lineer modeli, gerçek modelin dinamik davranışını yüksek doğrulukla takip etmektedir.



Şekil 3.31. E^{2}PLL'nin doğruluk değerlendirilmesi

Tüm yöntemlerin açık çevrim bode grafikleri Şekil 3.32'de verilmiştir. E^{2}PLL'nin faz marjini (phase margin, PM) 46.45 Hz'de 57°'dir. Diğer yandan, QT1-PLL ve

EPLL'nin PM'leri sırasıyla 45.4° (32.72 Hz'de) ve 65° (38.93 Hz'de) olarak elde edilmiştir. Bu şekil aynı zamanda tüm yöntemlerin kararlı olduklarını gösterir. Gözlemlendiği gibi E^{2}PLL'nin PM'si QT1-PLL'nin PM'sinden daha büyüktür. Sonuç olarak E^{2}PLL, QT1-PLL'ye kıyasla daha kararlıdır. Üstelik E^{2}PLL en büyük köşe frekansına sahiptir.



Şekil 3.32. PLL yöntemlerinin açık çevrim bode grafikleri

3.2.3. Simülasyon ve deneysel sonuçlar

Bu bölümde, önerilen E^{2}PLL'nin etkinliği simülasyon ve deneysel sonuçlar ile doğrulanmıştır. Bir önceki geliştirilen FH-PLL yönteminde olduğu gibi simülasyon çalışmaları MATLAB/Simulink ortamında gerçekleştirilmiştir. Deneysel sonuçlar ise TMS320F28335 işlemcili DSP kontrol seti kullanılmıştır. Simülasyon ve deneysel süresince örnekleme frekansı 10 kHz, nominal şebeke frekansı 2π50 rad/s ve şebeke gerilimlerinin genlik değeri 1 p.u. olarak alınmıştır.

E^{2}PLL'nin performansı, standart EPLL ve QT1-PLL yöntemleri ile karşılaştırılmıştır. Karşılaştırma için dört farklı test koşulu oluşturulmuştur. Her bir test koşulu için simülasyon sonuçları ve deneysel sonuçlar birlikte verilmiştir. Her bir test sonucu için iki adet grafik verilmiştir. İlk grafik tahmin edilen şebeke frekansını, ikinci grafik ise tespit edilen faz açısı hatasını göstermektedir. Elde edilen grafiklerden anlaşılacağı üzere deneysel sonuçlar, simülasyon sonuçları ile örtüşmektedir. Çizelge

3.4'te, PLL yöntemlerinin kontrol parametreleri verilmiştir. Detaylı sayısal sonuçlar Çizelge 3.5'te verilmiştir.

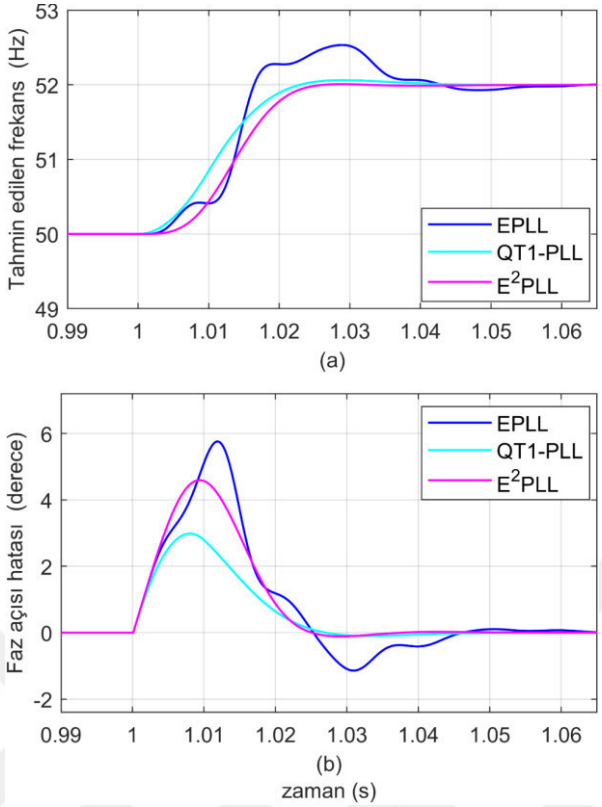
Çizelge 3.4. PLL yöntemlerinin kontrol parametreleri

PLL yöntemi	Parametreler
E^2PLL	$\mu_v = \mu_p = 444$, $\mu_i = 50000$, $k_p = 72$, MEPLL'deki MAF için $T_\omega = T/8$ QT1-PLL'deki MAF için $T_\omega = T/3$
EPLL	$\mu_v = \mu_p = 444$, $\mu_i = 50000$
QT1-PLL	$k_p = 92.34$, MAF için $T_\omega = T/2$

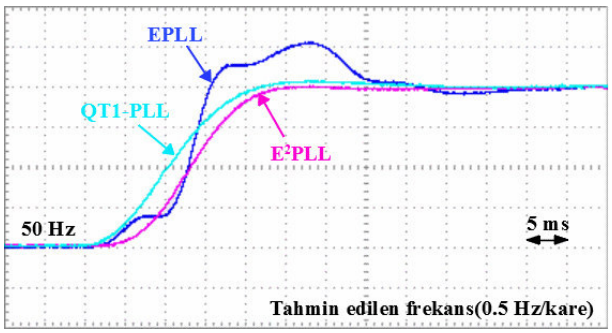
Çizelge 3.5. Simülasyon ve deneysel sonuçların ayrıntıları

	E^2PLL	EPLL	QT1-PLL
+2 Hz frekans değişimi			
%2'lik yerleşme süresi	23.7 ms (1.18 periyot)	53 ms (2.65 periyot)	35 ms (1.75 periyot)
Frekans aşması	0.009 Hz (%0.45)	0.53 Hz (%26.65)	0.062 Hz (%3.1)
Faz aşması	4.6°	5.76°	3°
+40° faz sıçraması			
%2'lik yerleşme süresi	28.3 ms (1.41 periyot)	51.75 ms (2.59 periyot)	30 ms (1.5 periyot)
Frekans aşması	8.45 Hz	9.6 Hz	8.75 Hz
Faz aşması	23.2° (%58)	25.7° (%64.25)	13.5° (%33.75)
B tipi arıza			
%2'lik yerleşme süresi	47.5 ms (2.37 periyot)	71.2 ms (3.56 periyot)	-
Tepeden tepeye frekans hatası	0 Hz	0 Hz	0.23 Hz
Tepeden tepeye faz hatası	0°	0°	0.9°
Harmonik bileşen			
%2'lik yerleşme süresi	30.7 ms (1.53 periyot)	-	-
Tepeden tepeye frekans hatası	8.2 mHz	90 mHz	120 mHz
Tepeden tepeye faz hatası	0.04°	0.3°	0.5°

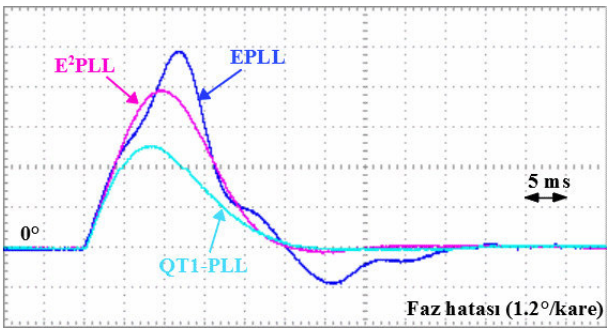
İlk testte, şebeke gerilimlerinin frekansı aniden 50 Hz'den 52 Hz'ye çıkartılmıştır. Şekil 3.33'te simülasyon sonuçları, Şekil 3.34'te deneysel sonuçlar verilmiştir. Şekillerden gözlemlendiği gibi E^2PLL şebeke frekansını 23.75 ms'de takip etmektedir. EPLL ve QT1-PLL şebeke frekansını sırasıyla 53 ms ve 35 ms'de takip eder. EPLL ve QT1-PLL'nin frekans aşmaları %26.65 ve %3.1'dir. Fakat E^2PLL daha küçük bir frekans aşmasına (%0.45) sahiptir. Sonuç olarak, E^2PLL frekans değişimi koşulu altında daha küçük frekans aşmasına sahip olmasının yanında hızlı bir dinamik performansa da sahiptir.



Şekil 3.33. +2 Hz frekans değişimi durumundaki simülasyon sonuçları **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası



(a)



(b)

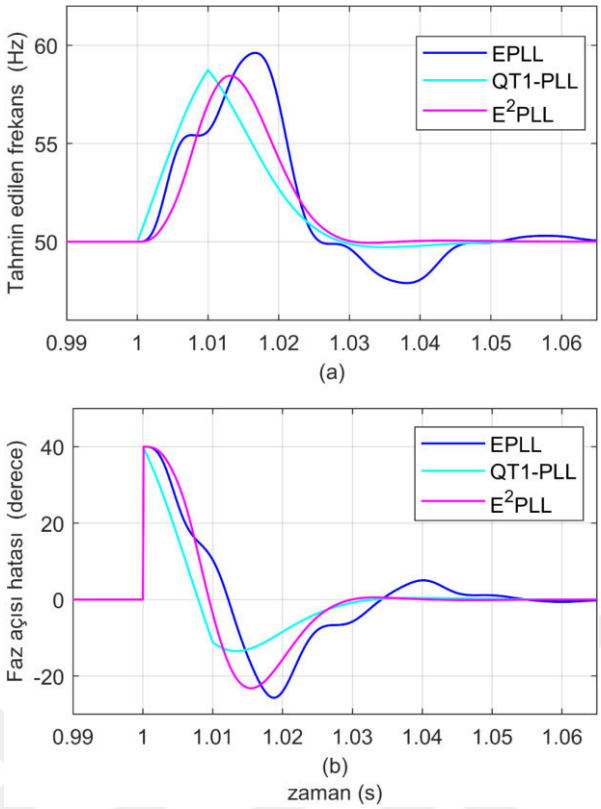
Şekil 3.34. +2 Hz frekans değişimi durumundaki deneysel sonuçlar **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası

İkinci testte, şebeke gerilimlerinin faz açıları aniden 40° ileri sıçratılmıştır Şekil 3.35'te simülasyon sonuçları, Şekil 3.36'da deneysel sonuçlar verilmiştir. Şekillerden görüldüğü gibi E^{2}PLL'nin yerleşme süresi 28.3 ms civarındadır ki bu diğer iki yöntemin yerleşme süresinden daha kısadır. EPLL ve QT1-PLL'de yerleşme süreleri sırasıyla 51.75 ms ve 30 ms civarındadır. Bu test, E^{2}PLL'nin faz sıçraması durumunda hızlı bir tepki sağladığını ispatlamaktadır. Detaylı bulgular, Çizelge 3.5'te özetlenmiştir.

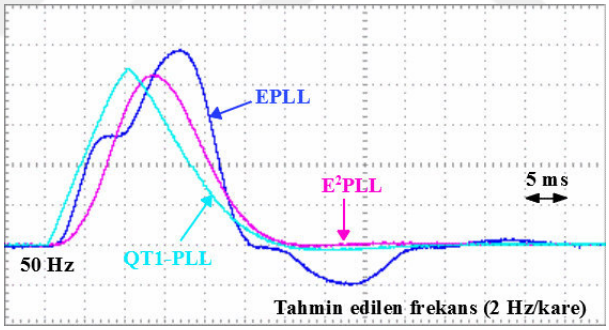
Üçüncü testte, PLL yöntemleri şebeke gerilimi dengesizliklerine karşı test edilmiştir. Şebekede çok fazla karşılaşılan şebeke hatalarından biri tip-B olarak adlandırılan şebeke arızasıdır. Bu arıza, bir faz toprak arasında kısa devre olmasından kaynaklanmaktadır (Teodorescu ve ark., 2011). Tip-B şebeke arızasında, kısa devre olan fazın genliği azalır. Diğer iki fazda herhangi bir bozulma meydana gelmez. Bu testte, kısa devre olan fazın genliği nominal değerlerinin %50'sine ayarlanmıştır. Üstelik tüm fazlarda +2 Hz'lik frekans değişimi de meydana getirilmiştir.

Şekil 3.37 ve 3.38'den de gözlemlendiği gibi EPLL ve E^{2}PLL yapılarının kendi frekans tahmin algoritması olduğu için bu yöntemlerde sürekli durumda faz ve frekans hatası meydana gelmemektedir. Bu test aynı zamanda, EPLL ve E^{2}PLL'nin FFNS bileşenini tamamen yok ettiğini doğrulamaktadır. Üstelik bu tür bir ciddi şebeke arızasında E^{2}PLL, 47.5 ms civarında kararlılığa ulaşmaktadır. Fakat EPLL, 70 ms sonra kararlılığa erişmektedir. Diğer yandan QT1-PLL yönteminde çok büyük frekans ve faz dalgalanmaları meydana gelmektedir. QT1-PLL'nin tepeden tepeye frekans hatası 0.23 Hz, faz hatası 0.9°'dir. Bu yüzden, QT1-PLL'nin üçüncü testteki gibi bir şebeke durumunda, şebeke senkronizasyonunda kullanılması uygun değildir. Çizelge 3.5'ten ayrıntılı sonuçlara ulaşılabilir.

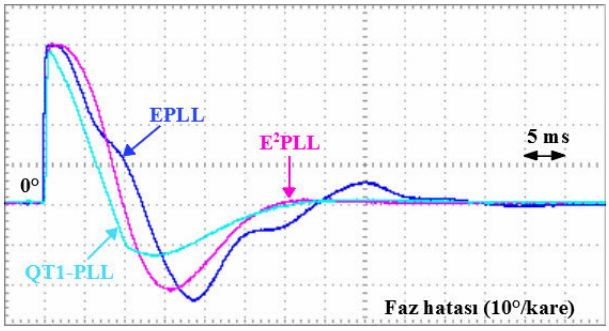
Son testte, şebekede harmonik bileşenler bulunması durumunda PLL yöntemlerinin tepkileri incelenmiştir. Şebeke gerilimlerinin parametreleri şu şekildedir: V_1^+ = 1 p.u., V_1^- = 0.2 p.u., V_5^- = 0.1 p.u., and $V_7^+ = V_{11}^- = V_{13}^+$ = 0.05 p.u. Nominal şebeke frekansı dışında yöntemlerin harmonik filtreleme kabiliyetlerini göstermek için +2 Hz'lik frekans değişimi de meydana getirilmiştir. Yani, şebekede aşırı derecede bir bozukluk meydana getirilmiştir. Şekil 3.39, Şekil 3.40 ve Çizelge 3.5'ten görüldüğü gibi sürekli durumda E^{2}PLL, EPLL ve QT1-PLL'nin tepeden tepeye faz hataları sırasıyla 0.04°, 0.3° ve 0.5°'tir. Bu test, E^{2}PLL'nin faz açısı hatasının EPLL'den yaklaşık 7.5 kat küçük olduğunu doğrulamaktadır. Ayrıca, E^{2}PLL'nin yerleşme süresi 30.7 ms'dir. Diğer iki yöntem %2'lik hata kriterine göre kararlı durumu gelememektedir. Sonuç olarak, E^{2}PLL'nin böyle bir test koşuluna karşı bağışıklığı oldukça yüksektir.



Şekil 3.35. +40° faz sıçraması durumundaki simülasyon sonuçları **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası

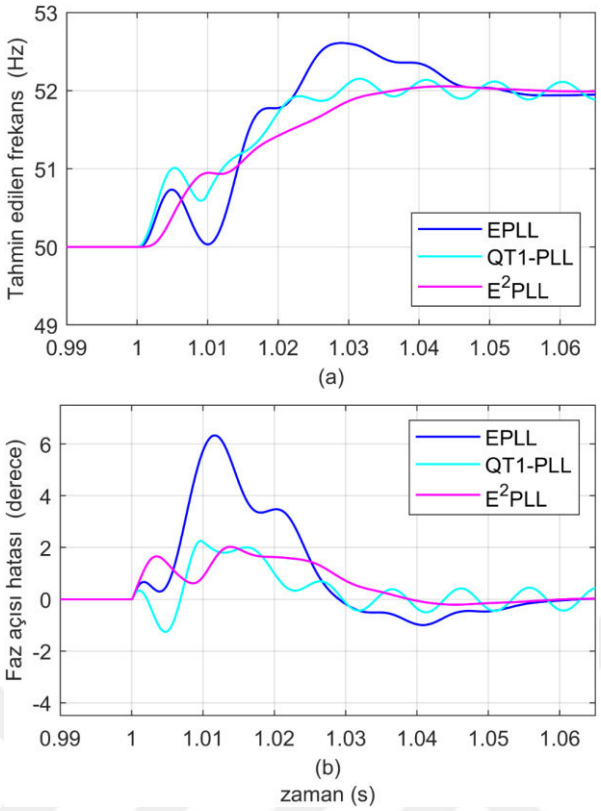


(a)

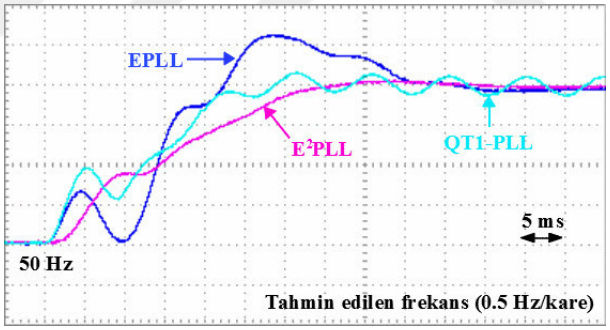


(b)

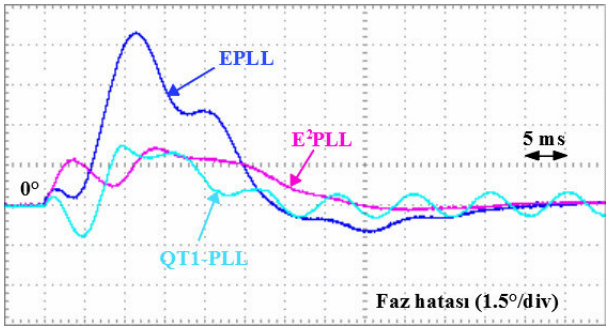
Şekil 3.36. +40° faz sıçraması durumundaki deneysel sonuçlar **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası



Şekil 3.37. Dengesizlik durumundaki simülasyon sonuçları **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası

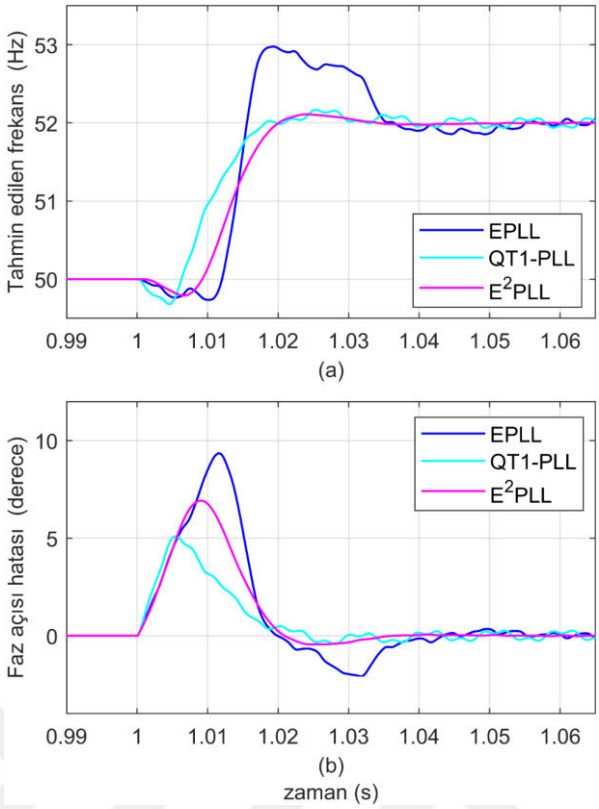


(a)

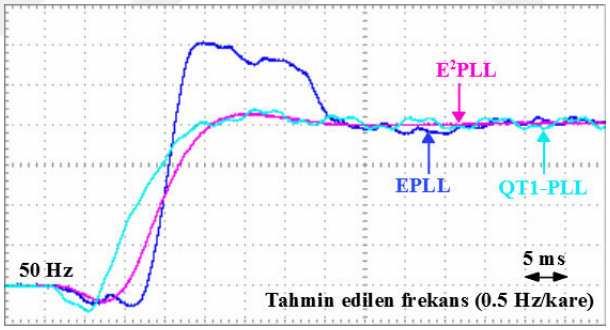


(b)

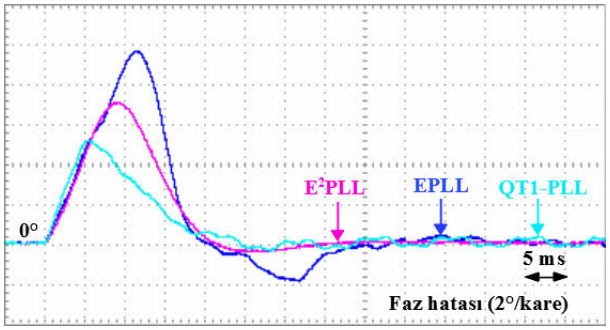
Şekil 3.38. Dengesizlik durumundaki deneysel sonuçlar **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası



Şekil 3.39. Harmonikli durumundaki simülasyon sonuçları **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası



(a)



(b)

Şekil 3.40. Harmonikli durumundaki deneysel sonuçlar **(a)** Tahmin edilen frekans **(b)** Tespit edilen faz açısı hatası

3.2.4. Genel Sonuçlar

Bu tez çalışmasında, ideal olmayan şebeke koşulları için oldukça etkili ve basit yapılı bir PLL yöntemi (E^2PLL) önerilmiştir. E^2PLL'nin etkinliği standart EPLL ve QT1-PLL yöntemleriyle karşılaştırılarak incelenmiştir. QT1-PLL'nin aksine E^2PLL, frekans tahmin algoritmasına sahip olduğu için FFNS bozukluğunu tamamen ortadan kaldırabilmiştir. Şebekede harmonik bileşenler olması durumunda E^2PLL'nin en küçük frekans ve faz hatasına sahip olduğu (hemen hemen sıfır hata) yapılan simülasyon ve deneysel sonuçlar ile ortaya konulmuştur. Bu, EPLL için büyük bir iyileştirmedir. Sonuç olarak, E^2PLL test edilen tüm şebeke koşulları için oldukça hızlı bir dinamik performans sağlamıştır.

3.3. Önerilen *dq*ADSC-PLL Yöntemi

3.3.1. Giriş

Klasik SRF-PLL yöntemi yapısının basitliği ve hızlı dinamik tepkisi ile çok fazla kullanılmaktadır. Fakat şebeke gerilimleri üzerinde DC-offset gerilimi oluşması durumunda SRF-PLL'nin performansı oldukça kötüleşmektedir. DC-offset gerilimi ölçüm için kullanılan sensörlerden, şebekeye DC akım aktaran üretim sistemlerinden, analog/sayısal dönüşüm işleminden, şebeke arızalarından vb. durumlarından meydana gelmektedir (Karimi-Ghartemani ve ark., 2011c). DC-offset bileşen frekans ve faz açısı tahmininde temel frekans dalgalanmalarına neden olur. Bu problemin üstesinden gelebilmek için literatürde birçok yöntem önerilmiştir. Bu yöntemler farklı filtreleme yapılarını içeren yapılardır ve iki kategoride sınıflandırılmaktadır. Bunlar; PLL kontrol döngüsünden önce ön filtreleme ve PLL kontrol döngüsü içerisinde filtrelemedir.

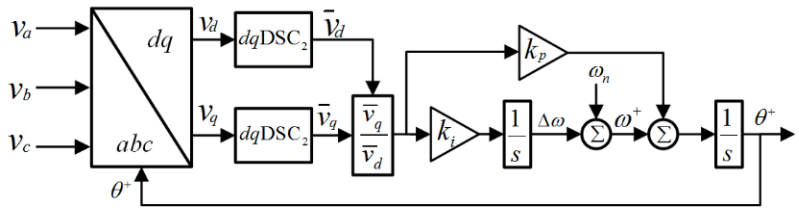
Karimi-Ghartemani ve ark. (2011a), DC-offset bileşeni yok etmek için PLL'nin ön filtreleme aşamasında bant-geçiren filtre tabanlı bir yöntem önermişlerdir. Bu yöntem, DC-offset gerilimini tamamen ortadan kaldırmasına rağmen PLL'nin dinamik performansını önemli ölçüde azaltmaktadır. Kanjiya ve ark. (2018), PLL'nin ön filtreleme kısmında adaptif yapılı birinci dereceden alçak geçiren filtre önermişlerdir. Bu DC-offset yok etme yönteminin temeli, Dong ve ark. (2011) tarafından önerilen yönteme dayanmaktadır. Sonuç olarak bu yöntem, basit yapılı olmasına karşın sistemin harmonik filtreleme kabiliyetini azaltabilmektedir. Golestan ve ark. (2015c), ön filtreleme ve döngü

içi filtreleme tabanlı beş adet DC-offset bileşeni yok eden yöntemin detaylı analizini yapmıştır. Bu çalışmada, analizi edilen beş yöntemin DC-offset bileşeni tamamen yok ettiği fakat döngü içi filtreleme tekniği kullanan yöntemlerin daha yavaş tepki verdiği belirtilmiştir. Bu yüzden, döngü içi filtreleme ile DC-offset gerilimini yok eden yöntemler üzerine çok fazla çalışma yapılmamıştır.

Bu tez çalışmasında, DC-offset varlığında, döngü içi filtrelemeden kaynaklı ortaya çıkan PLL'nin performans hızı sorunu için bir yöntem önerilmiştir. Önerilen yöntemde (*dq*ADSC-PLL), tüm geçiren filtre (all-pass filter, APF) tabanlı geciktirilmiş sinyal iptali (delayed signal cancellation, DSC) yaklaşımı kullanılmaktadır. Önerilen yöntem, bir nevi standart *dq*DSC-PLL yönteminin iyileştirilmiş halidir. Diğer taraftan, *dq*DSC-PLL'nin yavaş tepkisinin yanında başka bir dezavantajı daha vardır. Frekans değişimi durumunda *dq*DSC-PLL yönteminde DSC operatörünün dijitalleştirilmesinden kaynaklı hatalar meydana gelmektedir. Önerilen APF tabanlı DSC operatörü sayesinde *dq*DSC-PLL yönteminin sahip olduğu bu hata da ortadan kaldırılmaktadır.

Önerilen yöntemin etkinliği, en çok bilinen iki yöntem ile karşılaştırılarak gösterilmiştir. Karşılaştırma için *dq*DSC-PLL ve çentik filtre tabanlı PLL (notch filter PLL, NF-PLL) yöntemi kullanılmıştır. Bu yüzden, ilk olarak bu iki yöntem tanıtılmıştır. Daha sonra önerilen yöntem ve karşılaştırma sonuçları ile devam edilecektir.

Şekil 3.41 standart *dq*DSC-PLL yönteminin blok yapısını göstermektedir. Bu yöntem, döngü içerisinde DSC operatörünü barındırmaktadır. Üstelik DSC operatöründen sonra genlik normalizasyon işlemi de gerçekleştirilmektedir. Bu sayede, PLL'nin kontrol döngüsü şebeke gerilimi değişimlerine karşı bağımsız hale gelmektedir.



Şekil 3.41. *dq*DSC-PLL'nin yapısı

DSC operatörü bir FIR filtredir. *dq*DSC operatörünün transfer fonksiyonu *s*-domeninde şu şekilde ifade edilir (Wang ve Li, 2010b):

$$dq\mathrm{DSC}_n(s) = \frac{1 + e^{\frac{-T}{n}s}}{2}$$

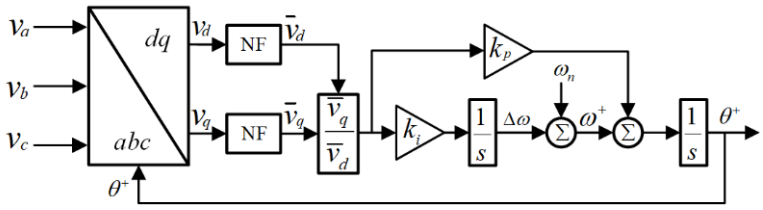
(3.26)

Burada T şebeke gerilimlerinin temel periyodu, n ise geciktirme faktörüdür.

DC-offset bileşenini yok etmek için $n = 2$ olarak seçilir. (3.26)'da s yerine $j\omega$ konulursa $dq\mathrm{DSC}_2$'nin frekans cevabı aşağıdaki gibi elde edilir:

$$dq\mathrm{DSC}_2(j\omega) = \left|\cos\left(\frac{\omega T}{4}\right)\right| \angle -\left(\frac{\omega T}{4}\right) \tag{3.27}$$

Şekil 3.42 standart NF-PLL yönteminin blok şemasını göstermektedir. Bu yöntem, döngü içerisinde ikinci dereceden çentik filtre (notch filter, NF) içermektedir dqDSC-PLL yönteminde olduğu gibi NF-PLL yöntemi de genlik normalizasyon işlemine sahiptir. Şekil 3.41 ve Şekil 3.42'teki yapılar kıyaslandığında NF-PLL yöntemi aslında dqDSC-PLL'deki DSC operatörünün NF ile yer değiştirilmesi sonucu meydana gelmektedir.



Şekil 3.42. NF-PLL'nin yapısı

NF, bant durduran filtre gibi davranmaktadır ve dar bir bant içerisinde istenmeyen frekanslı bileşenleri yok etmektedir. Ayrıca, diğer frekansları değişikliğe uğratmadan geçirmektedir. İkinci dereceden bir NF'nin transfer fonksiyonu

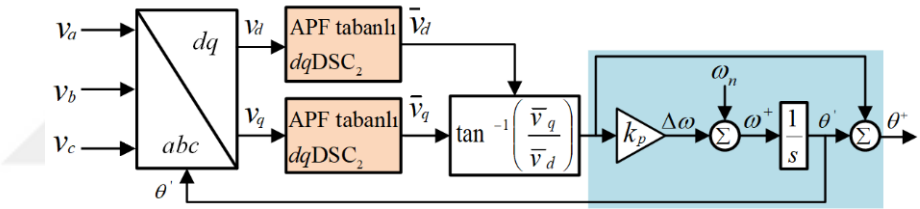
$$\mathrm{NF}(s) = \frac{s^2 + \omega_{nf}^2}{s^2 + \left(\omega_{nf}/Q\right)s + \omega_{nf}^2} \tag{3.28}$$

şeklinde ifade edilebilir. Burada ω_{nf} ve Q, NF'nin çentik frekansını ve kalite faktörünü ifade etmektedir.

50 Hz sistemler için ω_{nf} değerinin 2π50 rad/s olarak ayarlanması önerilmektedir. Çünkü Park dönüşümünden sonra DC-offset bileşen, temel frekans bozukluğu bileşenine dönüşmektedir. Q değeri filtrenin bant genişliğini doğrudan etkiler. Büyük frekans değişimlerinde bant genişliğinin büyük seçilmesi, DC-offset bileşeninin daha etkili yok edilmesini sağlamaktadır. Fakat büyük bant genişliği, PLL'nin dinamik performansının yavaşlamasına neden olmaktadır.

3.3.2. *dq*ADSC-PLL yönteminin tasarımı

Şekil 3.43'te önerilen *dq*ADSC-PLL'nin blok yapısı verilmiştir. Bu yöntemde, standart DSC operatörü yerine APF tabanlı DSC operatörü kullanılmaktadır. APF'nin tercih edilmesinin nedenleri şunlardır: hızlı tepki vermesi, kolay uygulanabilir olması, basit yapılı olması ve düşük hesap yüküne sahip olması (Beheshtaein ve ark., 2018; Sevilmiş ve Karaca, 2020).



Şekil 3.43. *dq*ADSC-PLL'nin yapısı

Birinci dereceden APF'nin transfer fonksiyonu şöyle ifade edilir:

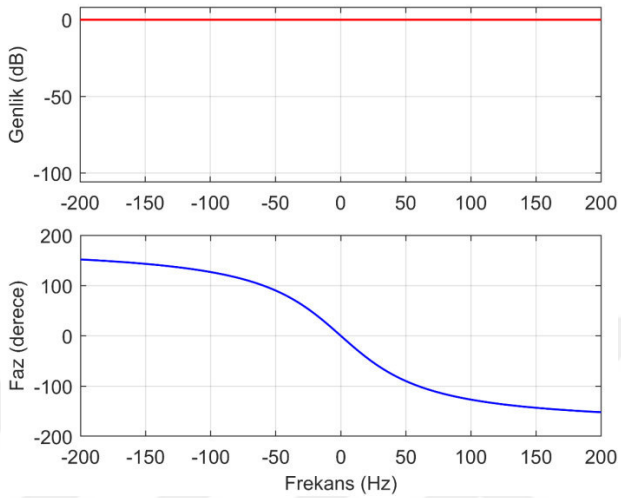
$$\mathrm{APF}(s)=\frac{\omega_n - s}{\omega_n + s} \tag{3.29}$$

Burada ω_n nominal şebeke frekansıdır.

(3.29)'da s yerine $j\omega$ konulup bazı matematiksel düzenlemeler yapılırsa APF'nin frekans tepkisi şu şekilde elde edilir:

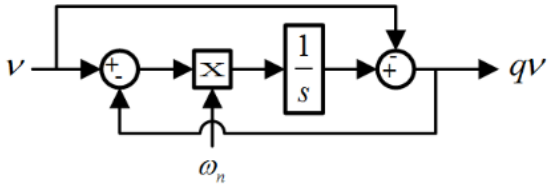
$$\mathrm{APF}(j\omega)=1\angle -2\arctan\left(\frac{\omega}{\omega_o}\right) \tag{3.30}$$

Şekil 3.44 APF'nin bode grafiğini göstermektedir. Şekilden gözlemlenebildiği gibi APF tüm frekanslar için birim kazanç sağlamaktadır. Yani, sinyallerin genliğine herhangi bir etkisi yoktur. APF, sadece giriş sinyalinin faz açısını değiştirmektedir. Şekilden anlaşılacağı üzere temel şebeke frekansında APF, 90 derecelik faz kayması meydana getirmektedir.



Şekil 3.44. APF'nin bode diyagramı

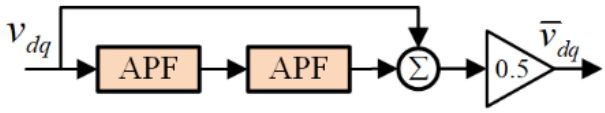
Şekil 3.45'te görüldüğü gibi APF'in blok şeması kolayca elde edilebilir. Burada *qv* çıkış sinyali, giriş sinyalinden (*v*) 90 derece geri fazdadır.



Şekil 3.45. APF'nin yapısı

Standart *dq*DSC$_2$ operatöründe, DC-offset bileşenini yok etmek için 180°'lik faz gecikmesi sağlanır. Şekil 3.46'da verildiği gibi önerilen APF tabanlı *dq*DSC$_2$ (*dq*ADSC$_2$) operatöründe iki adet APF modülü birbirlerine kaskat bağlanır. Bu şekilde 180°'lik faz gecikmesi meydana getirilir. Kaskat bağlanmış APF (cascaded APF, CAPF) modülünün transfer fonksiyonu şu şekilde elde edilir:

$$\mathrm{CAPF}(s)=\frac{s^2-2\omega_n s+{\omega_n}^2}{s^2+2\omega_n s+{\omega_n}^2} \tag{3.31}$$



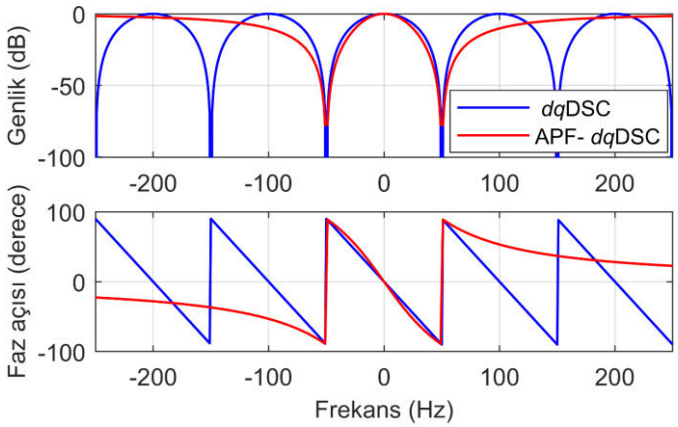
Şekil 3.46. *dq*ADSC$_2$ operatörünün yapısı

Şekil 3.46'dan görüldüğü gibi, *dq*ADSC$_2$ operatörünün transfer fonksiyonu basitçe şöyle elde edilir.

$$dq\text{ADSC}_2(s) = \frac{s^2 + \omega_n^2}{s^2 + 2\omega_n s + \omega_n^2} \tag{3.32}$$

(3.32)'den anlaşılabileceği gibi önerilen *dq*ADSC$_2$ operatörü aslında ikinci dereceden bir çentik filtredir. Şekil 3.47, *dq* eksen takımında standart *dq*DSC$_2$ operatörü ile *dq*ADSC$_2$ operatörünün bode diyagramını göstermektedir.

Daha önce söylendiği gibi Park dönüşümünden sonra (*dq* eksen takımında) FFPS bileşen DC bileşene dönüşmektedir. DC-offset bileşen de temel frekans negatif bileşene dönüşmektedir. Şekil 3.47'den görüldüğü gibi her iki operatör de nominal şebeke frekansında (0 Hz) birim kazanç ve -50 Hz'de sıfır kazanç sağlamaktadır. Böylece operatörler DC-offset bileşeni yok etmektedirler.



Şekil 3.47. *dq*DSC$_2$ ve *dq*ADSC$_2$ operatörlerini bode grafiği

Önerilen yöntemde, denetleyici tasarımı standart *dq*DSC-PLL ve NF-PLL yöntemlerinden farklıdır. *dq*DSC-PLL (Şekil 3.41) ve NF-PLL (Şekil 3.42) yapılarında klasik PI denetleyici kullanılmaktadır. Diğer yandan önerilen *dq*ADSC-PLL (Şekil 3.43) yapısında PI denetleyici kullanılmamaktadır. Bunun yerine, (Golestan ve ark., 2014a) referanslı çalışmadaki denetleyici yapısı tercih edilmektedir. Bu denetleyici yapısında,

sadece oransal kazanç (k_p) kullanılmaktadır. Bu sayede iki önemli avantaj sağlanır: 1) PLL performansı önemli ölçüde hızlanır ve 2) parametre tasarım süreci basitleşir.

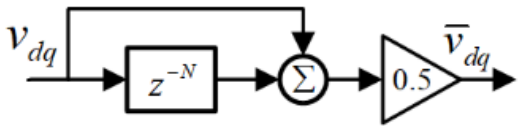
Yöntemlerin pratik uygulamalarda kullanılabilmesi için filtrelerin z-domeninde ifade edilmesi gerekir. Şekil 3.45'te verilen APF yapısını z-domeninde tanımlamak için üçüncü dereceden Adams-Basforth yöntemi tercih edilmiştir. Bu yöntemin kullanılmasının nedeni s-domeninden z-domenine dönüştürme işleminde yüksek doğruluk sağlamasıdır. APF yapısındaki integratör z-domeni karşılığı yaklaşık olarak

$$\frac{1}{s} \Leftrightarrow \frac{T_s}{12} \frac{23z^{-1} - 16z^{-2} + 5z^{-3}}{1 - z^{-1}} \tag{3.33}$$

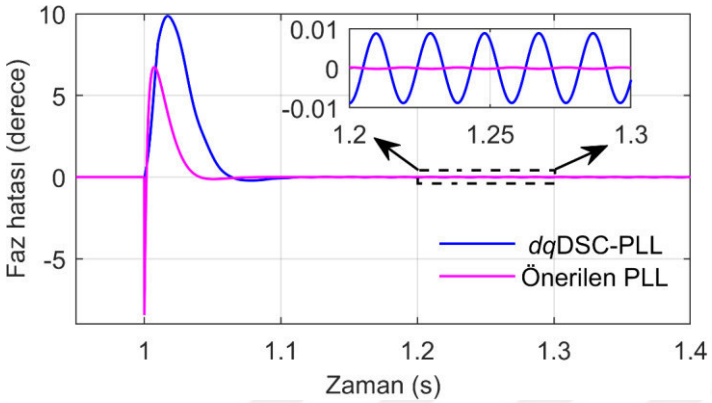
elde edilir. Burada T_s örnekleme zamanını ifade etmektedir. Açık konuşmak gerekirse APF yapısındaki integratörün yerine (3.33)'teki z-domeni karşılığının konulması yeterlidir.

APF'ye benzer şekilde, NF yapısındaki integratörler için de (3.33)'teki ifade yerine koyularak NF, z-domeninde tanımlanmış olur.

(3.26)'da verilen $dq\text{DSC}_2$ operatörünün z-domeni karşılığı Şekil 3.48'te ifade edilmiştir. Şekilde görülen N, $T/(nT_s)$ şeklinde ifade edilmektedir. Burada, T şebeke periyodu, n geciktirme faktörü ve T_s örnekleme zamanıdır. N aynı zamanda bir tamsayıdır. Eğer şebeke frekansı 50 Hz ise DC-offset gerilimi yok etmek için n = 2 seçilmelidir. T_s = 10 kHz'ye ayarlanırsa N = 100 olarak hesaplanır. Frekans değişimi olduğu zaman şebeke periyodu değişeceği için N tamsayı değerinde olmayabilir. Bu yüzden, N değeri tamsayı değerine yuvarlatılır. Bu durum, dijitalleştirilmeden kaynaklı hatalara neden olur. Bu hatayı daha iyi ifade edebilmek için şebekede DC-offset bileşenin yanında frekans değişimi de meydana getirilerek $dq\text{DSC}_2$ operatörü ile önerilen $dq\text{ADSC}_2$ operatörünün tepkileri Şekil 3.49'da gösterilmiştir. Şekilden gözlemlendiği gibi sürekli durumda dqDSC-PLL yönteminde tahmin edilen faz açısı üzerinde $dq\text{DSC}_2$ operatörünün dijitalleştirilmesinden kaynaklı hata meydana gelmektedir. Bu hata, $dq\text{DSC}_2$ operatöründeki N değerinin en yakın tamsayı değerine yuvarlatılmasından kaynaklanmaktadır. Önerilen yöntem, standart DSC operatörü yerine APF kullandığı için söz konusu hata önerilen yöntemde meydana gelmez.



Şekil 3.48. *dq*DSC$_2$ operatörünün z-domeni karşılığı

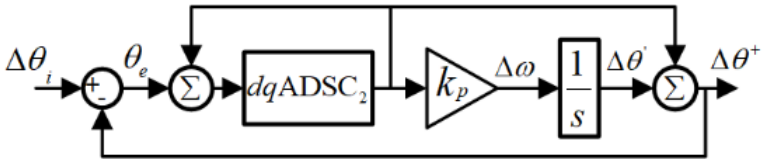


Şekil 3.49. Dijitalleştirmeden kaynaklı hata

Önerilen yöntemin kontrol döngüsündeki k_p kazancı tasarlanması gereken tek parametredir. k_p değerini ayarlamak için önerilen *dq*ADSC-PLL (Şekil 3.43) yapısının lineer modelinin çıkartılmasına ihtiyaç vardır. Şekil 3.50, *dq*ADSC-PLL'nin lineer modelini göstermektedir. (3.32)'de transfer fonksiyonu verilen *dq*ADSC$_2$ operatöründe ikinci dereceden terimler düşük frekans aralığında ihmal edilebilir. Bu sayede, *dq*ADSC$_2$ operatörünün lineer ifadesi

$$dq\text{ADSC}_2(s) = \frac{s^2+\omega_n{}^2}{s^2+2\omega_n s+\omega_n{}^2} \approx \frac{\omega_n{}^2}{2\omega_n s+\omega_n{}^2} = \frac{\omega_n/2}{s+\omega_n/2} \tag{3.34}$$

şeklinde ifade edilebilir. (3.34)'ten anlaşıldığı gibi *dq*ADSC$_2$ operatörünün lineer ifadesi birinci dereceden alçak geçiren filtreye eşdeğerdir. Burada, filtrenin kesim frekansı $\omega_n/2$'dir.



Şekil 3.50. *dq*ADSC-PLL'nin lineer modeli

Şekil 3.50'de verilen lineer modele dayanarak *dq*ADSC-PLL'nin kontrol döngüsünün açık çevrim transfer fonksiyonu

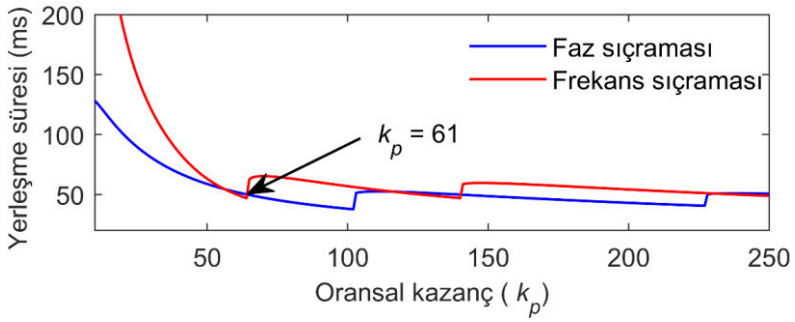
$$\mathrm{G}_{ol}(s)=\frac{\Delta\theta^{+}(s)}{\theta_e}=\left(\frac{dq\mathrm{ADSC}_2(\mathrm{s})}{1-dq\mathrm{ADSC}_2(\mathrm{s})}\right)\left(1+\frac{k_p}{s}\right)=\frac{\frac{\omega_n}{2}\left(s+k_p\right)}{s^2} \tag{3.35}$$

(3.35)'ten anlaşılabildiği gibi *dq*ADSC-PLL'nin açık çevrim fonksiyonu, orijinde ilave bir kutup kazanarak toplamda iki adet kutba sahip olur. Yani, *dq*ADSC-PLL kontrol döngüsünde sahip olduğu tek integratör ile tip-1 sistem gibi görünse de aslında tip-2 sistemdir. Bu sayede, frekans değişimi meydana gelse bile önerilen yöntem, faz açısını ve frekansını hatasız bir şekilde tespit eder.

Faz hatasının transfer fonksiyonu şu şekilde ifade edilebilir:

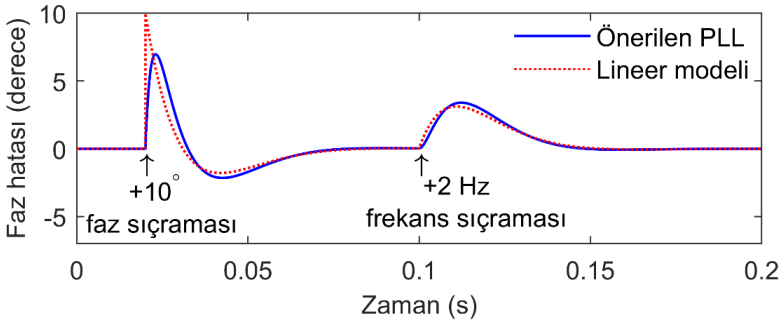
$$\mathrm{G}_e(s)=\frac{\theta_e}{\Delta\theta_i(s)}=\left(\frac{1}{1+G_{ol}(s)}\right) \tag{3.36}$$

(3.36)'yı kullanarak *dq*ADSC-PLL'nin faz ve frekans sıçraması koşulu altında k_p'nin fonksiyonu olarak %2'lik hataya göre yerleşme zamanı değişimi Şekil 3.51'de verilmiştir. Gözlemlendiği gibi faz ve frekans sıçraması durumunda optimum yerleşme süresi (t_s) için *dq*ADSC-PLL'nin k_p değeri 61 seçilmelidir.



Şekil 3.51. Faz sıçraması durumunda (3.36)'nın değişimi

Son olarak, *dq*ADSC-PLL'nin lineer modelinin doğruluğunu göstermek için *dq*ADSC-PLL'nin gerçek modeli ile lineer modeli faz ve frekans sıçraması durumları için karşılaştırılmıştır. Şekil 3.52'den görüldüğü gibi *dq*ADSC-PLL'nin lineer modeli, gerçek modelin dinamik davranışını yüksek doğrulukla tahmin etmektedir.



Şekil 3.52. *dq*ADSC-PLL'nin doğruluk değerlendirilmesi

Önerilen yöntemin kararlılığını analiz etmek için lineer modeli kullanılabilir. Şekil 3.50'deki lineer modele dayanarak *dq*ADSC-PLL'nin kapalı çevrim transfer fonksiyonu şu şekilde elde edilebilir:

$$G_{cl}(s)=\frac{\Delta\theta^{+}(s)}{\Delta\theta_i(s)}=\frac{\frac{\omega_n}{2}\left(s+k_p\right)}{s^2+\frac{\omega_n}{2}s+\frac{\omega_n}{2}k_p} \tag{3.37}$$

(3.37)'deki PLL'nin karakteristik denklemi ve Routh-Hurwitz kararlılık testi kullanılarak sistemin kararlılık analizi yapılabilir. Routh-Hurwitz kriterine göre *dq*ADSC-PLL yöntemi, $\omega_n > 0$ ve $k_p > 0$ için kararlı çalışmaktadır.

3.3.3. Simülasyon ve deneysel sonuçlar

Bu bölümde, önerilen *dq*ADSC-PLL yönteminin etkinliği ve performansı simülasyon ve deneysel sonuçlar ile ispatlanmıştır. Daha önceki PLL yöntemlerinde olduğu gibi simülasyon çalışmaları MATLAB/Simulink ortamında gerçekleştirilmiştir. Deneysel sonuçlar ise TMS320F28335 işlemcili DSP kontrol seti kullanılarak gerçekleştirilmiştir. Simülasyon ve deneysel çalışmalar süresince örnekleme frekansı 10 kHz, nominal şebeke frekansı 2π50 rad/s ve şebeke gerilimlerinin genlik değeri 1 p.u. olarak alınmıştır.

*dq*ADSC-PLL'nin performansı, standart *dq*DSC-PLL ve NF-PLL yöntemleri ile karşılaştırılmıştır. Karşılaştırma için dört farklı test koşulu oluşturulmuştur. Her bir test koşulu için simülasyon ve deneysel sonuçlar birlikte verilmiştir. Her bir test sonucu için iki adet grafik verilmiştir. İlk grafik şebeke faz gerilimlerini, ikinci grafik ise test koşuluna göre tespit edilen faz açısı hatasını veya frekansını göstermektedir. Elde edilen grafiklerden anlaşılacağı üzere deneysel sonuçlar, simülasyon sonuçları ile birebir örtüşmektedir.

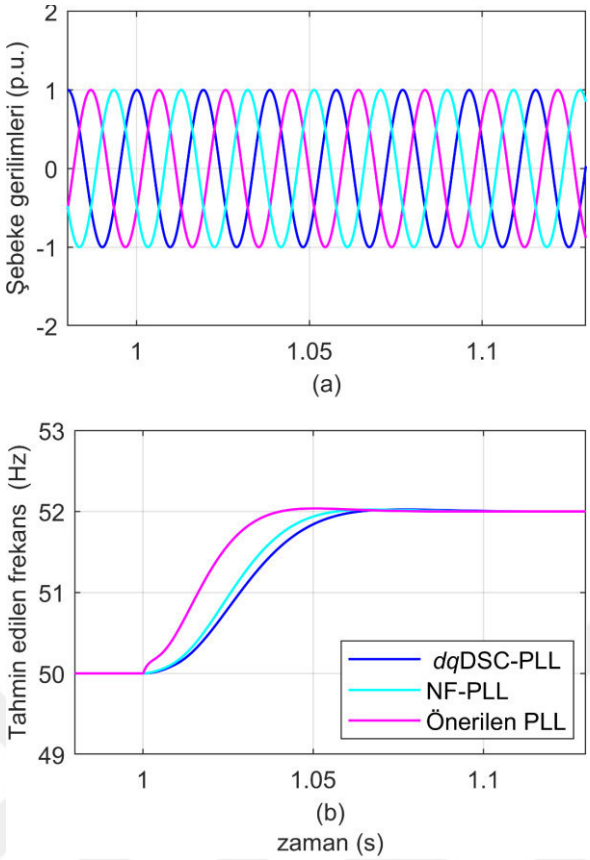
Bir önceki bölümde *dq*ADSC-PLL'nin k_p kontrol parametresi 61 olarak bulunmuştu. *dq*DSC-PLL için kontrol parametreleri k_p = 82.84 ve k_i = 2842.7, NF-PLL için kontrol parametreleri k_p = 92 ve k_i = 3507.1 olarak alınmıştır (Golestan ve ark., 2015c).

DC-offset bileşeni yok etme üzerine tasarlanmış PLL yöntemlerini farklı şebeke koşullarında test etmek için dört farklı test koşulu düşünülmüştür. Test koşulları aşağıdaki gibidir:

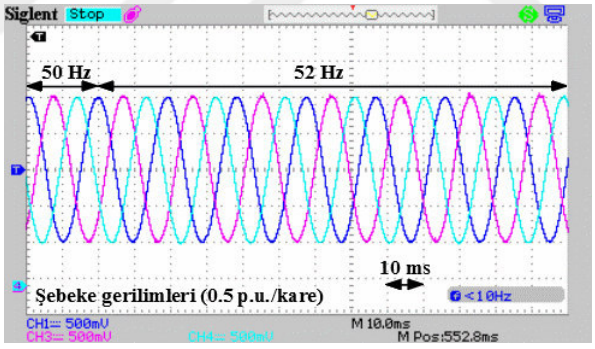
- **Test koşulu-1:** Şebeke frekansı aniden 50 Hz'den 52 Hz'ye yükseltilir.
- **Test koşulu-2:** Şebeke faz gerilimlerinde +40°'lik faz sıçraması meydana gelir. Bu test koşulu süresince şebeke frekansı 50 Hz'dir.
- **Test koşulu-3:** Tüm faz gerilimlerine DC-offset bileşen eklenir. A, B ve C fazlarına eklenen DC-offset gerimler sırasıyla 0.2 p.u., 0.1 p.u., ve –0.2 p.u değerindedir. Bu test koşulu boyunca şebeke frekansı 50 Hz'ye sabitlenmiştir.
- **Test koşulu-4:** Bir önceki test koşulu aynen oluşturulur, fakat şebeke frekansı 50 Hz'den 52 Hz'ye yükseltilir. Bu testte, PLL yöntemlerinde kullanılan filtreler frekans değişimlerine karşı adaptif hale getirilmiştir.

İlk test koşulu için Şekil 3.53 simülasyon sonuçlarını, Şekil 3.54 ise deneysel sonuçları göstermektedir. Şekillerden görüldüğü gibi önerilen *dq*ADSC-PLL yöntemi diğer iki yönteme göre hızlı bir performans sunmaktadır. Önerilen yöntemin yerleşme süresi yaklaşık 37 ms (1.85 periyot) iken *dq*DSC-PLL yönteminden yerleşme süresi 58 ms (2.9 periyot), NF-PLL yönteminde ise 52 ms (2.6 periyot) olarak gerçekleşmiştir.

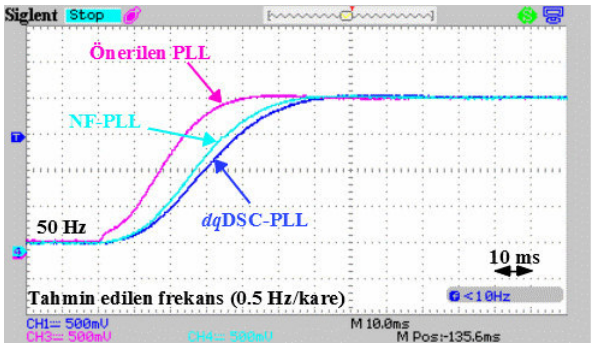
İkinci test koşulu için Şekil 3.55 simülasyon sonuçlarını, Şekil 3.56 ise deneysel sonuçları göstermektedir. Şekillerden görüldüğü gibi önerilen *dq*ADSC-PLL yöntemi diğer iki yönteme göre yine hızlı bir performans sunmaktadır. Önerilen yöntemin yerleşme süresi diğer iki yöntemin yerleşme süresinden kısadır. Önerilen yöntem de yerleşme süresi yaklaşık 50 ms (2.5 periyot) iken *dq*DSC-PLL yönteminde yerleşme süresi 72 ms (3.6 periyot), NF-PLL yönteminde ise 64 ms (3.2 periyot) olarak gerçekleşmiştir. Üstelik *dq*ADSC-PLL yöntemi diğer yöntemlere göre daha düşük faz aşmasına sahiptir. Faz aşma yüzdelikleri *dq*ADSC-PLL için %8.7, *dq*DSC-PLL için %13.8 ve NF-PLL için %14.3'tür. Bu test, önerilen DC-offset yok etme yönteminin yerleşme süresi ve faz aşma miktarı açısından diğer iki yönteme kıyasla en iyi performans gösteren yöntem olduğunu doğrulamaktadır.



Şekil 3.53. Test koşulu-1 için simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans

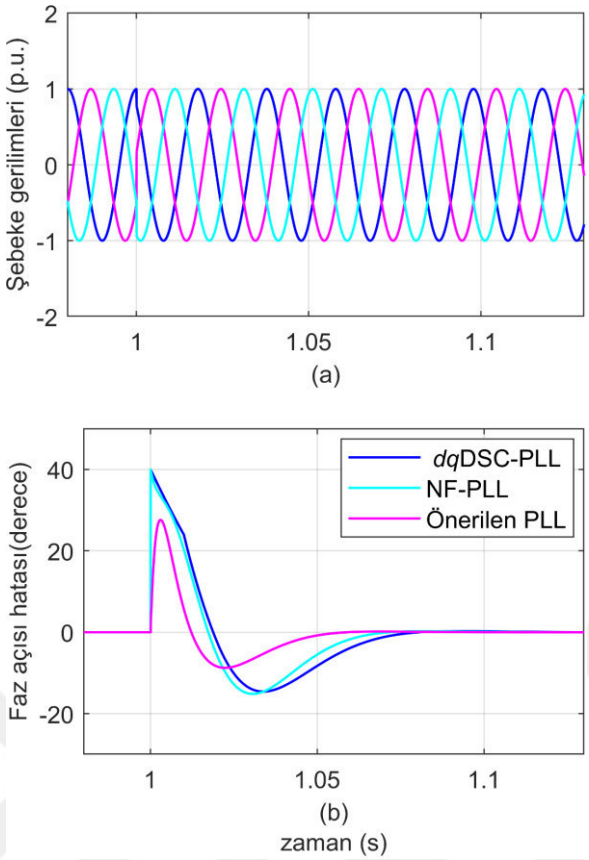


(a)

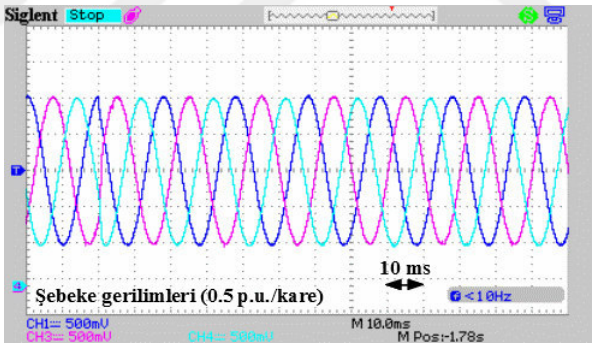


(b)

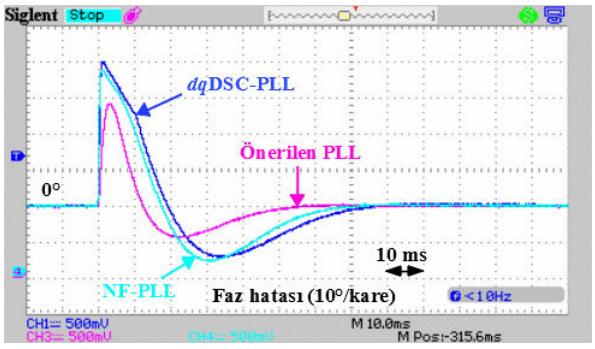
Şekil 3.54. Test koşulu-1 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans



Şekil 3.55. Test koşulu-2 için simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tespit edilen faz açısı hatası



(a)



(b)

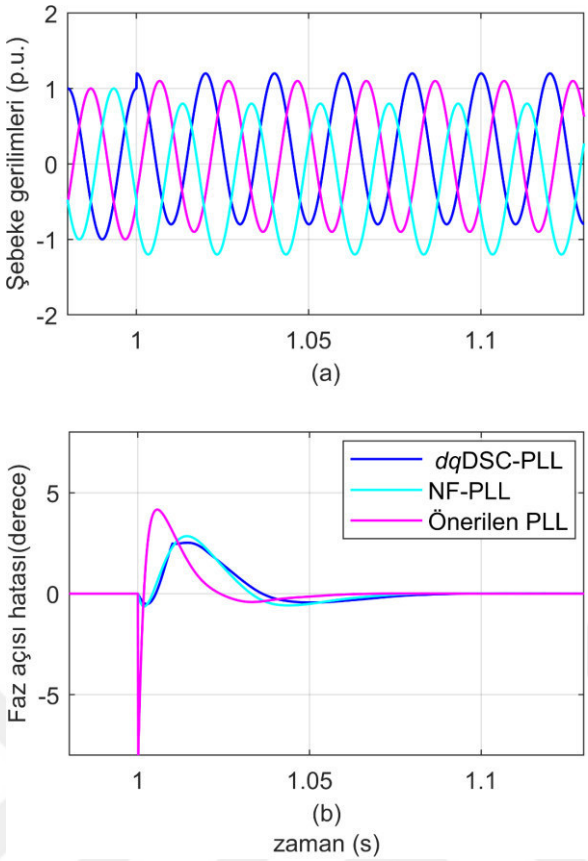
Şekil 3.56. Test koşulu-2 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tespit edilen faz açısı hatası

Üçüncü test koşulu için Şekil 3.57 simülasyon sonuçlarını, Şekil 3.58 ise deneysel sonuçları göstermektedir. Şekillerden anlaşıldığı gibi sürekli durumda hiçbir yöntemde faz hatası meydana gelmemektedir. Fakat *dq*ADSC-PLL yöntemi, *dq*DSC-PLL ve NF-PLL yöntemlerine göre daha iyi bir dinamik tepki göstermektedir. *dq*ADSC-PLL yönteminde yerleşme süresi yaklaşık 50 ms iken *dq*DSC-PLL ve NF-PLL yöntemlerinde yerleşme süresi yaklaşık 70 ms olarak gerçekleşmiştir.

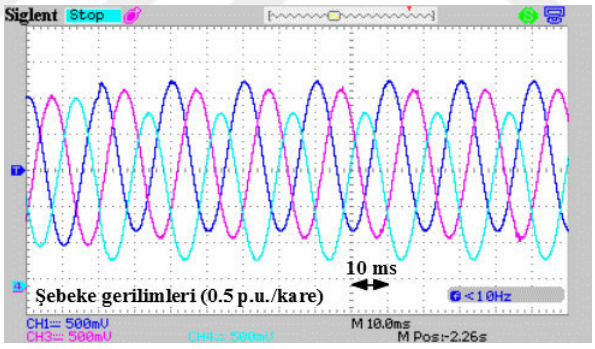
Son test koşulu için Şekil 3.59 simülasyon sonuçlarını, Şekil 3.60 ise deneysel sonuçları göstermektedir. Şebekede DC-offset bileşeni ile birlikte frekans değişimi de meydana gelirse tüm yöntemlerde faz hataları baş gösterir. Bu sorunun üstesinden gelebilmek için *dq*DSC-PLL yöntemindeki DSC operatörü, NF-PLL yöntemindeki NF yapısı ve önerilen *dq*ADSC-PLL yöntemindeki CAPF modülü adaptif hale getirilir. Bu sorun bu şekilde aşılabilmektedir. Şekillerden görüldüğü gibi *dq*ADSC-PLL yöntemi bu tür şebeke durumunda oldukça hızlı çalışmaktadır. Önerilen yöntem de yerleşme süresi yaklaşık 40 ms iken *dq*DSC-PLL yönteminde yerleşme süresi 64 ms, NF-PLL yönteminde ise 54 ms olarak gerçekleşmiştir. Üstelik önerilen yöntem diğer iki yönteme kıyasla daha düşük faz aşmasına sahiptir.

3.3.4. Genel sonuçlar

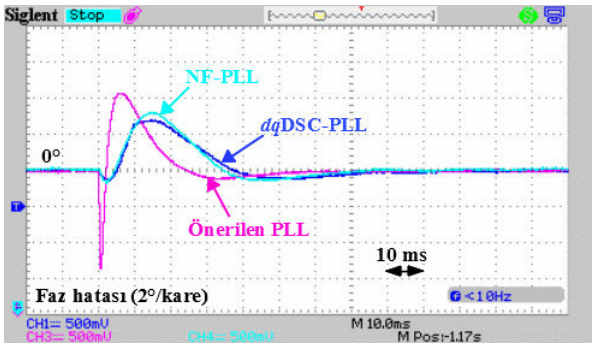
Bu tez çalışmasında, DC-offset bileşeni oldukça etkili bir şekilde yok edebilen basit yapılı bir PLL yöntemi (*dq*ADSC-PLL) önerilmiştir. *dq*ADSC-PLL yönteminin etkinliği standart *dq*DSC-PLL ve NF-PLL yöntemleriyle karşılaştırılarak incelenmiştir. Önerilen yöntem, test edilen tüm şebeke koşulları için diğer iki yönteme göre oldukça hızlı bir dinamik performans sağlamıştır. Yani, *dq*ADSC-PLL çok daha kısa bir yerleşme süresine sahiptir. Üstelik önerilen PLL yöntemi, yapısındaki APF'ler sayesinde standart *dq*DSC-PLL yönteminde karşılaşılan dijitalleştirme hatasını da yok edebilmektedir. Simülasyon ve deneysel sonuçlar, *dq*ADSC-PLL yönteminin etkinliğini doğrulamıştır.



Şekil 3.57. Test koşulu-3 için simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tespit edilen faz açısı hatası

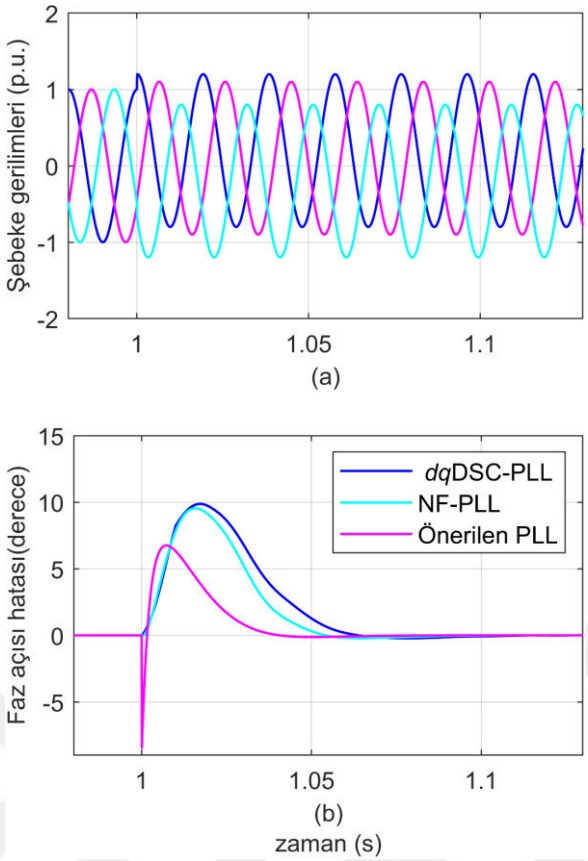


(a)

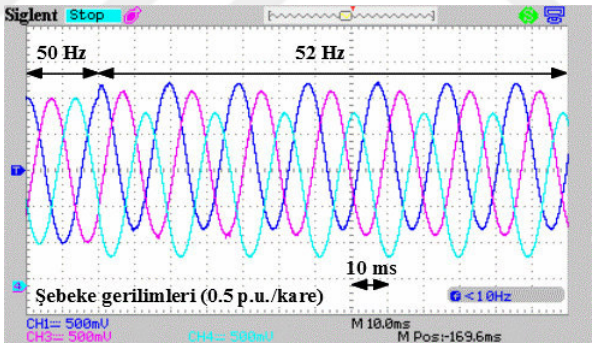


(b)

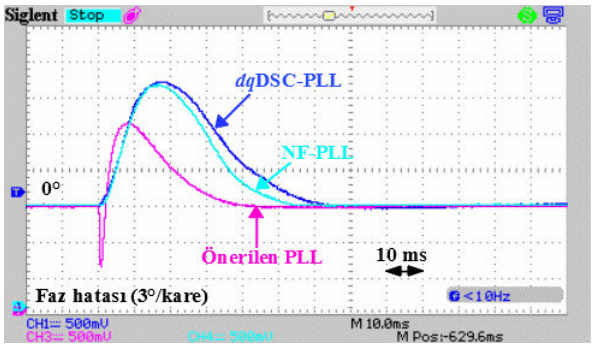
Şekil 3.58. Test koşulu-3 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tespit edilen faz açısı hatası



Şekil 3.59. Test koşulu-4 için simülasyon sonuçlar **(a)** Şebeke gerilimleri **(b)** Tespit edilen faz açısı hatası



(a)



(b)

Şekil 3.60. Test koşulu-4 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tespit edilen faz açısı hatası

3.4. DTOGI Tabanlı Hibrit PLL Yöntemi

3.4.1. Giriş

Literatür incelendiği zaman birçok gelişmiş PLL yönteminin önerildiği görülmektedir. Her PLL yönteminin avantajları ve dezavantajları bulunmaktadır. Bu yüzden araştırmacılar, herhangi iki yöntemin avantajlı yönlerini tek bir PLL yönteminde birleştirmeye çalışmaktadırlar. Bu sayede daha gelişmiş PLL yöntemi ortaya çıkartılabilmektedir.

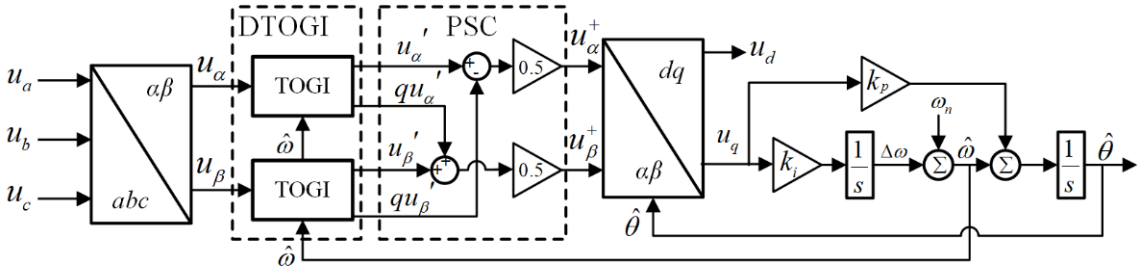
Bu tez çalışmasında, iki PLL yöntemi tek bir PLL çatısı altında birleştirilmiş ve bu iki yönteme göre daha iyi filtreleme kabiliyetine sahip olan ve yüksek performans gösteren bir PLL yöntemi önerilmiştir. Önerilen yöntem, iki adet üçüncü dereceden genelleştirilmiş integratör PLL (dual third order generalized integrator PLL, DTOGI-PLL) yöntemi ile QT1-PLL yönteminin hibritlenmiş halidir. Önerilen yöntemin etkinliği, doğası gereği DTOGI-PLL ve QT1-PLL yöntemleri ile karşılaştırılarak doğrulanmıştır. Bu yüzden, ilk olarak DTOGI-PLL yöntemi tanıtılmıştır. QT1-PLL yönteminin açıklaması daha önce de yapıldığı için tekrardan kaçınmak uğruna bu yöntem bir kez daha anlatılmayacaktır (Bakınız Bölüm 3.1.1). DTOGI-PLL'nin anlatımından sonra önerilen yöntemin tasarımına geçilecektir. Son olarak da simülasyon ve deneysel sonuçlar ile farklı şebeke koşulları altında yöntemlerin performansları tartışılacaktır.

Şekil 3.61, DTOGI-PLL yönteminin blok yapısını göstermektedir (Li ve ark., 2013). Blok şemasından görüldüğü gibi bu PLL yöntemi ön filtreleme aşamasında üçüncü dereceden genelleştirilmiş integratör (third order generalized intagrator, TOGI) yapısını kullanmaktadır. Yani, Clarke dönüşümü ile u_α ve u_β gerilimleri elde edildikten sonra bu gerilimler TOGI tabanlı ön filtreden geçirilmektedir. TOGI filtrenin blok diyagramı Şekil 3.62'de verilmiştir. TOGI filtrelerin kullanılmasıyla filtrelenmiş u_α ve u_β gerilimleri (u_α' and u_β') ve onların 90 derece geri fazlı halleri (qu_α' and qu_β') elde edilmektedir. TOGI filtrenin transfer fonksiyonu şu şekilde ifade edilmektedir:

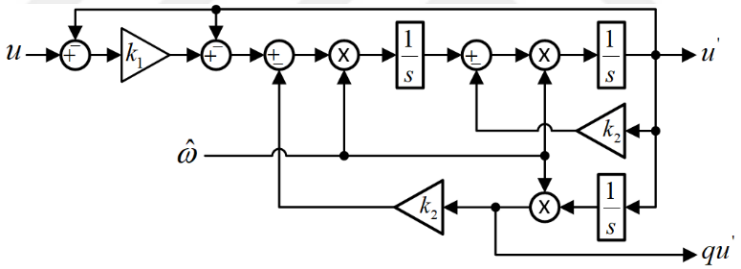
$$R(s) = \frac{u_{\alpha,\beta}'}{u_{\alpha,\beta}} = \frac{k_1\hat{\omega}^2 s}{s^3 + k_2\hat{\omega}s^2 + \left(k_1+1\right)\hat{\omega}^2 s + k_2\hat{\omega}^3} \tag{3.38}$$

$$Q(s)=\frac{qu_{\alpha,\beta}'}{u_{\alpha,\beta}}=\frac{\hat{\omega}}{s}R(s)=\frac{k_1\hat{\omega}^3}{s^3+k_2\hat{\omega}s^2+(k_1+1)\hat{\omega}^2s+k_2\hat{\omega}^3} \tag{3.39}$$

Burada $\hat{\omega}$, tahmin edilen şebeke frekansıdır. k_1 ve k_2 değerleri, TOGI'nin filtre parametreleridir. k_1 değeri filtrenin bant genişliğini ayarlar iken k_2 değeri filtrenin tepkisini değiştirmektedir.



Şekil 3.61. DTOGI-PLL'nin blok şeması



Şekil 3.62. TOGI yapısı

TOGI filtrelerden elde edilen dört adet sinyal (u_α', u_β', qu_α' ve qu_β'), pozitif sıralı bileşen hesaplayıcı (positive sequence calculator, PSC) birimine transfer edilir. PSC birimi sayesinde u_α ve u_β gerilimlerinin pozitif sıralı bileşenleri (u_α^+ ve u_β^+) ISC yöntemine göre şöyle hesaplanır:

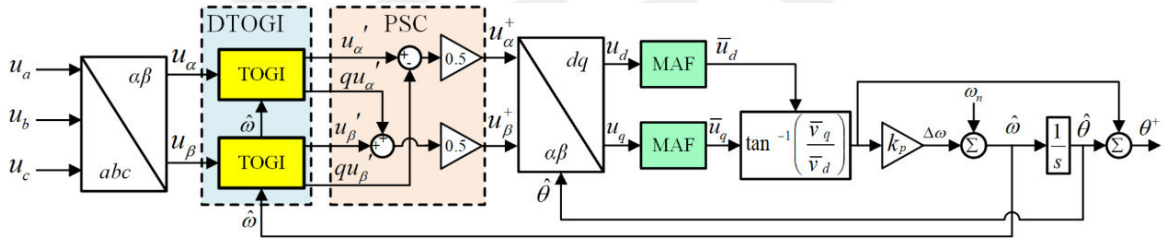
$$u_\alpha^+=0.5\left(u_\alpha'-qu_\beta'\right) \tag{3.40}$$

$$u_\beta^+=0.5\left(qu_\alpha'+u_\beta'\right) \tag{3.41}$$

Elde edilen u_α^+ ve u_β^+ gerilimler, şebeke geriliminin genlik, frekans ve faz açısı bilgilerinin tespiti için klasik SRF-PLL yapısına aktarılır. Tahmin edilen frekans ($\hat{\omega}$), Şekil 3.61'de görüldüğü gibi TOGI filtrelerine geri besleme yapılır. Bu sayede DTOGI-PLL, frekans değişimlerine karşı bağışık hale gelmiş olur.

3.4.2. Önerilen PLL yönteminin tasarımı

Önerilen PLL yönteminin blok şeması Şekil 3.63'te verilmiştir. Önerilen yöntemde, PLL'nin kontrol döngüsünden önce frekans adaptasyonlu iki adet TOGI filtre kullanılmaktadır. DTOGI-PLL yönteminde olduğu gibi elde edilen u_α ve u_β gerilimleri ilk önce TOGI filtrelerden geçirilmektedir. TOGI çıkışlarından elde edilen sinyalleri kullanarak PSC biriminde FFPS bileşenler (u_α^+ ve u_β^+) matematiksel olarak hesaplanmaktadır. Şebeke geriliminin faz açısını ve frekansını tahmin etmek için u_α^+ ve u_β^+ gerilimler, QT1-PLL'ye giriş olarak verilmektedir.



Şekil 3.63. Önerilen PLL yönteminin blok şeması

Bundan sonraki aşamada QT1-PLL içerisindeki MAF bloklarının tasarım aşamasına geçilmektedir. MAF'nın pencere genişliğinin seçimi şebekedeki harmonik bileşenlere bağlıdır. Genellikle üç fazlı şebeke uygulamalarında, FFNS bileşen ve tekrarlanmayan tek dereceli harmonik bileşenler (–5.harmonik, +7.harmonik, –11.harmonik, +13.harmonik, …) baskın bozukluk bileşenleridir. Bölüm 3.1.2'deki Çizelge 3.1'de de bahsedildiği gibi PLL'nin kontrol döngüsü içerisinde (Park dönüşümünden sonra, $\alpha\beta \rightarrow dq$) bu bileşenler çift dereceli harmoniklere (–2.harmonik, ±6.harmonik, ±12.harmonik, …) dönüşmektedir. Daha açık ifade etmek gerekirse, FFNS bileşen, PLL'nin döngü içerisinde –2.harmoniğine karşılık gelmektedir. FFNS bileşen, kontrol döngüsünden önce DTOGI modülü ve PSC birimi sayesinde ortadan kaldırıldığı için diğer baskın harmonik bileşenlerin (±6.harmonik, ±12.harmonik, …) yok edilmesi için MAF'ın pencere genişliği büyük ölçüde azaltılabilir. Bu sayede, pencere genişliği

T/6 seçilebilir. Fakat bu tezde, MAF'ın pencere genişliğinin *T*/3 seçilmesi önerilmektedir. Şebekede FFNS dışında baskın harmonikler, tekrarlanmayan tek dereceli harmonikler olmasına rağmen şebekenin hangi harmonik bileşenleri içerdiği tam olarak kestirilememektedir. Bu yüzden, MAF'ın pencere genişliğini çok fazla azaltmak olası harmonik bileşenlerin yok edilememesi anlamına gelmektedir. Tekrarlanmayan tek dereceli harmonikler dışında düşük dereceli çift harmonikler de şebekede kendilerini gösterebilmektedirler. Yani, bu çift dereceli harmonik bileşenler *αβ* eksen takımında –2.harmonik, +4.harmonik, vb. bileşenlerdir. MAF'ın pencere genişliğinin *T*/6 yerine *T*/3 seçilmesi ile Çizelge 3.1'deki harmonik bileşenlerin yanı sıra bu çift dereceli harmonikler de yok edilebilmektedir.

Filtrelerin bode diyagramlarını aynı eksen takımında gösterebilmek için *αβ* eksen takımında (3.38) ve (3.39) ile verilen DTOGI'nin transfer fonksiyonları, *dq* eksen takımı eşdeğerine dönüştürülür. Bunun için *αβ*DTOGI denkleminde *s* yerine (*s* + *jω*) konulur. Böylece, *dq*DTOGI'nin matematiksel ifadesi şu şekilde elde edilir:

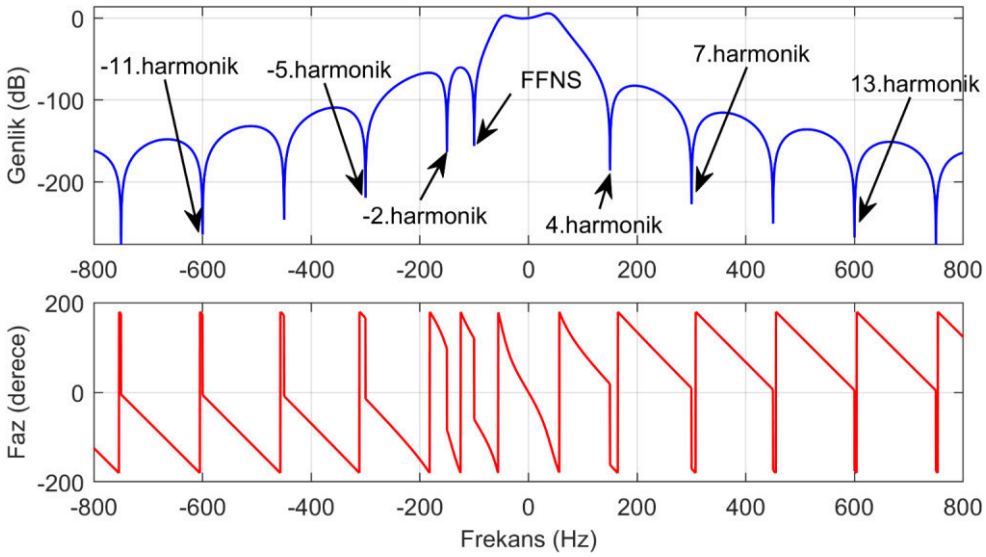
$$\alpha\beta\text{DTOGI}(s) = \frac{1}{2}\big(R(s) + jQ(s)\big) = \frac{1}{2}\frac{k_1\hat{\omega}^2\left(s + j\hat{\omega}\right)}{s^3 + k_2\hat{\omega}s^2 + \left(k_1 + 1\right)\hat{\omega}^2 s + k_2\hat{\omega}^3} \tag{3.42}$$

$$dq\text{DTOGI}(s) = \alpha\beta\text{DTOGI}(s + j\omega)$$

$$dq\text{DTOGI}(s) = \frac{1}{2}\frac{k_1\hat{\omega}^2\left(s + j2\hat{\omega}\right)}{s^3 + (k_2 + j3)\hat{\omega}s^2 + \left[(k_1 - 2) + j2k_2\right]\hat{\omega}^2 s + jk_1\hat{\omega}^3} \tag{3.43}$$

Önerilen PLL yönteminde, DTOGI ve MAF fitrelerini içeren tüm filtrenin matematiksel ifadesi (3.44)'te verilmiştir. Şekil 3.64 ise tüm filtrelerin bode grafiğini göstermektedir. Şekilden görüldüğü gibi Çizelge 3.1'deki tüm baskın harmonikler ile düşük dereceli çift dereceli harmonikler yok edilmektedir. Önerilen yöntem, hızlı performansa sahip olmasının yanında çoğu şebeke uygulamaları için de mükemmel bir harmonik yok etme kabiliyetine sahiptir.

$$dq\text{DTOGI}(s)\text{MAF}(s) = \frac{1}{2}\frac{k_1\hat{\omega}^2\left(s + j2\hat{\omega}\right)}{s^3 + (k_2 + j3)\hat{\omega}s^2 + \left[(k_1 - 2) + j2k_2\right]\hat{\omega}^2 s + jk_1\hat{\omega}^3}\frac{1 - e^{-T_\omega s}}{T_\omega s} \tag{3.44}$$



Şekil 3.64. Tüm filtrenin bode diyagramı

3.4.3. Simülasyon ve deneysel sonuçlar

Bu bölümde, önerilen yönteminin etkinliğini doğrulamak için farklı simülasyon ve deneysel test koşulları oluşturulmuştur. Daha önceki PLL yöntemlerinde olduğu gibi simülasyon çalışmaları MATLAB/Simulink ortamında gerçekleştirilmiştir. Deneysel sonuçlar ise TMS320F28335 işlemcili DSP kontrol seti kullanılarak gerçekleştirilmiştir. Simülasyon ve deneysel çalışmalar boyunca örnekleme frekansı 10 kHz, nominal şebeke frekansı $2\pi 50$ rad/s ve şebeke gerilimlerinin genlik değeri 1 p.u. olarak alınmıştır.

Önerilen yöntemin performansı, DTOGI-PLL ve QT1-PLL yöntemleri ile karşılaştırılmıştır. Karşılaştırma için dört farklı test koşulu oluşturulmuştur. Her bir test koşulu için simülasyon ve deneysel sonuçlar birlikte verilmiştir. Her bir test sonucu için üç adet grafik verilmiştir. İlk grafik test koşulu için oluşturulan şebeke gerilimlerini, ikinci grafik tahmin edilen şebeke frekansını ve üçüncü grafik tespit edilen faz açısı hatasını göstermektedir. Elde edilen grafiklerden anlaşılacağı üzere deneysel sonuçlar, simülasyon sonuçları ile birebir örtüşmektedir. PLL yöntemlerinin kontrol parametreleri Çizelge 3.6'da verilmiştir. Simülasyon çalışmaları sonucunda optimum performans sağlaması için önerilen yöntemin oransal kazancı 72 seçilmiştir.

PLL yöntemlerini farklı şebeke koşullarında test etmek için dört farklı test koşulu oluşturulmuştur. Test koşulları şu şekildedir:

- **Test koşulu-1:** Şebeke frekansı aniden 50 Hz'den 52 Hz'ye yükseltilir.

- **Test koşulu-2:** Şebeke faz gerilimlerinde +40°'lik faz sıçraması meydana gelir. Bu test koşulu süresince şebeke frekansı 50 Hz'dir.
- **Test koşulu-3:** Sadece A-fazının genliği nominal değerinin %50'sine düşürülür. Bu şebeke arızası, B tipi arıza olarak adlandırılmaktadır (Teodorescu ve ark., 2011). Üstelik şebeke frekansı 50 Hz'den 52 Hz'ye yükseltilir.
- **Test koşulu-4:** Son testte, şebeke gerilimleri dengesiz ve harmonikli hale getirilir. Bu harmonikler, $V_1^- = V_5^- = 0.1$ p.u. ve $V_7^+ = V_{11}^- = V_{13}^+ = 0.05$ p.u.'dur. Aynı anda şebeke frekansı 50 Hz'den 52 Hz'ye yükseltilir.

Detaylı sonuçlar Çizelge 3.7'de verilmiştir.

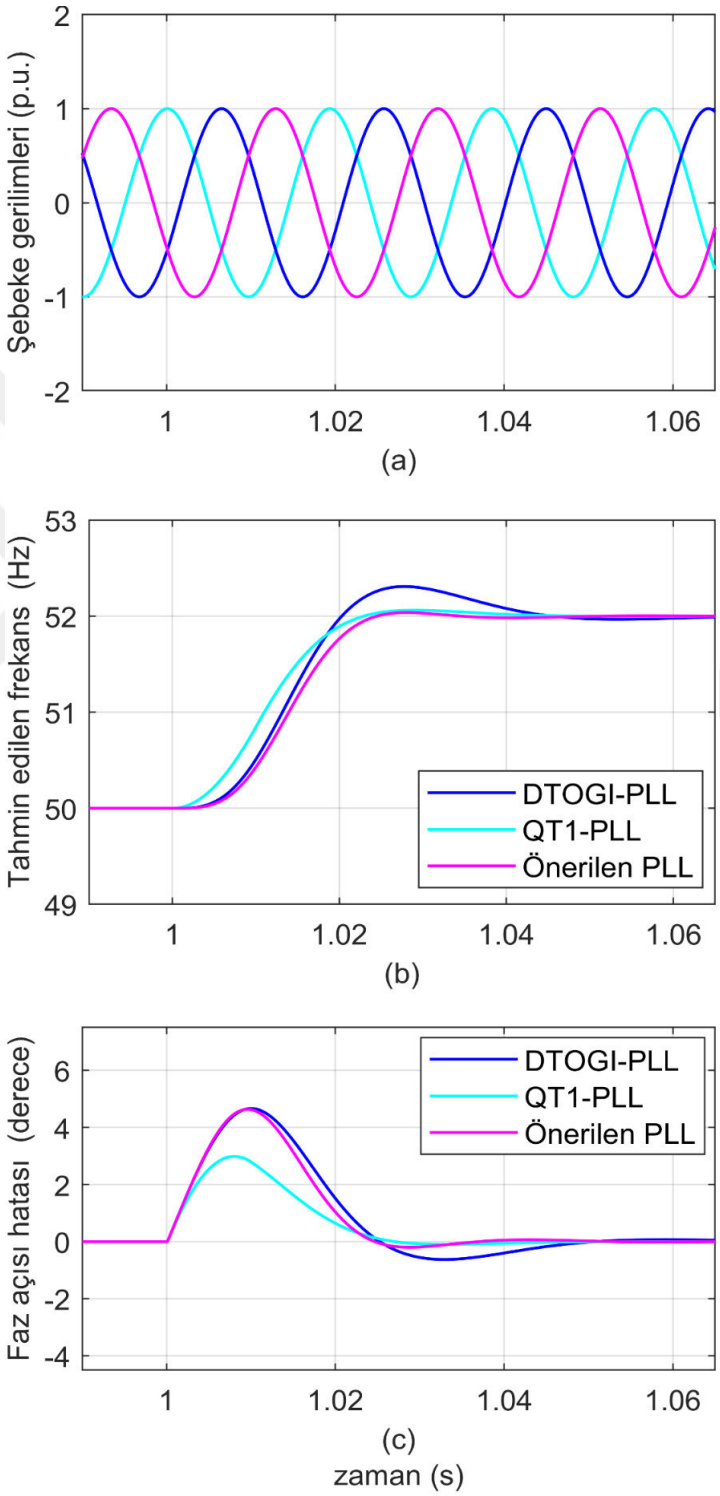
Çizelge 3.6. Kontrol parametreleri

Parametreler	Önerilen PLL	DTOGI-PLL	QT1-PLL
Oransal kazanç (k_p)	72	220	92.34
Integratör kazancı (k_i)	-	20167	-
TOGI kazançları (k_1 - k_2)	2.82 - 1.1	2.82 - 1.1	-
MAF'ın pencere genişliği (T_ω)	T/3	-	T/2

Çizelge 3.7. Test sonuçlarının özeti

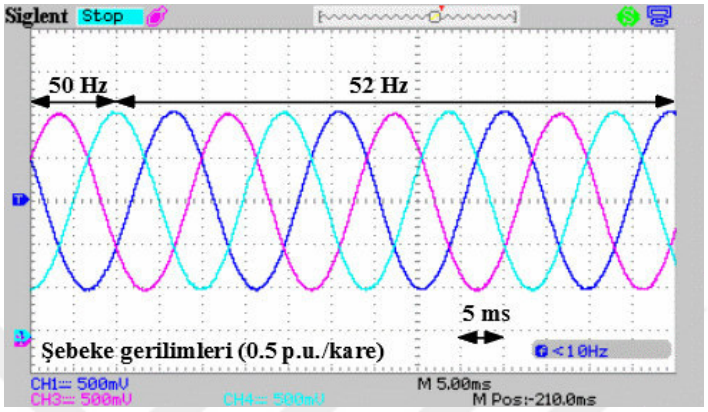
	Önerilen PLL	**DTOGI-PLL**	**QT1-PLL**
Test koşulu-1			
%2'lik yerleşme süresi	23.2 ms (1.16 periyot)	42.2 ms (2.11 periyot)	35 ms (1.75 periyot)
Frekans aşması	0.037 Hz (%1.85)	0.31 Hz (%15.5)	0.061 Hz (%3.05)
Faz aşması	4.63°	4.66°	3°
Test koşulu -2			
%2'lik yerleşme süresi	29.5 ms (1.47 periyot)	54 ms (2.7 periyot)	30 ms (1.5 periyot)
Frekans aşması	8.33 Hz	8.95 Hz	8.75 Hz
Faz aşması	22.63° (%56.57)	20° (%50)	13.5° (%33.75)
Test koşulu -3			
%2'lik yerleşme süresi	32.7 ms (1.64 periyot)	50 ms (2.5 periyot)	-
Tepeden tepeye frekans hatası	0 Hz	0 Hz	0.23 Hz
Tepeden tepeye faz hatası	0°	0°	0.9°
Test koşulu -4			
%2'lik yerleşme süresi	30.7 ms (1.53 periyot)	55 ms (2.75 periyot)	-
Tepeden tepeye frekans hatası	2.2 mHz	11 mHz	120 mHz
Tepeden tepeye faz hatası	0.011°	0.044°	0.5°

İlk test koşulu için Şekil 3.65 simülasyon sonuçlarını, Şekil 3.66 ise deneysel sonuçları göstermektedir. Şekillerden görüldüğü gibi önerilen PLL yöntemi DTOGI-PLL ve QT1-PLL'ye göre hızlı bir performans sağlamaktadır.

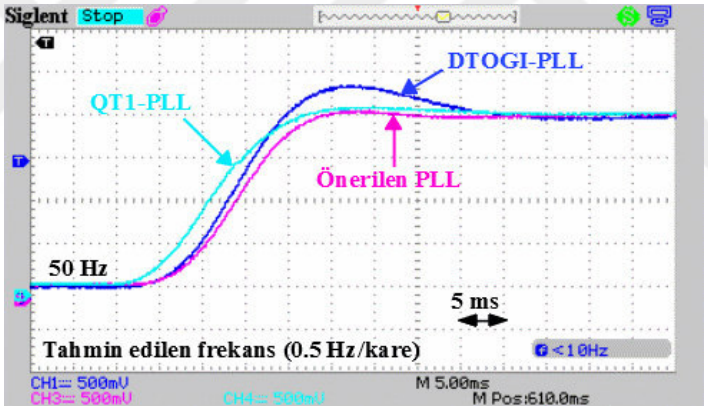


Şekil 3.65. Test koşulu-1 için simülasyon sonuçları **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

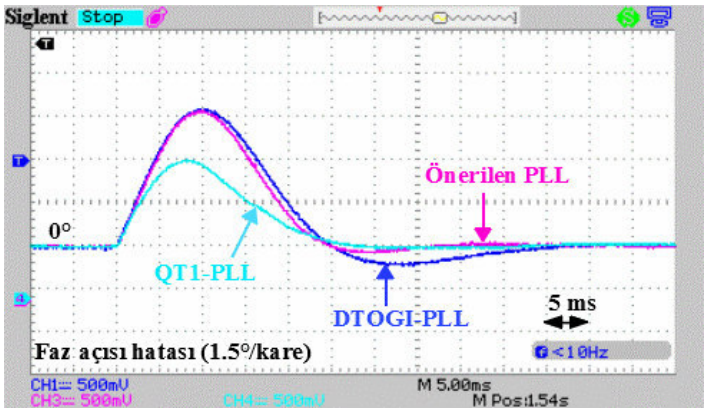
Önerilen yöntemin yerleşme süresi yaklaşık 23.2 ms iken DTOGI-PLL yönteminde yerleşme süresi 42.2 ms, QT1-PLL yönteminde ise 35 olarak gerçekleşmiştir. Bir başka deyişle, önerilen yöntem DTOGI-PLL'den yaklaşık 2 kat, QT1-PLL'den yaklaşık 1.5 kat hızlı çalışmaktadır. Üstelik önerilen yöntem en düşük frekans aşmasına sahiptir.



(a)



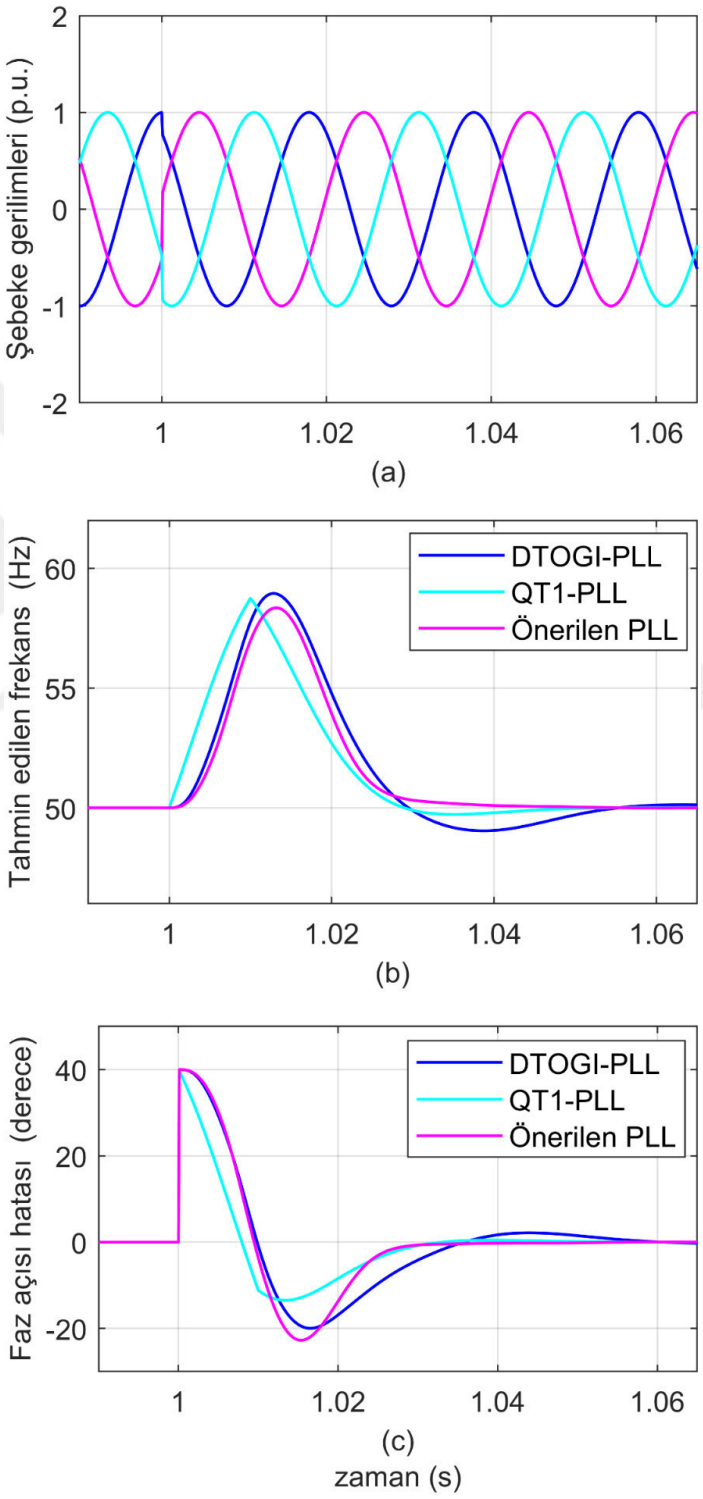
(b)



(c)

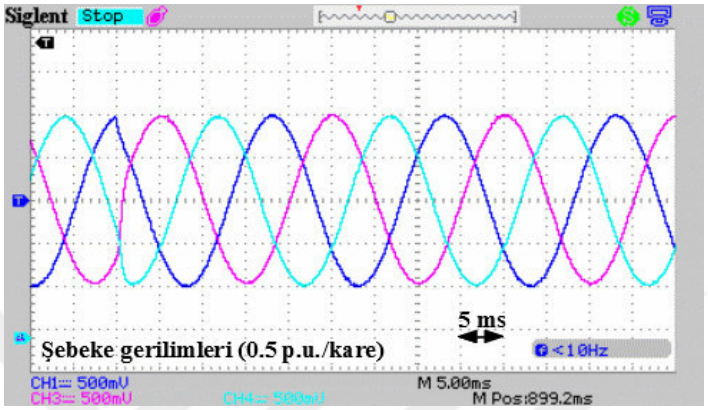
Şekil 3.66. Test koşulu-1 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

İkinci test koşulu için Şekil 3.67 simülasyon sonuçlarını, Şekil 3.68 ise deneysel sonuçları göstermektedir. Şekillerden ve Çizelge 3.7'den görüldüğü gibi önerilen yöntem diğer iki yönteme göre yine hızlı bir performans sunmaktadır. Önerilen yöntemin yerleşme süresi diğer iki yöntemin yerleşme süresinden kısadır.

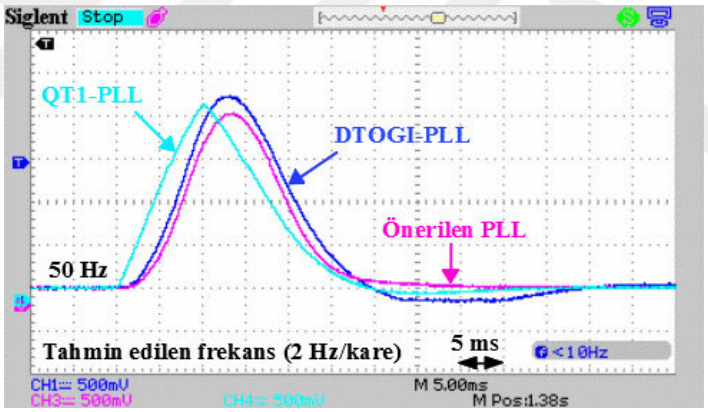


Şekil 3.67. Test koşulu-2 için simülasyon sonuçları **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

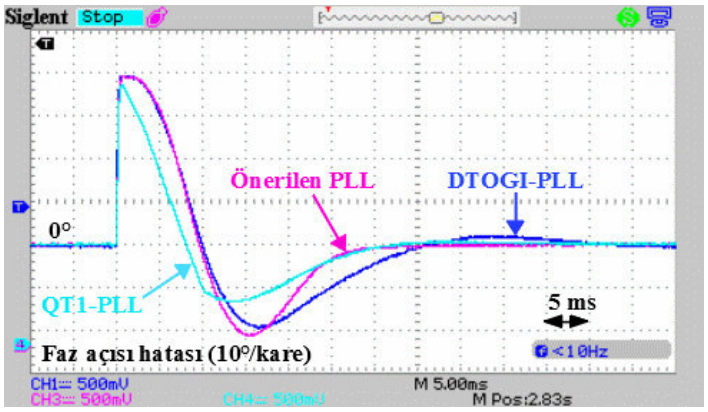
Önerilen yöntem de yerleşme süresi 29.5 ms iken DTOGI-PLL yönteminde yerleşme süresi 54 ms, QT1-PLL yönteminde ise 30 ms olarak gerçekleşmiştir. Bu QT1-PLL'ye göre küçük bir iyileştirmedir, fakat DTOGI-PLL'ye göre önemli bir iyileştirme elde edilmiştir. Üstelik diğer yöntemlere göre nispeten daha düşük frekans aşmasına sahiptir.



(a)



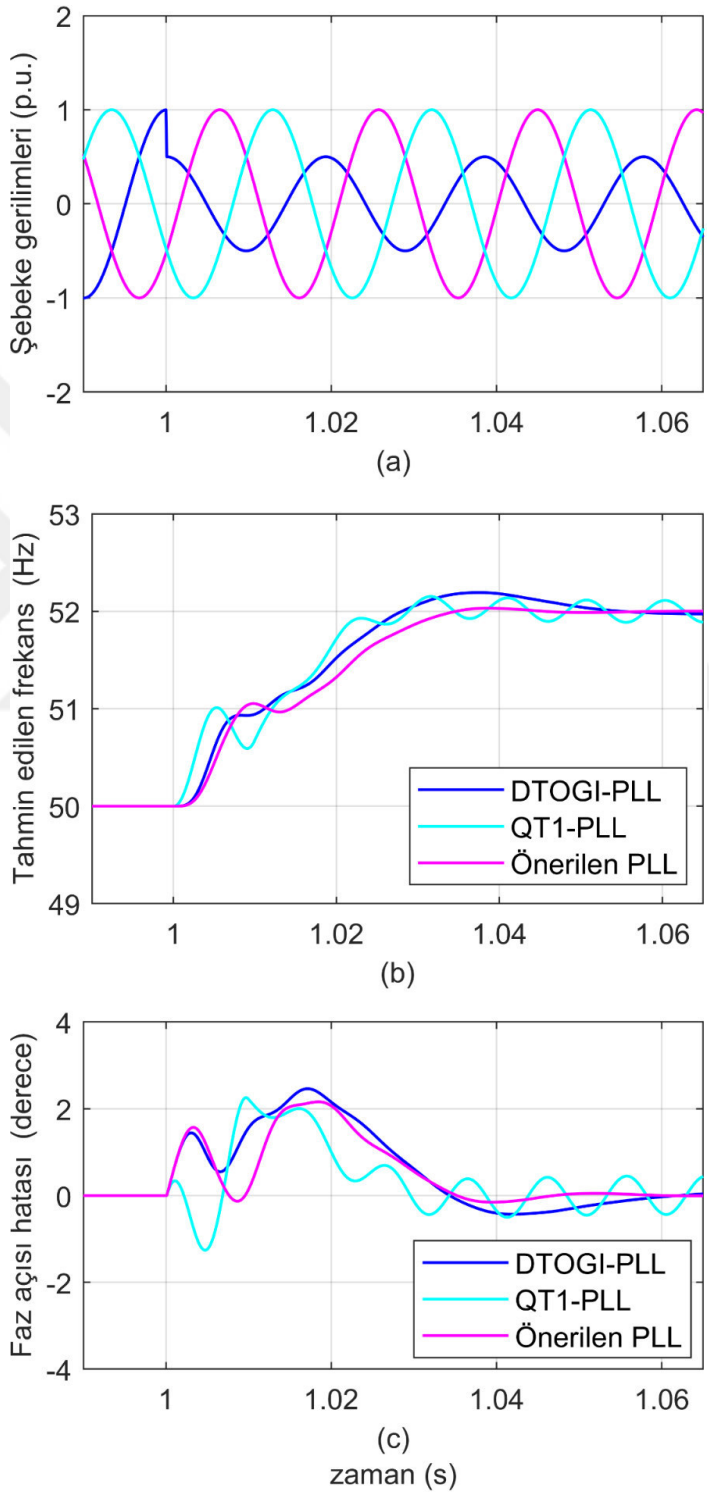
(b)



(c)

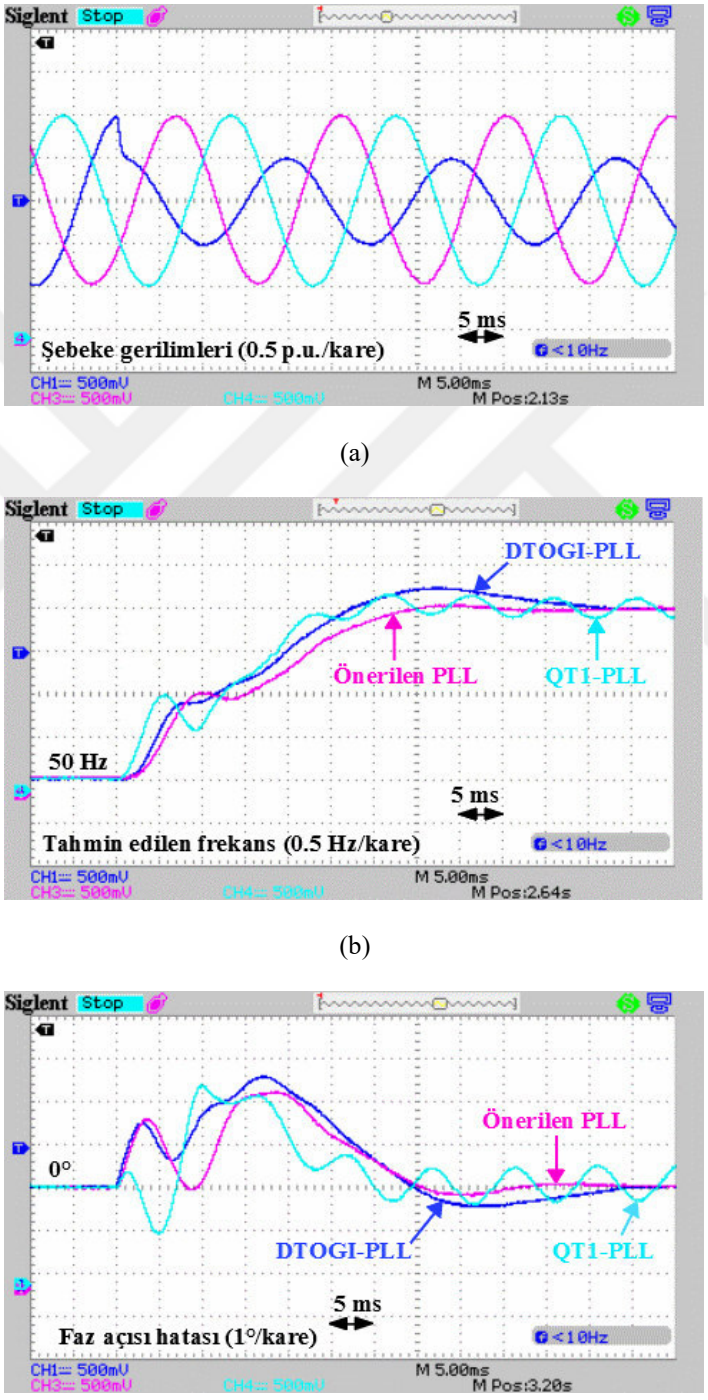
Şekil 3.68. Test koşulu-2 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

Üçüncü test koşulu için Şekil 3.69 simülasyon sonuçlarını, Şekil 3.70 ise deneysel sonuçları göstermektedir. Şekillerden açıkça görülmektedir ki sürekli durumda önerilen yöntem ve DTOGI-PLL faz ve frekans hatasına sahip değildir. Bu, iki yöntemin FFNS bileşeni tamamen ortadan kaldırdığını göstermektedir.



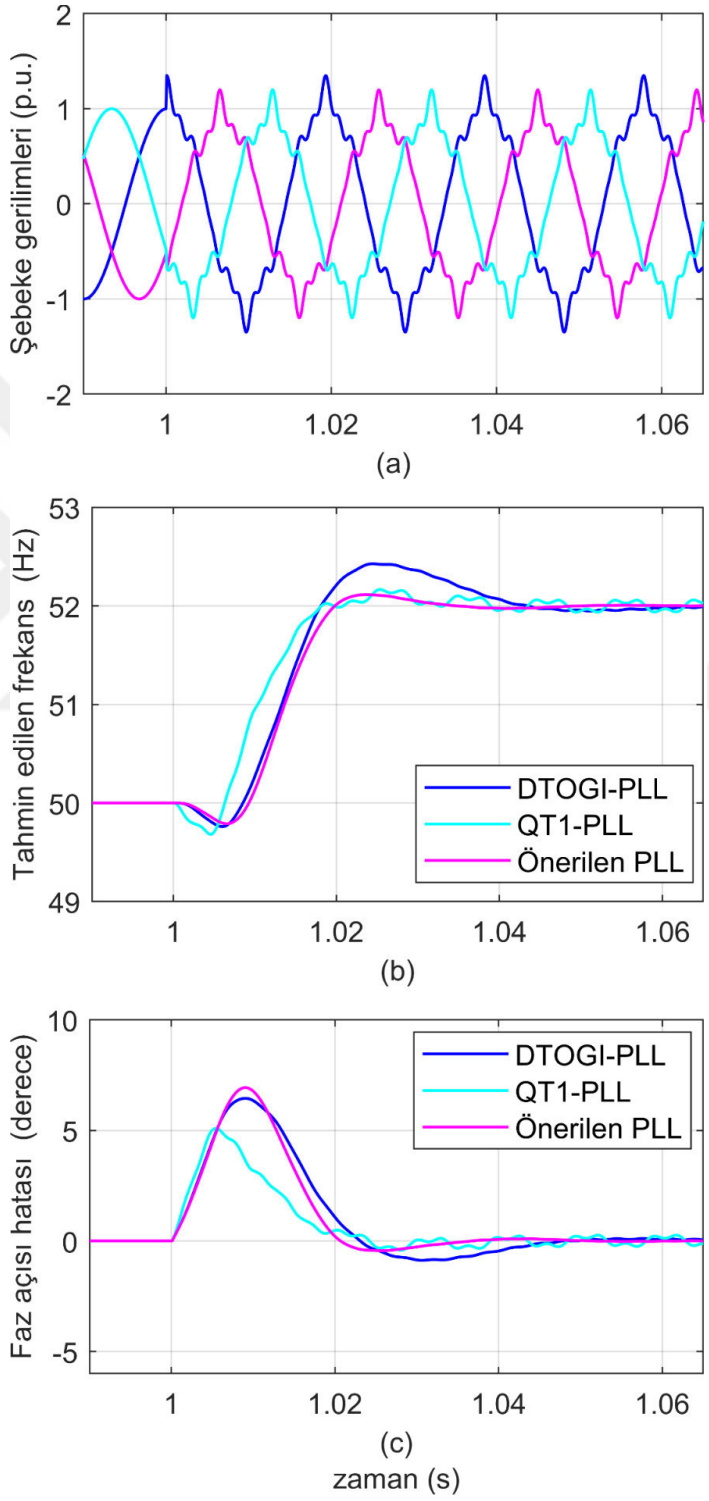
Şekil 3.69. Test koşulu-3 için simülasyon sonuçları **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

Ancak önerilen yöntemin yerleşme süresi (32.7 ms) DTOGI-PLL'nin yerleşme süresinden (50 ms) oldukça kısadır. Diğer yandan QT1-PLL yöntemi faz ve frekans tahmininde çok büyük hatalara neden olmaktadır. Bu test, önerilen yöntemin dengesizliklere karşı üstün performans gösterdiğini ispatlamaktadır. Detaylı sayısal sonuçlar Çizelge 3.7'de özetlenmiştir.



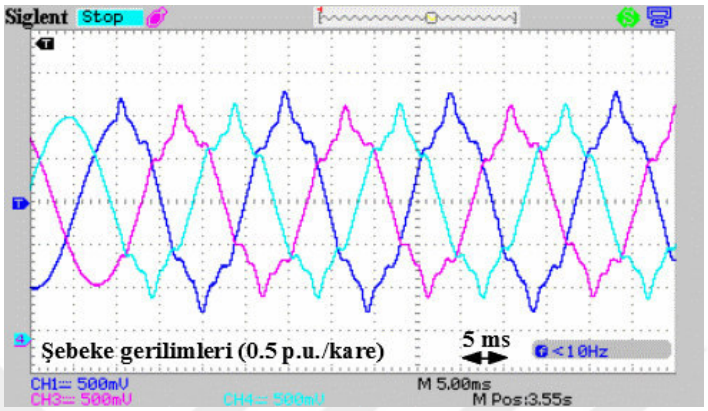
Şekil 3.70. Test koşulu-3 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

Son test koşulu için Şekil 3.71 simülasyon sonuçlarını, Şekil 3.72 ise deneysel sonuçları göstermektedir. Şekillerden gözlemlenebildiği gibi aşırı bozulmaya uğratılmış şebeke koşulunda önerilen yöntem, diğer iki yönteme göre üstün performans göstermiştir. Üstelik önerilen yönteminin sürekli durumda frekans ve faz hatası neredeyse sıfırdır.

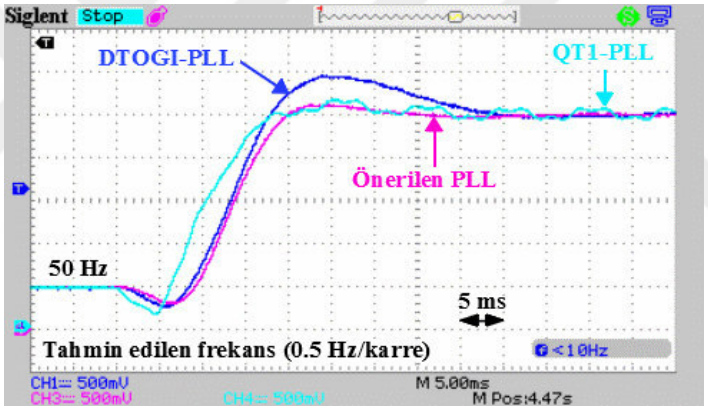


Şekil 3.71. Test koşulu-4 için simülasyon sonuçları **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

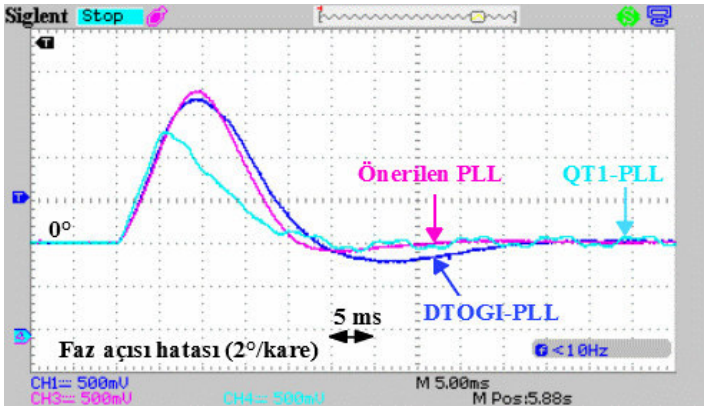
Bu PLL için çok büyük bir iyileştirmedir. Önerilen yöntemin yerleşme süresi, DTOGI-PLL ile kıyaslandığında yaklaşık 1.8 kat küçüktür. Fakat %2'lik yerleşme süresi kriterine göre QT1-PLL kararlılığa erişememiştir. Bu test koşulu için elde edilen sayısal sonuçlar Çizelge 3.7'de sunulmuştur.



(a)



(b)



(c)

Şekil 3.72. Test koşulu-4 için deneysel sonuçlar **(a)** Şebeke gerilimleri **(b)** Tahmin edilen frekans **(c)** Tespit edilen faz açısı hatası

3.4.4. Genel sonuçlar

Bu tez çalışmasında, ideal olmayan şebeke koşulları için ön filtreleme ve döngü içi filtreleme yapılarını birlikte barındıran gelişmiş bir hibrit PLL yöntemi önerilmiştir. Önerilen yöntem, ön filtreleme aşamasında DTOGI filtreyi, döngü içi filtreleme olarak da MAF'ı kullanmaktadır. Ayrıca frekans adaptasyonlu DTOGI modülünü kullandığı için FFNS bileşenini tamamen yok edebilmektedir. Diğer harmonik bileşenler, DTOGI'nin bant geçiren karakteristiği sayesinde zayıflatılmaktadır. Hızlı faz ve frekans tahmini için önerilen yöntem QT1-PLL yapısını kullanmaktadır. Döngü içinde MAF kullanılmasıyla önerilen yöntemin harmonik bileşenleri filtreleme kabiliyeti muazzam şekilde artmaktadır. Simülasyon ve deneysel sonuçlar, önerilen yöntemin tüm test koşullarında DTOGI-PLL ve QT1-PLL'ye göre daha hızlı dinamik performans ve daha doğru frekans/faz açısı tahmini sağladığını kanıtlamaktadır.

4. SONUÇLAR VE ÖNERİLER

4.1. Sonuçlar

Bu tez çalışmasında, ilk olarak, ülkemizin rüzgâr potansiyelini daha fazla ve daha etkin kullanabilmek, enerji alanındaki rekabet gücümüzü arttırabilmek ve enerjiyi ithal eden değil ihraç eden ülke konumuna geçebilmek için rüzgâr enerjisi alanındaki ulusal çalışmalara hız verilmesinin gerekliliğinden bahsedilmiştir.

Rüzgâr enerji sistemlerinden (RES) üretilen elektrik enerjisinin depolamak yerine elektrik şebekesine aktarılmasının daha tercih edilir bir durum olduğundan ancak üretilen enerjinin kontrolsüz bir şekilde direkt olarak şebekeye aktarılmasının uygun olmadığı dile getirilmiştir. RES'lerden üretilen elektrik enerjisinin şebekeye aktarılmasında köprü görevi gören şebeke etkileşimli eviricinin önemine dikkat çekilmiştir.

Eviricinin şebeke ile etkileşimli çalışabilmesi için evirici çıkışındaki gerilimlerin şebeke gerilimleri ile senkron olmasının ve bunun için de şebeke senkronizasyonunun başarılı bir şekilde gerçekleşmesinin kaçınılmaz olduğunun altı çizilmiştir. Bununla birlikte, yüksek güçlerdeki rüzgâr gücünün şebekeye senkronize edilmesinin basit olmadığından ve şebekeye bağlanacak RES'ler için "şebeke kodu kriterleri" adı verilen kuralların olduğundan bahsedilmiştir. Şebeke kodu kriterlerine göre elektrik şebekesinde meydana gelecek ters durumlarda (gerilim dengesizlikleri, kısa devre hataları, frekans değişimi, faz açısı sıçraması, vb.) bile RES'lerin şebekeye hızlı ve doğru bir şekilde senkronize edilmesi gerekliliği açık bir şekilde vurgulanmıştır. Bu nedenle, ideal olmayan şebeke koşullarında etkin bir şekilde çalışabilecek yeni senkronizasyon yöntemlerinin geliştirilmesi tezin ana konusunu oluşturmuştur.

Tezin ikinci bölümünde, mevcut senkronizasyon algoritmaları kapsamlı bir şekilde incelenmiş olup literatürde en çok kabul gören yöntemlerin blok şemalarına ve karşılaştırmalı simülasyon sonuçlarına yer verilmiştir. Bunlara ilave olarak geliştirilmiş senkronizasyon yöntemlerine de yer verilmiştir. Böylelikle, hazırlanan ayrıntılı literatür taramasının bu alanda çalışma yapmayı düşünen araştırmacılara ışık tutacağı düşünülmüştür.

Tezin üçüncü bölümünde ise bu tez çalışması süresince tarafımızdan geliştirilen yeni, etkili ve basit yapılı şebeke senkronizasyon yöntemleri sunulmuştur. Bunlar; FH-PLL, E^2PLL, *dq*ADSC-PLL ve DTOGI tabanlı hibrit PLL yöntemi olmak üzere dört

farklı şebeke senkronizasyon yöntemleridir. Her bir yöntemin sonuçları şu şekilde özetlenebilir:

1) Önerilen FH-PLL yöntemi (Sevilmiş ve Karaca, 2020), HPLL yönteminin geliştirilmiş halidir. FH-PLL yöntemi, ön filtreleme aşamasında çift dereceli harmonikler ile DC-offset gerilimini yok etmek için DSC operatörünü, FFNS bileşeni yok etmek için adaptif yapılı tüm geçiren filtreyi APF'yi içermektedir. Bu yöntemin döngü içi filtresi olarak da MAF kullanılmaktadır. HPLL'den farkı, FFNS'yi yok etmek için hariçten bir filtre yapısının (APF) kullanılmasıdır. HPLL'de FFNS bileşen döngü içerisindeki MAF ile yok edildiği için bu yöntemde MAF'ın pencere genişliği ($T/2$, T şebeke periyodu) şebeke periyodunun yarısına ayarlanmaktadır. Önerilen yöntemde, APF tarafından FFNS yok edildiği için döngü içerisindeki MAF'ın pencere genişliği ($T/6$) önemli ölçüde azaltılmıştır. FH-PLL'nin etkinliğini doğrulamak için simülasyon ve deneysel çalışmalar yapılmıştır. Önerilen yöntemin performansı, HPLL ve QT1-PLL yöntemleri ile karşılaştırılmıştır. Karşılaştırma için beş farklı test koşulu oluşturulmuştur. Elde edilen simülasyon ve deneysel sonuçlar, FH-PLL yönteminin HPLL ve QT1-PLL yöntemlerinin aksine FFNS bozukluğunu tamamen yok ettiğini göstermiştir. Şebekede harmonik bileşenler olması durumunda FH-PLL'nin en küçük frekans/faz hatasına sahip olduğu ve filtreleme kabiliyetinin diğer iki yönteme göre daha gelişmiş olduğu yapılan simülasyon ve deneysel testler ile ortaya konulmuştur. Sonuç olarak, FH-PLL test edilen tüm şebeke koşulları için üstün filtreleme kabiliyetinin yanında oldukça hızlı bir dinamik performans sağlamıştır.
2) E^2PLL yöntemi (Sevilmis ve Karaca, 2020), klasik EPLL'nin gelişmiş bir versiyonudur. Geliştirilen yöntem, klasik EPLL'nin sahip olduğu yapısal karmaşıklık ve yavaş çalışma hızı gibi önemli sorunların üstesinden gelebilmek için tasarlanmıştır. Klasik EPLL yönteminde toplamda dört adet EPLL yapısı kullanılırken E^2PLL yönteminde sadece iki adet EPLL yapısı kullanılmıştır. Ayrıca, klasik EPLL yönteminde dördüncü bir EPLL yapısı ile genlik, frekans ve faz açısı tahmini yapılırken önerilen yöntemde bu bilgilerin tahmini için QT1-PLL yöntemi kullanılmıştır. E^2PLL'nin etkinliği klasik EPLL ve QT1-PLL yöntemleriyle karşılaştırılarak incelenmiştir. QT1-PLL'nin aksine E^2PLL, frekans tahmin algoritmasına sahip olduğu için

istenmeyen FFNS bileşeni tamamen ortadan kaldırabilmiştir. Şebekede harmonik bileşenler olması durumunda E^2PLL'nin en küçük frekans ve faz hatasına sahip olduğu (hemen hemen sıfır hata) yapılan simülasyon ve deneysel sonuçlar ile ortaya konulmuştur. Sonuç olarak, basit yapılı ve yüksek filtreleme yeteneğine sahip E^2PLL yöntemi, ideal olmayan şebeke koşulları için oldukça hızlı bir performans göstermiştir.

3) Geliştirilen *dq*ADSC-PLL yöntemi, şebekede DC-offset gerilimi oluşması halinde döngü içi filtrelemeden kaynaklı ortaya çıkan PLL'nin performans hızı sorununu çözmek için önerilen bir yöntemdir. *dq*ADSC-PLL yönteminde, APF tabanlı DSC operatörü önerilmiştir. Önerilen yöntem, bir çeşit klasik *dq*DSC-PLL yönteminin iyileştirilmiş halidir. *dq*ADSC-PLL'nin etkinliği, en çok bilinen iki yöntem ile karşılaştırılarak gösterilmiştir. Karşılaştırma için klasik *dq*DSC-PLL ve NF-PLL yöntemleri kullanılmıştır. DC-offset bileşeni yok etme üzerine kurgulanmış bu PLL yöntemlerini farklı şebeke koşullarında test etmek için dört farklı test koşulu oluşturulmuştur. Önerilen yöntem basit yapılı olmasının yanında test edilen tüm şebeke koşulları için diğer iki yönteme göre oldukça hızlı bir dinamik performans sağlamıştır. Yani, *dq*ADSC-PLL çok daha kısa bir yerleşme süresine sahiptir. Simülasyon ve deneysel sonuçlar, *dq*ADSC-PLL yönteminin etkinliğini doğrulamıştır.
4) Geliştirilen DTOGI tabanlı hibrit PLL yönteminde, iki PLL yöntemi tek bir PLL çatısı altında birleştirilmiş ve bu iki yönteme göre daha iyi filtreleme kabiliyetine sahip olan ve yüksek performans gösteren bir yapı önerilmiştir. Önerilen yöntem, DTOGI-PLL yöntemi ile QT1-PLL yönteminin hibritlenmiş şeklidir. Bu yeni yöntem, PLL'nin kontrol döngüsünden önce frekans adaptasyonlu iki adet TOGI filtresini içermektedir. TOGI filtrelerin çıkışlarından elde edilen şebekenin FFPS bileşenleri, şebeke geriliminin faz açısını ve frekansını tahmin etmek için QT1-PLL'ye giriş olarak verilmektedir. Önerilen yöntemin etkinliği, farklı simülasyon ve deneysel test koşulları altında DTOGI-PLL ve QT1-PLL yöntemleri ile karşılaştırılarak doğrulanmıştır. Elde edilen karşılaştırma sonuçları, önerilen yöntemin DTOGI-PLL ve QT1-PLL'ye göre daha hızlı dinamik performans ve daha doğru frekans/faz açısı tahmini sağladığını ispatlamıştır.

Son olarak, geliştirilen dört farklı PLL yönteminin birbirleriyle karşılaştırılması yapılmıştır. Bu sayede, her bir yöntemin diğer yöntemlere göre hangi açıdan üstün olduğu gözler önüne serilmiştir. Elde edilen sonuçlar aşağıda olduğu gibi özetlenmektedir:

- Tüm yöntemler, faz sıçraması ve/veya frekans değişimi durumlarında şebekenin genliğini, faz açısını ve frekansını hatasız tespit etmektedir.
- Şebeke gerilimi dengesizliği durumunda, *dq*ADSC-PLL yöntemi hariç diğer yöntemler ön filtreleme aşamasında FFNS bileşeni yok etmektedir. Bu sayede, FH-PLL, E^2PLL ve DTOGI tabanlı hibrit PLL yöntemlerinde şebekenin frekansı ve faz açısı hatasız bir şekilde tahmin edilebilmektedir. Açıkça söylemek gerekirse, *dq*ADSC-PLL yönteminin, dengesiz şebeke durumlarında kullanılması uygun değildir.
- Şebekede harmonik bileşenler olması durumunda, *dq*ADSC-PLL yöntemi hariç diğer yöntemler üstün performans göstermektedir. Diğer üç yöntem bir birbirleriyle kıyaslandığında, E^2PLL ve DTOGI tabanlı hibrit PLL yöntemleri harmonikli şebeke durumunda benzer performans göstermektedir. Bu iki PLL yöntemi, harmonikleri filtreleme kabiliyeti bakımından FH-PLL'ye göre daha iyidir.
- Şebekede DC-offset bozukluğu meydana gelmesi durumunda FH-PLL ve *dq*ADSC-PLL yöntemleri şebekenin frekansını ve faz açısını hatasız bir şekilde ortaya çıkarabilmektedir. Fakat E^2PLL ve DTOGI tabanlı hibrit PLL yöntemlerinin DC-ofseti yok etme özelliği bulunmamaktadır ve DC-offsetli şebekelerde kullanımı önerilmemektedir. Diğer yandan şebekede sadece DC-offset bozukluğu meydana geliyorsa *dq*ADSC-PLL yönteminin kullanılması yeterlidir. Çünkü *dq*ADSC-PLL, DC-offseti yok etmek için geliştirilen ve FH-PLL'ye göre oldukça basit yapılı bir yöntemdir.
- Şebekedeki bozuklukların hangi içeriğe sahip olduğu çoğu zaman bilinmemektedir. Şebeke dengesiz ve harmonikli iken frekans değişimi, faz sıçraması ve DC-offset bileşenine de sahip olması gibi bütün olumsuzlukların aynı anda meydana gelmesi durumunda, geliştirilen yöntemler arasındaki en üstün yöntem FH-PLL'dir. FH-PLL yöntemi, şebekede meydana gelebilecek tüm olumsuz durumlara karşı geliştirilen bir yöntem olarak ön plana çıkmaktadır.

4.2. Öneriler

Gelecek çalışmalara ilham kaynağı olması için yazarın önerileri aşağıdaki gibi sıralanmaktadır:

- Literatür incelendiğinde, üç farklı filtre yapısının aynı PLL yöntemi içerisinde kullanıldığı uygulamalar yok denecek kadar azdır. Tezde önerilen, FH-PLL yöntemi buna güzel bir örnek teşkil etmektedir. FH-PLL yönteminde, DSC, APF ve MAF yapıları bir araya getirilerek gelişmiş bir senkronizasyon yöntemi sunulmuştu. Buna benzer şekilde, örneğin; DSC, MAF ve NF filtreleri, gelişmiş bir PLL yöntemi oluşturmak için bir araya getirilebilir. Şu da unutulmamalıdır ki çok sayıda filtre kullanmak, sistemin yapısını daha karmaşık hale getirebilir.
- Tezde üç fazlı sistemler için geliştirilen PLL yöntemleri, tek fazlı sistemlere uyarlanabilecek şekilde tasarlanabilir.
- Tezde önerilen yöntemler gibi gelişmiş PLL yöntemleri, şebeke etkileşimli eviriciler dışında PLL yöntemi kullanımına ihtiyaç duyulan alanlarda tercih edilebilir. PLL yöntemi kullanan uygulamalar şu şekilde sıralanabilir: elektrik motorların sensörsüz hız kontrolü, kesintisiz güç kaynakları, yüksek gerilim DC iletim sistemleri, vb. Bu alanlar için gelişmiş PLL yöntemlerinin kullanımı, çalışmalara zenginlik katabilir.

KAYNAKLAR

Ali, Z., Christofides, N., Hadjidemetriou, L. ve Kyriakides, E., 2017, Design of an advanced PLL for accurate phase angle extraction under grid voltage HIHs and DC offset, *Iet Power Electronics*, 11 (6), 995-1008.

Ali, Z., Christofides, N., Hadjidemetriou, L. ve Kyriakides, E., 2018a, A new MAF based αβEPMAFPLL for grid connected RES with improved performance under grid faults, *Electric Power Systems Research*, 154, 130-139.

Ali, Z., Christofides, N., Hadjidemetriou, L., Kyriakides, E., Yang, Y. ve Blaabjerg, F., 2018b, Three-phase phase-locked loop synchronization algorithms for grid-connected renewable energy systems: A review, *Renewable and Sustainable Energy Reviews*, 90, 434-452.

Anonim, 2005, Yenilenebilir Enerji Kaynaklarının Elektrik Enerjisi Üretimi Amaçlı Kullanımına İlişkin Kanun, https://www.resmigazete.gov.tr/eskiler/2005/05/20050518-1.htm: [04.06.2020].

Appleton, E. V., 1922, Automatic synchronization of triode oscillators, *Proc. Cambridge Phil. Soc*, 231.

Awad, H., Svensson, J. ve Bollen, M., 2005, Tuning software phase-locked loop for series-connected converters, *Ieee Transactions on Power Delivery*, 20 (1), 300-308.

Beheshtaein, S., Savaghebi, M., Cuzner, R. M., Golestan, S. ve Guerrero, J. M., 2018, Modified Secondary-Control-Based Fault Current Limiter for Inverters, *Ieee Transactions on Industrial Electronics*, 66 (6), 4798-4804.

Bellescize, H., 1932, La reception synchrone, E. Chiron, p.

Bendrat, F., Chhor, J. ve Sourkounis, C., 2017, Novel computation-efficient three-phase EPLL-based grid synchronization techniques considering power quality issues, *2017 25th Mediterranean Conference on Control and Automation (MED)*, 787-793.

Blaabjerg, F., Teodorescu, R., Liserre, M. ve Timbus, A. V., 2006, Overview of control and grid synchronization for distributed power generation systems, *Ieee Transactions on Industrial Electronics*, 53 (5), 1398-1409.

Carugati, I., Maestri, S., Donato, P. G., Carrica, D. ve Benedetti, M., 2011, Variable sampling period filter PLL for distorted three-phase systems, *IEEE Transactions on Power Electronics*, 27 (1), 321-330.

Chung, S.-K., 2000, A phase tracking system for three phase utility interface inverters, *IEEE Transactions on Power Electronics*, 15 (3), 431-438.

Ciobotaru, M., Teodorescu, R. ve Blaabjerg, F., 2006, A new single-phase PLL structure based on second order generalized integrator, *2006 37th IEEE Power Electronics Specialists Conference*, 1-6.

Demirbaş, Ş. ve Bayhan, S., 2011, Yenilenebilir Enerji Kaynakları için DSP Tabanlı Üç Fazlı Şebeke Etkileşimli Evirici, *Firat University Journal of Engineering*, 23 (1), 21-33.

Dong, D., Boroyevich, D., Mattavelli, P. ve Cvetkovic, I., 2011, A high-performance single-phase phase-locked-loop with fast line-voltage amplitude tracking, *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 1622-1628.

EPDK, 2017, Elektrik Şebeke Yönetmeliği, https://www.epdk.org.tr/Detay/Icerik/3-0-159-3/yonetmelikler: [05.06.2020].

Freijedo, F. D., Doval-Gandoy, J., Lopez, O. ve Acha, E., 2009a, Tuning of phase-locked loops for power converters under distorted utility conditions, *Ieee Transactions on Industry Applications*, 45 (6), 2039-2047.

Freijedo, F. D., Doval-Gandoy, J., Lopez, O., Martinez-Penalver, C., Yepes, A. G., Fernandez-Comesana, P., Malvar, J., Nogueiras, A., Marcos, J. ve Lago, A., 2009b, Grid-synchronization methods for power converters, *2009 35th Annual Conference of IEEE Industrial Electronics*, 522-529.

Ghoshal, A. ve John, V., 2007, A method to improve PLL performance under abnormal grid conditions.

Golestan, S., Monfared, M. ve Freijedo, F. D., 2012, Design-oriented study of advanced synchronous reference frame phase-locked loops, *IEEE Transactions on Power Electronics*, 28 (2), 765-778.

Golestan, S., Ramezani, M., Guerrero, J. M., Freijedo, F. D. ve Monfared, M., 2013, Moving average filter based phase-locked loops: Performance analysis and design guidelines, *IEEE Transactions on Power Electronics*, 29 (6), 2750-2763.

Golestan, S., Freijedo, F. D., Vidal, A., Guerrero, J. M. ve Doval-Gandoy, J., 2014a, A quasi-type-1 phase-locked loop structure, *IEEE Transactions on Power Electronics*, 29 (12), 6264-6270.

Golestan, S., Guerrero, J. M. ve Abusorrah, A. M., 2014b, MAF-PLL with phase-lead compensator, *Ieee Transactions on Industrial Electronics*, 62 (6), 3691-3695.

Golestan, S., Ramezani, M., Guerrero, J. M. ve Monfared, M., 2014c, dq-frame cascaded delayed signal cancellation-based PLL: analysis, design, and comparison with moving average filter-based PLL, *IEEE Transactions on Power Electronics*, 30 (3), 1618-1632.

Golestan, S., Freijedo, F. D., Vidal, A., Yepes, A. G., Guerrero, J. M. ve Doval-Gandoy, J., 2015a, An efficient implementation of generalized delayed signal cancellation PLL, *IEEE Transactions on Power Electronics*, 31 (2), 1085-1094.

Golestan, S., Guerrero, J. M., Abusorrah, A. M. ve Al-Turki, Y., 2015b, Hybrid synchronous/stationary reference-frame-filtering-based PLL, *Ieee Transactions on Industrial Electronics*, 62 (8), 5018-5022.

Golestan, S., Guerrero, J. M. ve Gharehpetian, G. B., 2015c, Five approaches to deal with problem of DC offset in phase-locked loop algorithms: Design considerations and performance evaluations, *IEEE Transactions on Power Electronics*, 31 (1), 648-661.

Golestan, S., Guerrero, J. M., Vidal, A., Yepes, A. G. ve Doval-Gandoy, J., 2015d, PLL with MAF-based prefiltering stage: small-signal modeling and performance enhancement, *IEEE Transactions on Power Electronics*, 31 (6), 4013-4019.

Golestan, S., Guerrero, J. M. ve Vasquez, J. C., 2016, Hybrid adaptive/nonadaptive delayed signal cancellation-based phase-locked loop, *Ieee Transactions on Industrial Electronics*, 64 (1), 470-479.

Golestan, S., Guerrero, J. M., Vasquez, J. C., Abusorrah, A. M. ve Al-Turki, Y., 2019, All-Pass-Filter-Based PLL Systems: Linear Modeling, Analysis, and Comparative Evaluation, *IEEE Transactions on Power Electronics*, 35 (4), 3558-3572.

Guo, X., Wu, W. ve Chen, Z., 2010, Multiple-complex coefficient-filter-based phase-locked loop and synchronization technique for three-phase grid-interfaced converters in distributed utility networks, *Ieee Transactions on Industrial Electronics*, 58 (4), 1194-1204.

Hadjidemetriou, L., Kyriakides, E. ve Blaabjerg, F., 2013a, A new hybrid PLL for interconnecting renewable energy systems to the grid, *Ieee Transactions on Industry Applications*, 49 (6), 2709-2719.

Hadjidemetriou, L., Kyriakides, E. ve Blaabjerg, F., 2013b, Synchronization of grid-connected renewable energy sources under highly distorted voltages and unbalanced grid faults, *IECON 2013-39th Annual Conference of the IEEE Industrial Electronics Society*, 1887-1892.

Hadjidemetriou, L., Kyriakides, E. ve Blaabjerg, F., 2015, A robust synchronization to enhance the power quality of renewable energy systems, *Ieee Transactions on Industrial Electronics*, 62 (8), 4858-4868.

Huang, Q. ve Rajashekara, K., 2017, An improved delayed signal cancellation PLL for fast grid synchronization under distorted and unbalanced grid condition, *Ieee Transactions on Industry Applications*, 53 (5), 4985-4997.

Jaalam, N., Rahim, N., Bakar, A., Tan, C. ve Haidar, A. M., 2016, A comprehensive review of synchronization methods for grid-connected converters of renewable energy source, *Renewable and Sustainable Energy Reviews*, 59, 1471-1481.

Kanjiya, P., Khadkikar, V. ve El Moursi, M. S., 2018, Adaptive low-pass filter based DC offset removal technique for three-phase PLLs, *Ieee Transactions on Industrial Electronics*, 65 (11), 9025-9029.

Karimi-Ghartema, M., 2014, Enhanced phase-locked loop structures for power and energy applications, John Wiley & Sons, p.

Karimi-Ghartemani, M. ve Iravani, M., 2001, A new phase-locked loop (PLL) system, *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. MWSCAS 2001 (Cat. No. 01CH37257)*, 421-424.

Karimi-Ghartemani, M. ve Iravani, M. R., 2002, A nonlinear adaptive filter for online signal analysis in power systems: Applications, *Ieee Transactions on Power Delivery*, 17 (2), 617-622.

Karimi-Ghartemani, M. ve Iravani, M. R., 2004, A method for synchronization of power electronic converters in polluted and variable-frequency environments, *Ieee Transactions on Power Systems*, 19 (3), 1263-1270.

Karimi-Ghartemani, M., 2006, A novel three-phase magnitude-phase-locked loop system, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 53 (8), 1792-1802.

Karimi-Ghartemani, M., Khajehoddin, S. A., Jain, P. ve Bakhshai, A., 2011a, Comparison of two methods for addressing DC component in phase-locked loop (PLL) systems, *2011 IEEE Energy Conversion Congress and Exposition*, 3053-3058.

Karimi-Ghartemani, M., Khajehoddin, S. A., Jain, P. K. ve Bakhshai, A., 2011b, Derivation and design of in-loop filters in phase-locked loop systems, *Ieee Transactions on Instrumentation and Measurement*, 61 (4), 930-940.

Karimi-Ghartemani, M., Khajehoddin, S. A., Jain, P. K., Bakhshai, A. ve Mojiri, M., 2011c, Addressing DC component in PLL and notch filter algorithms, *IEEE Transactions on Power Electronics*, 27 (1), 78-86.

Karimi-Ghartemani, M., 2013, Linear and pseudolinear enhanced phased-locked loop (EPLL) structures, *Ieee Transactions on Industrial Electronics*, 61 (3), 1464-1474.

Kaura, V. ve Blasko, V., 1997, Operation of a phase locked loop system under distorted utility conditions, *Ieee Transactions on Industry Applications*, 33 (1), 58-63.

Keskin, M. H. ve Güleren, K. M., 2013, Avrupa birliği ve Türkiye Cumhuriyetindeki rüzgâr enerjisi üretiminin güncel bir analizi, *Engineer & the Machinery Magazine* (639).

Kurt, G., 2011, Rüzgâr gücünün şebekeye entegrasyonunda arıza sonrası sisteme katkı yeteneği (frt)'nin farkli türbin–generatör üniteleri için incelenmesi. Elektrik-Elektronik ve Bilgisayar Sempozyumu**:** 334-337.

Lee, S.-J., Kang, J.-K. ve Sul, S.-K., 1999, A new phase detecting method for power conversion systems considering distorted conditions in power system, *Conference Record of the 1999 IEEE Industry Applications Conference. Thirty-Forth IAS Annual Meeting (Cat. No. 99CH36370)*, 2167-2172.

Li, J., Zhao, J., Wu, J. ve Xu, P.-p., 2014, Improved dual second-order generalized integrator PLL for grid synchronization under non-ideal grid voltages including DC offset, *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, 136-141.

Li, W., Ruan, X., Bao, C., Pan, D. ve Wang, X., 2013, Grid synchronization systems of three-phase grid-connected power converters: A complex-vector-filter perspective, *Ieee Transactions on Industrial Electronics*, 61 (4), 1855-1870.

Li, Y., Yang, J., Wang, H., Ge, W. ve Ma, Y., 2018, A hybrid filtering technique-based PLL targeting fast and robust tracking performance under distorted grid conditions, *Energies*, 11 (4), 973.

Luna, A., Rocabert, J., Candela, J. I., Hermoso, J. R., Teodorescu, R., Blaabjerg, F. ve Rodriguez, P., 2015, Grid voltage synchronization for distributed generation systems under grid fault conditions, *Ieee Transactions on Industry Applications*, 51 (4), 3414-3425.

Luo, S. ve Wu, F., 2017, Improved two-phase stationary frame EPLL to eliminate the effect of input harmonics, unbalance, and DC offsets, *Ieee Transactions on Industrial Informatics*, 13 (6), 2855-2863.

Marafão, F., Deckmann, S. ve Luna, E., 2004, A novel frequency and positive sequence detector for utility applications and power quality analysis, *International Conference on Renewable Energy and Power Quality (ICREPQ)*.

Neves, F. A., Cavalcanti, M. C., de Souza, H. E. P., Bradaschia, F., Bueno, E. J. ve Rizo, M., 2010, A generalized delayed signal cancellation method for detecting fundamental-frequency positive-sequence three-phase signals, *Ieee Transactions on Power Delivery*, 25 (3), 1816-1825.

Neves, F. A., de Souza, H. E., Cavalcanti, M. C., Bradaschia, F. ve Bueno, E. J., 2011, Digital filters for fast harmonic sequence component separation of unbalanced and distorted three-phase signals, *Ieee Transactions on Industrial Electronics*, 59 (10), 3847-3859.

Nicastri, A. ve Nagliero, A., 2010, Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems, *2010 IEEE International Symposium on Industrial Electronics*, 3865-3870.

Pádua, M. S., Deckmann, S. M. ve Marafão, F. P., 2005, Frequency-adjustable positive sequence detector for power conditioning applications, *2005 IEEE 36th Power Electronics Specialists Conference*, 1928-1934.

Robles, E., Ceballos, S., Pou, J., Zaragoza, J. ve Gabiola, I., 2008, Grid synchronization method based on a quasi-ideal low-pass filter stage and a phase-locked loop, *2008 IEEE Power Electronics Specialists Conference*, 4056-4061.

Robles, E., Ceballos, S., Pou, J., Martin, J. L., Zaragoza, J. ve Ibanez, P., 2010, Variable-frequency grid-sequence detector based on a quasi-ideal low-pass filter stage and a phase-locked loop, *IEEE Transactions on Power Electronics*, 25 (10), 2552-2563.

Rodriguez, P., Pou, J., Bergas, J., Candela, I., Burgos, R. ve Boroyevic, D., 2005, Double synchronous reference frame PLL for power converters control, *2005 IEEE 36th power electronics specialists conference*, 1415-1421.

Rodriguez, P., Luna, A., Ciobotaru, M., Teodorescu, R. ve Blaabjerg, F., 2006a, Advanced grid synchronization system for power converters under unbalanced and distorted operating conditions, *IECON 2006-32nd Annual Conference on IEEE Industrial Electronics*, 5173-5178.

Rodriguez, P., Teodorescu, R., Candela, I., Timbus, A. V., Liserre, M. ve Blaabjerg, F., 2006b, New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions, *2006 37th IEEE Power Electronics Specialists Conference*, 1-7.

Rodriguez, P., Timbus, A. V., Teodorescu, R., Liserre, M. ve Blaabjerg, F., 2007, Flexible active power control of distributed power generation systems during grid faults, *Ieee Transactions on Industrial Electronics*, 54 (5), 2583-2592.

Rodriguez, P., Luna, A., Etxeberría, I., Hermoso, J. R. ve Teodorescu, R., 2009, Multiple second order generalized integrators for harmonic synchronization of power converters, *2009 IEEE Energy Conversion Congress and Exposition*, 2239-2246.

Rodríguez, P., Pou, J., Bergas, J., Candela, J. I., Burgos, R. P. ve Boroyevich, D., 2007, Decoupled double synchronous reference frame PLL for power converters control, *IEEE Transactions on Power Electronics*, 22 (2), 584-592.

Sefa, İ., Altın, N. ve Özdemir, Ş., 2009, Yenilenebilir eneri kaynakları için üç fazlı şebeke etkileşimli evirici. 5. Uluslararası İleri Teknolojiler Sempozyumu (IATS'09)**:** 1-5.

Sevilmis, F. ve Karaca, H., 2020, Efficient implementation and performance improvement of three-phase EPLL under non-ideal grid conditions, *Iet Power Electronics*.

Sevilmiş, F. ve Karaca, H., 2014, Simulation and analysis of SVPWM based VSI for wind energy systems, *Proceedings of the 2014 6th International Conference on Electronics, Computers and Artificial Intelligence (ECAI)*, 73-78.

Sevilmiş, F. ve Karaca, H., 2015, Simulation of three-phase grid interactive inverter for wind energy systems, *2015 IEEE 15th International Conference on Environment and Electrical Engineering (EEEIC)*, 1169-1174.

Sevilmiş, F., 2016, Rüzgar enerji sistemlerinin şebekeye senkronize edilmesi, *Selçuk Üniversitesi Fen Bilimleri Enstitüsü*.

Sevilmiş, F. ve Karaca, H., 2018a, An Experimental Study of Grid Tied Inverter for Renewable Energy Systems, *2018 International Conference on Smart Energy Systems and Technologies (SEST)*, 1-6.

Sevilmiş, F. ve Karaca, H., 2018b, Different E-PLL structures for grid-interfaced converters: analysis and comparison, *3rd International Energy & Engineering Congress (UEMK)*, 950-963.

Sevilmiş, F. ve Karaca, H., 2019, ŞEBEKE ETKİLEŞİMLİ EVİRİCİLER İÇİN FAZ KİLİTLEME DÖNGÜSÜ YÖNTEMLERİNİN PERFORMANSLARININ KARŞILAŞTIRILMASI, *Konya Mühendislik Bilimleri Dergisi*, 7 (4), 713-728.

Sevilmiş, F. ve Karaca, H., 2020, A fast hybrid PLL with an adaptive all-pass filter under abnormal grid conditions, *Electric Power Systems Research*, 184, 106303.

Shi, L. ve Crow, M., 2010, A novel phase-locked-loop and its application in STATCOM system, *North American Power Symposium 2010*, 1-5.

Svensson, J., Bongiorno, M. ve Sannino, A., 2006, Practical implementation of delayed signal cancellation method for phase-sequence separation, *Ieee Transactions on Power Delivery*, 22 (1), 18-26.

Teodorescu, R. ve Blaabjerg, F., 2004, Flexible control of small wind turbines with grid failure detection operating in stand-alone and grid-connected mode, *IEEE Transactions on Power Electronics*, 19 (5), 1323-1332.

Teodorescu, R., Liserre, M. ve Rodriguez, P., 2011, Grid converters for photovoltaic and wind power systems, John Wiley & Sons, p.

Timbus, A., Liserre, M., Teodorescu, R. ve Blaabjerg, F., 2005, Synchronization methods for three phase distributed power generation systems-An overview and evaluation, *2005 IEEE 36th Power Electronics Specialists Conference*, 2474-2481.

TÜBİTAK, 2003, Vizyon 2023 Teknoloji Öngörü Projesi, Enerji ve Doğal Kaynaklar Paneli Raporu, https://www.tubitak.gov.tr/tr/kurumsal/politikalar/icerik-vizyon-2023: [05.06.2020].

TÜREB, 2019, Neden Rüzgar Enerjisi, http://www.tureb.com.tr/turebsayfa/neden-ruzgar-enerjisi: [04.06.2020].

TÜREB, 2020, Türkiye Rüzgâr Enerjisi İstatistik Raporu http://www.tureb.com.tr/bilgi-bankasi/turkiye-res-durumu: [04.06.2020].

Wang, J., Liang, J., Gao, F., Zhang, L. ve Wang, Z., 2014, A method to improve the dynamic performance of moving average filter-based PLL, *IEEE Transactions on Power Electronics*, 30 (10), 5978-5990.

Wang, Y. F. ve Li, Y. W., 2010a, Grid synchronization PLL based on cascaded delayed signal cancellation, *IEEE Transactions on Power Electronics*, 26 (7), 1987-1997.

Wang, Y. F. ve Li, Y. W., 2010b, Analysis and digital implementation of cascaded delayed-signal-cancellation PLL, *IEEE Transactions on Power Electronics*, 26 (4), 1067-1080.

Wu, F., Zhang, L. ve Duan, J., 2014, A new two-phase stationary-frame-based enhanced PLL for three-phase grid synchronization, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62 (3), 251-255.

Xiao, P., Corzine, K. A. ve Venayagamoorthy, G. K., 2008, Multiple reference frame-based control of three-phase PWM boost rectifiers under unbalanced and distorted input conditions, *IEEE Transactions on Power Electronics*, 23 (4), 2006-2017.

Yazdani, D., Mojiri, M., Bakhshai, A. ve Joos, G., 2009, A fast and accurate synchronization technique for extraction of symmetrical components, *IEEE Transactions on Power Electronics*, 24 (3), 674-684.

Zhang, C., Zhao, X., Wang, X., Chai, X., Zhang, Z. ve Guo, X., 2018, A grid synchronization PLL method based on mixed second-and third-order generalized integrator for DC offset elimination and frequency adaptability, *Ieee Journal of Emerging and Selected Topics in Power Electronics*, 6 (3), 1517-1526.

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı	**:**	Fehmi SEVİLMİŞ
Uyruğu	**:**	T.C.
Doğum Yeri ve Tarihi	**:**	Tekkeköy, SAMSUN - 03/11/1988
Telefon	**:**	0332 223 4396
Faks	**:**	---
e-mail	**:**	fehmisevilmis@selcuk.edu.tr

EĞİTİM

Derece		**Adı, İlçe, İl**	**Bitirme Yılı**
Lise	:	**19 Mayıs Lisesi (Y.D.A.), İlkadım, Samsun**	**2006**
Üniversite	:	**KTÜ, Trabzon**	**2012**
Yüksek Lisans	:	**Selçuk Üniversitesi, Selçuklu, Konya**	**2016**
Doktora	:	**Selçuk Üniversitesi, Selçuklu, Konya**	**2020**

İŞ DENEYİMLERİ

Yıl	**Kurum**	**Görevi**
2013-2020	**Selçuk Üniversitesi**	**Araştırma Görevlisi**

UZMANLIK ALANI

Güç elektroniği, kontrol sistemleri, yenilebilir enerji kaynakları, faz kilitleme döngüsü yöntemleri

YABANCI DİLLER

İngilizce

YAYINLAR

- **SCI, SCI-expanded, SSCI, AHCI'de yer alan ve Impact faktörü 1.0 ve üzeri olan uluslar arası dergilerde yayımlanan araştırma makalesi**

1- Sevilmis, F. ve Karaca, H., 2020, Efficient implementation and performance improvement of three-phase EPLL under non-ideal grid conditions, *Iet Power Electronics*, 1-10. **(Doktora tezinden yapılmıştır)**

2- Sevilmiş, F. ve Karaca, H., 2020, A fast hybrid PLL with an adaptive all-pass filter under abnormal grid conditions, *Electric Power Systems Research*, 184, 1-10. **(Doktora tezinden yapılmıştır)**

- **Diğer uluslar arası hakemli dergilerdeki yayınlar**

1- Sevilmiş, F. ve Karaca, H., 2019, Improved phase-locked loop method for grid synchronisation of wind energy systems, *Electronics World*, 125 (1990), 20-22. **(Doktora tezinden yapılmıştır)**

2- Sevilmiş, F. ve Karaca, H., 2019, Şebeke etkileşimli eviriciler için faz kilitleme döngüsü yöntemlerinin performanslarının karşılaştırılması, *Konya Mühendislik Bilimleri Dergisi*, 7 (4), 713-728. **(Doktora tezinden yapılmıştır)**
3- Sevilmiş, F. ve Karaca, H., 2019, Performance analysis of SRF-PLL and DDSRF-PLL algorithms for grid interactive inverters, *International Advanced Researches and Engineering Journal*, 3(2), 116-122. **(Doktora tezinden yapılmıştır)**

- **Tam metinli bildiriler (Yabancı dilde sözlü sunulan ve tam metni yayınlananlar)**

1- F. Sevilmiş, H. Karaca, "Different EPLL Structures for Grid-interfaced Converters: Analysis and Comparison", *3rd International Energy & Engineering Congress*, 18-19 Oct. 2018, 950-963. **(Doktora tezinden yapılmıştır)**
2- F. Sevilmiş, H. Karaca, "A Comparative Study: Analysis and Simulation of DDSRF-PLL and DSOGI-PLL for Three Phase Grid Synchronization", *3rd International Mediterranean Science and Engineering Congress (IMSEC 2018)*, 24-26 Oct. 2018, 461-467. **(Doktora tezinden yapılmıştır)**
3- F. Sevilmiş, H. Karaca, "An Experimental Study of Grid Tied Inverter for Renewable Energy Systems", *International Conference on Smart Energy Systems and Technologies (SEST)*, 10-12 Sept. 2018, 1-6. **(Yüksek lisans tezinden yapılmıştır)**
4- F. Sevilmiş, H. Karaca, "Performance Analysis of SRF-PLL and DDSRF-PLL Methods for Grid Interactive Inverters", *International Advanced Researches & Engineering Congress*, 16-18 Nov. 2017. **(Doktora tezinden yapılmıştır)**
5- F. Sevilmiş, H. Karaca, "Comparison of SRF-PLL and E-PLL Techniques for Grid Connected Inverter", *6th International Conference on Advanced Technology & Sciences*, 12-15 Sep. 2017. **(Doktora tezinden yapılmıştır)**
6- F. Sevilmiş, H. Karaca, "Performance Analysis of Dual Second Order Generalized Integrator Phase Locked Loop for Grid Interactive Inverter", *6th International Conference on Advanced Technology & Sciences*, 12-15 Sep. 2017. **(Doktora tezinden yapılmıştır)**
7- F. Sevilmiş, H. Karaca, "Simulation of Three-Phase Grid Interactive Inverter for Wind Energy Systems", *IEEE 15th International Conference on Environment and Electrical Engineering (EEEIC)*, pp. 1169-1174, 10-13 June 2015. **(Yüksek lisans tezinden yapılmıştır)**
8- F. Sevilmiş, H. Karaca, "Simulation and Analysis of SVPWM Based VSI for Wind Energy Systems", *IEEE 6th International Conference on Electronics, Computers and Artificial Intelligence*, vol. 6, no. 1, pp. 73-78, 23-25 Oct. 2014. **(Yüksek lisans tezinden yapılmıştır)**

- **Özet metinli bildiriler (Yabancı dilde sözlü sunulan ve özet metni yayınlananlar)**

1- F. Sevilmiş, H. Karaca, "Improvement of SRF-PLL Method under Unbalanced and Distorted Grid Conditions for Grid Synchronization of Power Generation Systems", *International Advanced Researches & Engineering Congress*, 16-18 Nov. 2017, 1151. **(Doktora tezinden yapılmıştır)**
2- F. Sevilmiş, H. Karaca, "Real time control of the inverter using TM320F28335 DSP with MATLAB Simulink", *International Conference on Engineering Technologies (ICENTE'17)*, 7-9 Dec. 2017, 38. **(Yüksek lisans tezinden yapılmıştır)**