**TÜRKİYE CUMHURİYETİ**
**YILDIZ TEKNİK ÜNİVERSİTESİ**
**FEN BİLİMLERİ ENSTİTÜSÜ**

# EMPEDANS KAYNAKLI İNVERTERİN İŞLEMSEL ZEKÂ TABANLI KONTROLÜ

**Ali Rıza YILMAZ**

DOKTORA TEZİ
Elektronik ve Haberleşme Mühendisliği Anabilim Dalı
Elektronik Programı

Danışman
Doç. Dr. Burcu ERKMEN

Aralık, 2019

**TÜRKİYE CUMHURİYETİ**
**YILDIZ TEKNİK ÜNİVERSİTESİ**
**FEN BİLİMLERİ ENSTİTÜSÜ**

# EMPEDANS KAYNAKLI İNVERTERİN İŞLEMSEL ZEKÂ TABANLI KONTROLÜ

Ali Rıza YILMAZ tarafından hazırlanan tez çalışması 27.12.2019 tarihinde aşağıdaki jüri tarafından Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programı **DOKTORA TEZİ** olarak kabul edilmiştir.

Doç. Dr. Burcu ERKMEN
Yıldız Teknik Üniversitesi
Danışman

**Jüri Üyeleri**

Doç. Dr. Burcu ERKMEN, Danışman
Yıldız Teknik Üniversitesi _____

Dr. Öğr. Üyesi Revna ACAR VURAL, Üye
Yıldız Teknik Üniversitesi _____

Prof. Dr. Yaşar BİRBİR, Üye
Marmara Üniversitesi _____

Dr. Öğr. Üyesi Sadiye Nergis TURAL POLAT, Üye
Yıldız Teknik Üniversitesi _____

Prof. Dr. Mehmet SAĞBAŞ, Üye
Yeni Yüzyıl Üniversitesi _____

Danışmanım Doç. Dr. Burcu ERKMEN sorumluluğunda tarafımca hazırlanan EMPEDANS KAYNAKLI İNVERTERİN İŞLEMSEL ZEKÂ TABANLI KONTROLÜ başlıklı çalışmada veri toplama ve veri kullanımında gerekli yasal izinleri aldığımı, diğer kaynaklardan aldığım bilgileri ana metin ve referanslarda eksiksiz gösterdiğimi, araştırma verilerine ve sonuçlarına ilişkin çarpıtma ve/veya sahtecilik yapmadığımı, çalışmam süresince bilimsel araştırma ve etik ilkelerine uygun davrandığımı beyan ederim. Beyanımın aksinin ispatı halinde her türlü yasal sonucu kabul ederim.

Ali Rıza YILMAZ

İmza

*Bu tez babam Tahsin YILMAZ'a adanmıştır*

# TEŞEKKÜR

Tüm yüksek öğrenimim boyunca akademik bilgi ve tecrübeleri ile bana her zaman destek olan ve beni yönlendiren, üzerimde çok büyük emekleri olan, öğrencisi olmayı büyük bir onur ve şans addettiğim, tez danışmanım ve hocam Doç. Dr. Burcu ERKMEN'e çok teşekkür ederim.

Tüm öğrenim hayatım boyunca en büyük destekçilerim olan babam Tahsin YILMAZ ve annem Hayriye YILMAZ ile kardeşlerim Tuba YILMAZ ve Melik Talip YILMAZ'a çok teşekkür ederim. Bu tez benden çok onların başarısıdır. Varlığı ile hayatımdaki herşeyi çok daha değerli kılan oğlum Asaf Kemal YILMAZ'ın katkısı çok büyüktür.

Tez izleme jürilerim Dr. Öğr. Üyesi Revna ACAR VURAL ve Prof. Dr. Yaşar BİRBİR hocalarıma, değerli katkıları ve desteklerinden dolayı teşekkürü bir borç bilirim. Tez sürecinde birlikte çalışma fırsatı bulduğum ve yardımlarını hiçbir zaman esirgemeyen meslektaşım Bilal EROL'a çok teşekkür ederim. Doktora sürecim boyunca desteklerini her zaman hissettiğim, beraber çalışmayı büyük bir şans olarak gördüğüm, değerleri arkadaşlarım Onur Can KURBAN, Nurullah ÇALIK, Muhammet Ali KARABULUT ve Husamettin UYSAL'a çok teşekkür ederim.

Ali Rıza YILMAZ

# İÇİNDEKİLER

**SİMGE LİSTESİ** viii

**KISALTMA LİSTESİ** ix

**ŞEKİL LİSTESİ** x

**TABLO LİSTESİ** xiii

**ÖZET** xiv

**ABSTRACT** xvi

**1 GİRİŞ** 1

1.1 Literatür Özeti . . . . . 1

1.2 Tezin Amacı . . . . . 4

1.3 Hipotez . . . . . 5

**2 EMPEDANS KAYNAKLI İNVERTER** 6

2.1 Giriş . . . . . 6

2.2 Empedans Kaynaklı İnverterin Çalışma Durumları . . . . . 7

2.2.1 Aktif Çalışma Durumu . . . . . 8

2.2.2 Yükseltici Mod Çalışma Durumu . . . . . 8

2.2.3 Sıfır Çalışma Durumu . . . . . 8

2.3 Empedans Kaynaklı İnverterin Devre Denklemleri . . . . . 8

2.4 Empedans Ağının Tasarımı . . . . . 10

2.4.1 Endüktans Tasarımı . . . . . 10

2.4.2 Kapasitör Tasarımı . . . . . 11

2.5 Empedans Kaynaklı İnverter için PWM Kontrol Yöntemleri . . . . . 12

2.5.1 Taşıyıcı Tabanlı Kontrol . . . . . 12

2.5.2 Basit Yükseltici Kontrol . . . . . 14

2.5.3 Uzay Vektör Modülasyon . . . . . 14

2.6 Empedans Kaynaklı İnverter Küçük İşaret Modeli . . . . . 16

**3 DC HAT GERİLİMİ KONTROL TEKNİKLERİ VE IRHA OPTİMİZASYON MODELİ** **20**
3.1 Giriş . . . 20
3.1.1 Doğrudan DC hat gerilim kontrolü . . . 20
3.1.2 Dolaylı DC hat gerilim kontrolü . . . 22
3.2 PID Kontrol . . . 24
3.2.1 Ziegler-Nichols Yöntemi . . . 26
3.2.2 Diferansiyel Gelişim Algoritması . . . 27
3.2.3 Parçacık Sürü Optimizasyonu . . . 29
3.2.4 $\mathscr{H}_\infty$ Tabanlı Kontrolör Tasarımı . . . 31
3.2.5 IRHA Tabanlı Optimizayon Tekniği . . . 33

**4 TASARLANAN KONTROLÖRLERİN SİMÜLASYON ORTAMINDA GERÇEKLENMESİ** **39**
4.1 Kontrol Yapılarının Karşılaştırılması . . . 39
4.2 ZSI için Kapalı Çevrim Kontrol Çözümleri . . . 41
4.2.1 Çok Katmanlı PID Kontrolör Tasarımı . . . 43
4.2.2 Kazanç Planlamalı Kontrolcü Tasarımı . . . 47

**5 SAHADA PROGRAMLANABİLİR KAPI DİZİLERİ (FPGA)** **53**
5.1 Giriş . . . 53
5.2 Programlanabilir Lojik Devreler . . . 53
5.3 Karmaşık Programlanabilir Lojik Devreler . . . 54
5.4 FPGA . . . 55
5.4.1 FPGA, DSP ve ASIC Teknolojileri . . . 56
5.4.2 Güç Elektroniğinde FPGA Temelli Tasarımların Avantajları . . . 58

**6 EMPEDANS KAYNAKLI İNVERTER İÇİN FPGA TABANLI KONTROL TASARIMI** **59**
6.1 Giriş . . . 59
6.2 FPGA Üzerinde Gerçekleme . . . 61
6.2.1 FPGA Tabanlı Sinüs PWM Kontrol . . . 62
6.2.2 FPGA Tabanlı Uzay Vektör PWM Kontrol . . . 64
6.2.3 FPGA Tabanlı Kapalı Çevrim Kontrol Tasarımı . . . 67

**7 SONUÇ VE ÖNERİLER** **72**

**A FPGA Devre Şeması** **74**

**Referanslar** **77**

**Tezden Üretilmiş Yayınlar** **84**

# SİMGE LİSTESİ

| | |
|---|---|
| $D$ | ST çalışma oranı |
| $d$ | ST çalışma oranının durum değişkeni |
| $M$ | Modülasyon indeksi |
| $B$ | Yükseltme faktörü |
| $U$ | Kontrol çıkışı |
| $V_{DC}$ | DC hat gerilimi |
| $V_C$ | Kapasite gerilimi |
| $V_g$ | Giriş gerilimi |
| $T$ | Periyot |
| $T_0$ | ST çalışma süresi |
| $\Delta I$ | Akım dalgalanması |
| $\Delta V_C$ | Gerilim dalgalanması |
| $F$ | DGA için geliştirme faktörü |
| $CR$ | DGA için çaprazlama oranı |
| $it$ | İterasyon sayısı |
| $NP$ | DGA için maksimum çözüm kümesi sayısı |
| $X_{i,d}$ | $i$ parçacığının $d$ boyutundaki konumu |
| $v_{i,d}$ | $i$ parçacığının $d$ boyutundaki hızı |
| $gb_{i,d}$ | PSO için global en iyi değer |
| $pb_{i,d}$ | PSO için bir parçacığın en iyi değeri |

# KISALTMA LİSTESİ

| | |
|---|---|
| AKİ | Akım Kaynaklı İnverter |
| GKİ | Gerilim Kaynaklı İnverter |
| DGA | Diferansiyel Gelişim Algoritması |
| PSO | Parçacık Sürü Optimizasyonu |
| ZSI | Z-Source Inverter |
| IRHA | Iterative Reduction Based Heuristic Algorithm |
| SVPWM | Space Vector Pulse Width Modulation |
| MSVPWM | Modified Space Vector Pulse Width Modulation |
| SPWM | Sinus Pulse Width Modulation |
| ST | Shoot Through |
| LMI | Linear Matrix Inequality |
| LUT | Look Up Table |
| IP | Intellectual Property |
| FPGA | Field Programmable Gate Array |

# ŞEKİL LİSTESİ


Şekil 2.1 Empedans kaynaklı inverter. . . . . 6
Şekil 2.2 Empedans kaynaklı inverter eşdeğer devresi. . . . . 8
Şekil 2.3 Aktif ve ST çalışma durumlarında kapasite gerilimı ($V_C$) ve indüktör gerilimi ($V_L$) simülasyonu. . . . . 9
Şekil 2.4 Farklı endüktans değerleri için ST oranındaki artışın $\Delta I$ üzerindeki etkileri. . . . . 11
Şekil 2.5 Farklı kapasite değerleri için ST oranındaki artışın $\Delta V_C$ üzerindeki etkileri. . . . . 12
Şekil 2.6 Taşıyıcı tabanlı PWM anahtarlama düzeni [1] . . . . . 13
Şekil 2.7 Basit yükseltici PWM anahtarlama düzeni[57] . . . . . 14
Şekil 2.8 Uzay vektör PWM anahtarlama vektörleri . . . . . 15
Şekil 2.9 Geliştirilmiş uzay vektör modülasyonu için anahtarlama modeli. . . 16
Şekil 2.10 Aktif çalışma durumu . . . . . 17
Şekil 2.11 ST çalışma durumu . . . . . 17
Şekil 2.12 Sıfır çalışma durumu . . . . . 18
Şekil 3.1 Doğrudan DC hat kontrolü. . . . . 21
Şekil 3.2 ST çalışma durumu sebebiyle DC hatta oluşan kare dalga [21]. . . . 21
Şekil 3.3 DC hat gerilimi algılama ve ölçeklendirme devresi [21]. . . . . 21
Şekil 3.4 ZSI için kapalı çevrim kapsamlı kontrol sistemi [19]. . . . . 22
Şekil 3.5 AC kısım içim kontrol sistemi [19]. . . . . 23
Şekil 3.6 Kondansatör gerilim kontrol yapısı [15]. . . . . 23
Şekil 3.7 Kondansatör gerilimi ile ST oranı arasındaki doğrusal olmayan ilişki. 24
Şekil 3.8 Kapalı çevrim kontrol sistemi yapısı. . . . . 25
Şekil 3.9 Ziegler-Nichols çalışma süreci. . . . . 26
Şekil 3.10 DGA akış diyagramı. . . . . 27
Şekil 3.11 Yüksek dereceli sistemler için farklı kontrolörlerin adım fonksiyon cevabı [61]. . . . . 28
Şekil 3.12 PSO akış diyagramı. . . . . 30
Şekil 3.13 PSO ve Z-N kontrol için adım fonksiyon cevabı [62] . . . . . 31
Şekil 3.14 Standart kapalı çevrim kontrol. . . . . 32
Şekil 3.15 IRHA tabanlı kontrolör modeli [66] . . . . . 33

Şekil 3.16 Çözüm kümesi sayısı . . . . . 34
Şekil 3.17 Optimizasyon sürecinde hata fonksiyonu. . . . . 34
Şekil 3.18 DGA tabanlı IRHA akış diyagramı. . . . . 34
Şekil 3.19 PSO tabanlı IRHA akış diyagramı. . . . . 35
Şekil 3.20 DGA tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait kutup ve sıfır noktaları. . . . . 37
Şekil 3.21 DGA tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait bode diagramı. . . . . 37
Şekil 3.22 DGA tabanlı IRHA ile tasarlanmış kontrol yapısına ait adım cevabı. . 37
Şekil 3.23 PSO tabanlı IRHA ile tasarlanmış kontrol yapısına ait adım cevabı. . 38
Şekil 3.24 PSO tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait kutup ve sıfır noktaları. . . . . 38
Şekil 3.25 PSO tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait bode diagramı. . . . . 38
Şekil 4.1 Farklı denetleyiciler altında kapalı çevrim sitemin adım cevapları. . . 40
Şekil 4.2 Çok katmanlı PID yapısı. . . . . 43
Şekil 4.3 Çok katmanlı PID kontrol için tasarlanan Simulink arayüzü. . . . . 45
Şekil 4.4 Çok katmanlı PID yapısı ile alınan simülasyon sonuçları. . . . . 46
Şekil 4.5 Kazanç planlamalı kontrolcü blok diyagramı. . . . . 48
Şekil 4.6 Kazanç planlamalı PID kontrol için tasarlanan Simulink arayüzü. . . 49
Şekil 4.7 Farklı giriş gerilimleri altında, açık çevrim devre modeli için kapasitör gerilimi ($V_C$), DC hat gerilimi ($V_{DC}$) ve ST oranı ($d$) cevabı. . . . . 50
Şekil 4.8 Farklı giriş gerilimleri altında, kapalı çevrim devre modeli için kapasitör gerilimi ($V_C$), indüktör akımı ($I_L$) ve ST oranı ($d$) cevabı. . 51
Şekil 4.9 Farklı giriş gerilimleri altında, kapalı çevrim devre modeli için DC hat gerilimi ($V_{DC}$), çıkış gerilimi ($V_x$) ve çıkış akımı ($I_x$) cevabı. . . . . 52
Şekil 5.1 Temel PLD yapıları. . . . . 54
Şekil 5.2 CPLD yapısı. . . . . 55
Şekil 5.3 FPGA mimarisi. . . . . 56
Şekil 5.4 FPGA-DSP-ASIC performans karşılaştırması [69]. . . . . 57
Şekil 6.1 Tasarımı yapılan sistemin garfiksel özeti. . . . . 60
Şekil 6.2 FPGA tabanlı PWM ve geri besleme kontrol sistemleri. . . . . 62
Şekil 6.3 ZSI devresinin laboratuvar ortamında kurulan deneysel devre fotoğrafı. 62
Şekil 6.4 Basit yükseltici kontrol [83]. . . . . 63
Şekil 6.5 Basit yükseltici kontrol simülasyon çıktısı. . . . . 64
Şekil 6.6 Basit yükseltici kontrol faz gerilimi osiloskop çıktısı. . . . . 64
Şekil 6.7 Üçüncü harmonik enjeksiyon dalga şekli. . . . . 65
Şekil 6.8 Üçüncü harmonik enjeksiyon ile üretilmiş PWM simülasyonu. . . . . 66

Şekil 6.9 FPGA çıkışından alınan anahtarlama sinyalleri ve THIPWM kontrol ile elde edilen faz gerilimlerinin osiloskop çıktıları. . . . . 66
Şekil 6.10 PID tabanlı kapalı çevrim kontrol yapısı. . . . . 68
Şekil 6.11 PID kontrol yapısı simülasyonu. . . . . 69
Şekil 6.12 FPGA ortamında gerçeklenen kontrol tasarımının güç analizi sonuçları. 70
Şekil 6.13 Giriş geriliminde kademeli değişime maruz kalan empedans kaynaklı inverter faz-faz geriliminin tepkisi için osiloskop çıktısı. . . . . 70
Şekil 6.14 Giriş geriliminde %20'lik artışa maruz kalan empedans kaynaklı inverter DC bara geriliminin tepkisinin osiloskop çıktısı. . . . . 71
Şekil 6.15 Giriş geriliminde %30'luk azalmaya maruz kalan empedans kaynaklı inverter DC link geriliminin tepkisinin osiloskop çıktısı. . . . . 71
Şekil A.1 FPGA gerçeklemesi yapılan PWM ve geri besleme kontrol sistemlerini içerisinde barındıran ana modülün şematik gösterimi. . . . . 74
Şekil A.2 FPGA gerçeklemesi yapılan kapalı çevrim kontrol sisteminin şematik gösterimi. . . . . 75
Şekil A.3 FPGA gerçeklemesi yapılan PWM kontrol sisteminin şematik gösterimi. 76

# TABLO LİSTESİ


Tablo 2.1 Farklı İnverter Modelleri için Verim Sonuçları [50] . . . . . 7
Tablo 2.2 Farklı İnverter Modelleri için Tüm Sistemin(inverter+motor) Verim Sonuçları [50] . . . . . 7
Tablo 2.3 ZSI Çalışma Durumları için Devre Modelleri. . . . . 8
Tablo 3.1 $K_p$, $K_i$, $K_d$ Parametrelerinin Hesaplanması. . . . . 26
Tablo 3.2 DGA Parametreleri. . . . . 28
Tablo 3.3 PSO Parametreleri. . . . . 31
Tablo 4.1 Simülasyon için Kullanılan ZSI Parametreleri. . . . . 42
Tablo 4.2 İstenilen Çalışma Noktaları. . . . . 43
Tablo 6.1 Optimizasyon Sonucunda Elde Edilen Tasarım Parametreleri. . . . . 61
Tablo 6.2 Sürücü Devresi Elemanları. . . . . 63
Tablo 6.3 Ölçüm sonuçları. . . . . 67
Tablo 6.4 FPGA'da Kullanılan Kaynak Bilgileri. . . . . 69

# ÖZET

## EMPEDANS KAYNAKLI İNVERTERİN İŞLEMSEL ZEKÂ TABANLI KONTROLÜ

Ali Rıza YILMAZ

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı
Doktora Tezi

Danışman: Doç. Dr. Burcu ERKMEN

Gelişen teknoloji ile birlikte elektrikli motor kullanımı gün geçtikçe yaygınlaştığından motor kontrolü ile ilgili çalışmalar popüler hale gelmiştir. Elektrik motorları sürücü sistemleri açısından değerlendirildiğinde, DC motor, endüksiyon motoru ve sabit mıknatıslı asenkron motor olarak farklı kategorilerde incelenebilir. Özellikle son yıllarda endüksiyon motorlar üzerine yapılan çalışmaların, DC motorlar üzerine yapılan çalışmalara göre daha yaygın olduğu görülmektedir. Gelişmiş elektrikli motorlarda, sistemin verimli çalışması sürücü devresinde kullanılan inverter modeline ve bu model için gerekli olan kontrol ünitelerinin tasarımına bağlıdır. Bu kontrol ünitesinin tasarımı hem güvenlik hem de performans kriterlerini sağlamalıdır. İnverterlere yönelik çalışmalarda özellikle verimi arttırmak adına transformatörsüz modeller üzerine yoğunlaşılmış ve bu durum neticesinde hem yükseltme hem de düşürücü modda çalışabilen ve bir DC-DC düşürücü devresine ihtiyaç duymayan empedans kaynaklı inverter modeli popüler hale gelmiştir. İnverterlerin tasarımı ve kontrolü, güç aktarımını maksimuma çıkarmak ve toplam güç dönüşüm sisteminin çalışma verimliliğini ve güvenilirliğini arttırmak için çok önemlidir.

Dijital teknolojilerdeki hızlı gelişmeler tasarımcılara, paralel programlamayı temel alan Sahada Programlanabilir Kapı Dizisi (FPGA) kullanarak kontrolör tasarlama seçeneği kazandırmıştır. FPGA'ların klasik mikroişlemcilere göre birçok avantaj sağladığı gerçeği güç elektroniği temel alanlarında özellikle motor sürücü devrelerinin tasarımlarında tercih edilmelerini sağlamıştır. Bu avantajlar temel olarak hız, düşük güç tüketimi, tasarımda getirdiği rahatlık ve uyarlanabilirlik olarak sıralanabilir.

İşlemsel zekâ tabanlı yapıların sağladığı başarılı sonuçlar, kolay uygulanabilirliği ve işlem rahatlıkları sayesinde oldukça yaygınlaştığı görülmektedir. Güç elektroniği devre tasarımlarında, sezgisel algoritmaların kullanımı, özellikle devre parametrelerinin optimizasyonu sürecinde sunduğu verimli sonuçlar nedeniyle artmaktadır. Ancak, parametre optimizasyonu için rastgele süreçlere dayanan bu modellerin kontrol yapısının tasarımında kullanımı devreyi kararsızlığa götürebileceğinden mümkün olmamaktadır.

Bu tez çalışmasının ilk aşamasında, güç elektroniği devre tasarımlarında kullanılabilecek, sezgisel algoritma temelli yeni bir optimizasyon yaklaşımı olan iteratif indirgemeli sezgisel algoritma (Iterative Reduction based Heuristic Algorithm-IRHA) önerilmiştir. Önerilen yöntemin teorik analizi yapılarak, empedans kaynaklı inverter (Z Source Inverter-ZSI) için uyguluğu ispat edilmiştir. Sonraki aşamada simülasyon ortamında, elde edilen kapalı çevrim sistemin referans takibinde göstermiş olduğu performans ile güvenilirliği kanıtlanmıştır. Son aşamada ise, önerilen kapalı çevrim kontrol yapısı ile darbe genişlik modülasyonu (Pulse Width Modulation-PWM) kontrol yapıları FPGA (Nexys 4 DDR, Xilinx Company) üzerinde paralel programlama tekniği ile gerçeklenmiştir. Bu sayede kompakt bir kontrol ünitesi sunulmuş ve bu ünitenin başarımı laboratuvar ortamında asenkron motorların çalışma aralıkları düşünülerek belirlenen farklı gerilim seviyeleri altında alınan sonuçlar ile ispatlanmıştır. Alınan sonuçlarda, giriş geriliminde meydana gelen %30'a varan değişimlere sistemin başarılı bir tepki verdiği ve FPGA teknolojisinin hızı sayesinde anlık sıçramaların %5'ler seviyesine düşürüldüğü gözlenmiştir.

**Anahtar Kelimeler:** Empedans kaynaklı inverter, sezgisel algoritmalar, IRHA, FPGA

# ABSTRACT

## COMPUTATIONAL INTELLIGENCE BASED CONTROL OF IMPEDANCE SOURCE INVERTER

Ali Rıza YILMAZ

Department of Electronic and Communication Engineering
Doctor of Philosophy Thesis

Advisor: Assoc. Prof. Dr. Burcu ERKMEN

As the use of electric motors has become prevalent with the developing technology, studies related to motor control have become popular. When the electric motors are evaluated in terms of drive systems, it can be examined in different categories such as DC motor, induction motor and permanent magnet asynchronous motor. Especially in recent years, studies on induction motors are more common than studies on DC motors. In advanced electric motors, the efficient operation of the system depends on the inverter model used in the drive circuit and the design of the control units required for this model. The design of this control unit must meet both safety and performance criteria. In inverter studies, especially in order to increase efficiency, transformerless models have been focused and as a result of this, the Z-source inverter which can work in both boost and buck mode and does not need a DC-DC reducer circuit has become popular. The design and control of the inverters play an important role in maximizing power transmission and increasing the operating efficiency and reliability of the total power conversion system.

Rapid developments in digital technologies have enabled designers to design controllers using the Field Programmable Gate Array (FPGA) which are based on parallel programming. The fact that FPGAs offer many advantages over conventional microprocessors has enabled it to be preferred in the field of power electronics especially in the design of motor drive circuits. These advantages are mainly, speed, low power consumption, design comfort, and adaptability.

It is seen that computational intelligence-based structures have become widespread

due to their successful results, ease of applicability and ease of operation. The use of heuristic algorithms in power electronics circuit designs is increasing, especially in the optimization of circuit parameters, due to the efficient results it offers. However, in the design of the control structure, the models that rely on random process for parameter optimization cannot be used, since it can make the circuit unstable. In the first stage of this thesis, IRHA has been proposed as a new optimization approach based on the heuristic algorithm, which can be used in power electronics circuit designs. The proposed method has been proved for ZSI by theoretical analysis. In the next stage, the reliability of the obtained closed-loop system in the simulation environment has been proved by the performance it has shown in the reference follow-up. In the last stage, the proposed closed-loop control structure and PWM control structures are implemented in a parallel programming technique on FPGA (Nexys 4 DDR, Xilinx Company). In this way, a compact control unit has been presented and the performance of this unit is proved with the results obtained under different voltage levels determined by considering the working range of asynchronous motors in the laboratory environment. The results show that the closed-loop system responds successfully to changes in the input voltage up to 30% and the overshoot reduces to 5%. by the help of the speed of the FPGA technology.

**Keywords:** Z-Source inverter, heuristic algorithms, IRHA, FPGA

# 1
# GİRİŞ

## 1.1 Literatür Özeti

Güç elektroniği dönüştürücü sistemlerinde, özellikle kesintisiz güç kaynakları, yenilenebilir enerji ara yüzleri ve AC motor sürücüleri gibi uygulamalarda, DC-AC güç girişleri için karmaşık düzeyli topolojilere sahip güç inverterleri kullanılmaktadır. Geleneksel olarak, gerilim kaynaklı inverterler (GKİ) ve akım kaynaklı inverterler (AKİ) olarak iki temel model bulunur. Bu iki temel inverter modelinin motor sürücü devrelerinde kullanılmasına rağmen, [1]'de sunulduğu gibi birçok kısıtlamaları vardır,

- GKİ, DC-AC dönüşümü için bir düşürücü inverter ve AKİ, DC-AC dönüşümü için bir yükseltici inverter modelidir. Bu modeller tek başlarına hem yükseltici hem de düşürücü olarak kullanılamazlar.
- Her ikisi için de ana devre değiştirilemez. Yani GKİ ana devresinin AKİ için kullanılması veya bu işlemin tersi mümkün değildir.
- GKİ modellerinde görülen açık kısa devre problemi ile AKİ modellerinde görülen açık devre problemi sebebiyle devrede elektromanyetik arayüz gürültüleri oluşmaktadır. Bu durum devrenin güvenirliğini olumsuz etkiler.

Bu kısıtlamalar, uygulamalarda çeşitli dezavantajlara yol açmaktadır. Ayrıca CER motorları gibi elektrik taşıtlarının sürücü sistemleri için ayrı bir DC-DC dönüştürücü modeline ihtiyaç duyulmaktadır. Bu tür problemlerin üstesinden gelmek amacıyla F. Z. Peng tarafından 2004 yılında empedans kaynaklı inverter (Z-Source Inverter-ZSI) modeli literatüre kazandırılmıştır [1]. ZSI modeli, GKİ ve AKİ modellerinin dezavantajlarının üstesinden gelebilmesinin yanı sıra, transformatörsüz yapısı ile birçok ek avantaj sunmaktadır. İnverter modelleri söz konusu olduğunda, transformatör kullanmak sadece sistemin boyutunu ve maliyetini arttırmakla kalmaz aynı zamanda verimliliğini de düşürür. Bu nedenle transformatörsüz inverterler üzerine yapılan çalışmalar son yıllarda artış göstermiştir. Bu modellerde gerilim

ayarının yapılabilmesi için DC-DC dönüştürücülere ihtiyaç duyulmaktadır. Bu ihtiyaç doğrultusunda, inverter modellerinde DC-DC dönüştürücü yapısı içerisinde kullanılan yarı iletken anahtarlar verimliliği azaltırken maliyeti arttırmaktadır. Bu dezavantajları önemli ölçüde elediğinden dolayı, DC-DC dönüştürücü yapısına ihtiyaç duymayan empedans kaynaklı inverter modellerinin özellikle motor sürücü devrelerinde kullanılması olumlu sonuçlar vermiştir [2], [3]. [4]'de, Z kaynaklı inverter, yakıt hücreli elektrikli aracın güç sistemi için kullanılmıştır. Bu çalışmada donanım gerçeklemesinde FPGA ve CPU kullanılmıştır. Farklı ZSI topolojilerinin farklı motor tiplerinin sürücü devrelerine yönelik uygulanması, [5]'de geniş olarak ele alınarak incelenmiş ve detaylandırılmıştır. Bu çalışma incelendiğinde sistem veriminin artırılması için sistem parametrelerinin optimizasyonu ve kontrol tasarımı konularının önemi anlaşılmaktadır. ZSI parametrelerinin optimizasyonu, [6]'da sezgisel algoritmalar kullanılarak yapılmış ve bu sayede sistemin toplam harmonik bozunum oranının benzer çalışmalara göre yarıya düştüğü gösterilmiştir.

ZSI, çeşitli avantajlar sağlamasına rağmen temel dezavantajının, çıkış geriliminin, modülasyon endeksi (M) ve DC hat gerilimine bağlı olması denilebilir. Bu bilgi ışığında ZSI veriminin temel olarak PWM kontrol ve kapalı çevrim kontrol yöntemlerine bağlı olduğu anlaşılmaktadır [7],[8]. Sistem veriminin uygun bir kontrol tasarımı ile arttırılabileceği düşüncesine yönelik birçok çalışma bulunmaktadır [9], [10], [11].

ZSI'nin kontrolünde karşılaşılan ana problemler, kondansatördeki gerilim dalgalanmaları ve giriş geriliminde görülebilecek dalgalanmalar veya değişimlerde sistemin kararlılık durumunu koruyamaması gibi risklerdir [12],[13]. Bu bilgiler ışığında, empedans ağındaki kapasitör gerilimlerini bir geri besleme yapısı ile kontrol edilerek kapasitans etkisinin dengelenmesi gerekir. Bu şekilde, kapasitör gerilimini kontrol etmek, çıkış geriliminin dengelenmesini sağlar. Bu kontrol işlemi belirtilen çalışma aralığı için bir doğrusal kontrol yöntemiyle yapılabilir. Ancak kontrol işleminin belirli bir çalışma noktası için yapılabiliyor olması uygulama alanlarında sınırlamaya neden olacağından bu kontrol yönteminin dezavantajı olarak düşünülebilir.

ZSI, giriş gerilimlerini artırmak için yükseltici mod durumunu (Shoot Through-ST) avantajlı bir şekilde kullanır, ancak bu durum kapasitörlerde gerilim düşüşlerine neden olabilir. Bu konu üzerine literatürde bulunan araştırma makaleleri incelendiğinde problemin doğrudan veya dolaylı DC hat kontrolü ile aşılabileceği gösterilmiştir [7]. DC hat gerilim dengesini korumak için bu gerilim değerinin kontrolü, geri besleme sistemi yardımıyla değiştirilen ST oranı ile yapılır [13]. Bu kontrol yönteminde, inverter köprüsündeki gerilim kendi doğal karmaşıklıklarına sahip olan harici algılama devreleri ile ölçülür. Bu devrelerin tasarımı ve sisteme eklenmesi hem karmaşıklığı hem de maliyeti arttıracaktır. Dolaylı DC hat kontrolü söz konusu olduğunda DC hat

gerilim değerini tahmin etmek için iki strateji vardır; kapasitör gerilim kontrolü [14], [15], [16] ve kapasitör ile birlikte giriş gerilimleri üzerinden birleşik kontrol yöntemi [17], [18], [19]. Dolaylı kontrol yöntemleri, kontrolör giriş gerilimi değişimleri için ST oranını düzenler. Sonuç olarak DC hat gerilim stabilitesini korumak için modülasyon indeksi değiştirilir [20]. Bu durum düşük modülasyon indeksine ve daha yüksek anahtar kaybına neden olur. Kapalı çevrim kontrol üzerine yapılan çalışmalar incelendiğinde başarıya ulaştıkları görülmesine rağmen karşılaşılan dezavantajlar genel olarak şu şekilde sıralanabilir;

- Anahtarlama kayıplarına yol açabilecek yüksek DC hat gerilimi [15],
- Modülasyon indeksi ve ST oranının tamamen birbirinden bağımsız düşünülmesi sonucunda, uygulanabilirliğinin zor olması [14],
- Karmaşık kontrol yapısı, ek tasarım gereksinimi ve bunun sonucunda maliyetin artması [21],
- Kapasite gerilimi ve DC hat gerilimi arasında doğrusal olmayan bağlantının doğrusal bir kontrol yöntemi ile sadece belirli bir çalışma aralığı için tasarlanabilir olması.

Kondansatörden alınan gerilim değeri ile yapılan kapalı çevrim kontrolörler söz konusu olduğunda, PID ve PI kontrol yasaları literatürde yaygın olarak kullanılmaktadır [7]. Endüstride mühendislerin hala PID denetleyicisini tercih etmesinin sebebi bu denetleyiciyi oluşturmak için sadece üç tasarım parametresine ihtiyaç duyulmasıdır; $K_p$ (oransal), $K_i$ (integral) ve $K_d$ (türev) katsayıları. Bu nedenle, PID denetleyicileri hakkında çok kapsamlı araştırmalar literatürde mevcuttur [22], [23], [24], [25], [26], [27], [28] ve [9]. İlk yıllarda Ziegler ve Nichols bu parametreleri türetmek için ampirik temelli bir strateji sunmuştur [23]. Ardından ayar noktası ve yük bozulma tepkilerini arttırmak için bu yöntemde bazı iyileştirmeler yapılmıştır [25]. [26]'de aşınmayı azaltmak için bütünleşik kriterlerin en aza indirilmesine dayanan optimal bir PID kontrolör tasarımı önerilmektedir. İlerleyen yıllarda PID denetleyici parametrelerinin hesaplama problemi optimizasyon problemi olarak ele alınmıştır. Bu parametrelerin genetik algoritma [29], parçacık sürüsü optimizasyonu (PSO) [30], diferansiyel evrim algoritması (DEA) [31] ve diğer yöntemler [32] gibi iyi bilinen sezgisel algoritmalar kullanılarak optimizasyonu yapılabilir. Bu konuda literatürdeki diğer çalışmalarda araştırmacılar yalnızca geçici yanıtın temel performans kriterine odaklanmakla kalmayıp aynı zamanda bozulma etkileri nedeniyle ortaya çıkan sistemlerin duyarlılıklarını da ele almaktadır [27], [28], [9] ve [33].

ZSI ele alındığında doğrusal kontrol yöntemlerinin sadece belirli bir çalışma aralığı için etkili olduğu görülmektedir. Ancak motor kontrolü gibi geniş bir çalışma aralığı gerektiren uygulamalarda doğrusal kontrol yöntemleri ZSI için güvenilirliğini yitirir. Bu problemin ortadan kaldırılması için literatürde kazanç planlamalı kontrol yöntemini kullanan çalışmalar sunulmaktadır [34], [35]. Yapılan çalışmalarda genel olarak ST oranı ile çıkış gerilimi arasındaki bağıntıyı veren transfer fonksiyonları kullanılmıştır. Transfer fonksiyonun elde edilmesi için gereken küçük işaret modeli birçok çalışmada sunulmuştur [36], [37], [38] ve [39].

Kapalı çevrim kontrolün etkin bir şekilde kullanılması için uygulanan PWM tekniği ayrıca önemli bir role sahiptir [8]. Tüm geleneksel PWM stratejileri ZSI'yi kontrol etmek için kullanılabiliyor olsa da çıkış gerilimini kontrol etmek için modülasyon tekniğine ST durumu yerleştirilmelidir. Sinüs PWM stratejisinden uyarlanmış birkaç PWM yöntemi vardır ve bunların yanı sıra ST durumlarının eklenmesi ile yapılmış olan uzay vektör modülasyonu [40], [41], [42], [36] ve [43] çalışmalarında önerilmektedir. [44] 'te bu yöntemlerden bazıları için ayrıntılı bir karşılaştırma yapılmıştır. Doğru modülasyon tekniği seçilmezse, yüksek toplam harmonik bozulma (THD) ve anahtarlarda yüksek gerilim baskısı olması kuvvetle muhtemeldir.

Bu kontrol yapılarının gerçeklemesi için FPGA kullanımı, farklı birçok inverter modeli için literatürde bulunmaktadır. Bu çalışmalar FPGA'ların darbe genişlik modülasyonu (PWM) inverterleri [45], endüksiyon motorları [46], AC / DC dönüştürücüler [47] ve değişken hızlı sürücüler [48] gibi dijital geri besleme kontrol sistemlerinde kullanıldığını bildirmiştir. FPGA tabanlı platformların bir başka avantajı dijital kontrol cihazlarının paralel mimari tasarımına izin veren eşzamanlı işlemleri gerçekleştirme yetenekleridir [47], [49].

## 1.2 Tezin Amacı

Bu tez çalışmasında, empedans kaynaklı inveterler için işlemsel zekâ algoritmaları kullanılarak literatürdeki tasarımların dezavantajlarını taşımayan kontrolör tasarımı ve bu tasarımın deneysel sonuçlar ile güvenilirliğinin ispatı amaçlanmıştır. Bu amaç doğrultusunda kontrol katsayılarının optimizasyonu için yeni bir yaklaşım olan sezgisel algoritma tabanlı IRHA modeli önerilmiştir. Bu yöntem ile güç elektroniği devreleri için tasarlanan kontrol yapılarında mevcut işlemsel zekâ algoritmaları ile mümkün olmayan optimizasyon işleminin gerçeklenmesi amaçlanmıştır. Her ne kadar algoritma ZSI için kontrolör tasarımında test edilmiş olsa da farklı güç elektroniği devrelerinde kullanılabileceği öngörülmektedir. Elde edilen kontrol tasarımının FPGA tabanlı olarak gerçeklenmesi ile hızlı, güvenilir ve kompakt bir yapının oluşturulması

ve dijital tabanlı güç elektroniği devre tasarımlarına katkı sağlanması hedeflenmiştir.

## 1.3 Hipotez

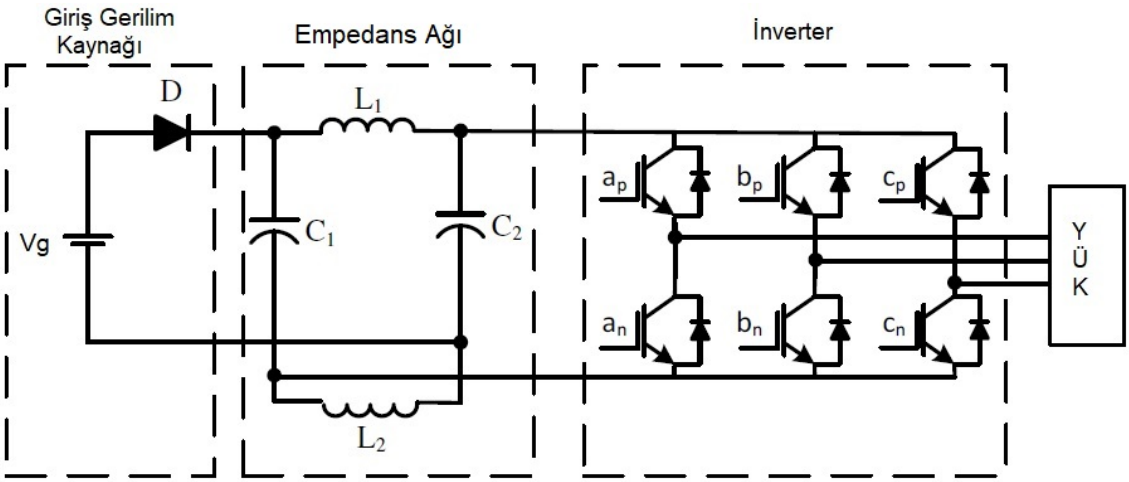
Motor kontrol devrelerinde istenilen verimin elde edilmesi için optimum kontrolör tasarımına ihtiyaç vardır. Bu doğrultuda önerilen IRHA optimizasyon modeli ile özellikle giriş ve çıkış arasındaki bağıntının doğrusal olmadığı güç elektroniği uygulamaları için verimli bir tasarımının gerçeklenmesi sağlanmaktadır. Önerilen algoritmanın adaptif olması farklı güç elektroniği devrelerinde kararlı bir sistem tasarımı için kullanılabileceğini göstermektedir. FPGA tabanlı sayısal bir kontrolör tasarımı ile ilave tasarımlara imkan sunan ve ek devre ihtiyacı olmadan her türlü gelişime zemin hazırlayan bir yapı sağlanmaktadır.

# 2
# EMPEDANS KAYNAKLI İNVERTER

## 2.1 Giriş

İnverter devreleri genel olarak transformatörlü ve transformatörsüz yapılar olarak iki başlık altında incelenebilir. Transformatörlü yapılar kaynak geriliminden izole çalışması ve dayanıklı olmaları nedeniyle bir çok alanda kullanılmaktadır. Ancak transformatörün devreye kattığı fazladan ağırlık ve büyük hacim problemleri motor sürücü devrelerinde kullanılmasını zorlaştırmaktadır. Yüksek frekansta çalışan transformatörlü inverter yapıları ile her ne kadar bu sorunlar aşılabilse de bu tip yapıların karmaşık, maliyetli ve düşük verimli olmaları kullanım alanlarını kısıtlamaktadır. Bu dezavantajlar nedeniyle transformatörsüz yapılar üzerinde yapılan çalışmalar çok daha popüler hale gelerek artmıştır.

Geleneksel transformatörsüz inverter yapıları incelendiğinde gerilim kaynaklı(VSI) ve akım kaynaklı(CSI) olmak üzere iki ana başlık altında toplandığı görülmektedir. Bu iki yapının 1. bölümde bahsedilen dezavantajları nedeniyle 2003 yılında empedans kaynaklı inverter yapısı sunulmuştur [1].




**Şekil 2.1** Empedans kaynaklı inverter.

Empedans kaynaklı inverter iki kapasite ve iki endüktanstan oluşan "X" şeklinde özel

bir topolojiye sahiptir.

Bilindiği gibi geleneksel gerilim kaynaklı inverterlerde 8 farklı anahtarlama durumu vardır. VSI'lardan farklı olarak empedans kaynaklı inverterlerde 6 aktif, 2 sıfır ve 1 shoot-through (ST) durumu olmak üzere 9 farklı anahtarlama durumu vardır. ST durumu yük terminalleri herhangi bir faz ayağının hem üst hem de alt anahtarları tarafından kısa devre yapıldığında meydana gelir.

Özetle ZSI'in akım kaynaklı ve gerilim kaynaklı inverter modelleri ile karşılaştırıldığında sağladığı avantajlar şu şekilde özetlenebilir:

- Hem yükseltici hem de düşürücü modda çalışabilme kabiliyetine sahiptir.
- Elektromanyetik girişimin (electromagnetic interface-EMI) devrede oluşturacağı hasar ST ile engellenmiştir. Bu durum inverterin güvenilirliği arttırır.
- İnverter ölü zamana ihtiyaç duymamaktadır ve çıkış gerilimi sinüs dalga şekline oldukça yakındır.

ZSI'nın motor sürücü devlerinde kullanıldığı uygulamalar incelendiğinde devre veriminin yüksek seviyelerde olduğu görülmektedir. Tablo 2.1'de verilen karşılaştırma işleminde PWM inverter ve dc-dc dönüştürücülü inverter modellerinde modülasyon indeksleri 1 alınmış ve ZSI için de DC hat geriliminin $420V$ değerini aşmayacağı şekilde ST oranı belirlenmiştir [50].

**Tablo 2.1** Farklı İnverter Modelleri için Verim Sonuçları [50]

| | **10 kW** | **20 kW** | **30 kW** | **40 kW** | **50 kW** |
|---|---|---|---|---|---|
| ZSI | 0.973 | 0.973 | 0.973 | 0.971 | 0.969 |
| PWM inverter | 0.968 | 0.968 | 0.968 | 0.966 | 0.964 |
| DC-DC+inverter | 0.964 | 0.966 | 0.966 | 0.965 | 0.964 |

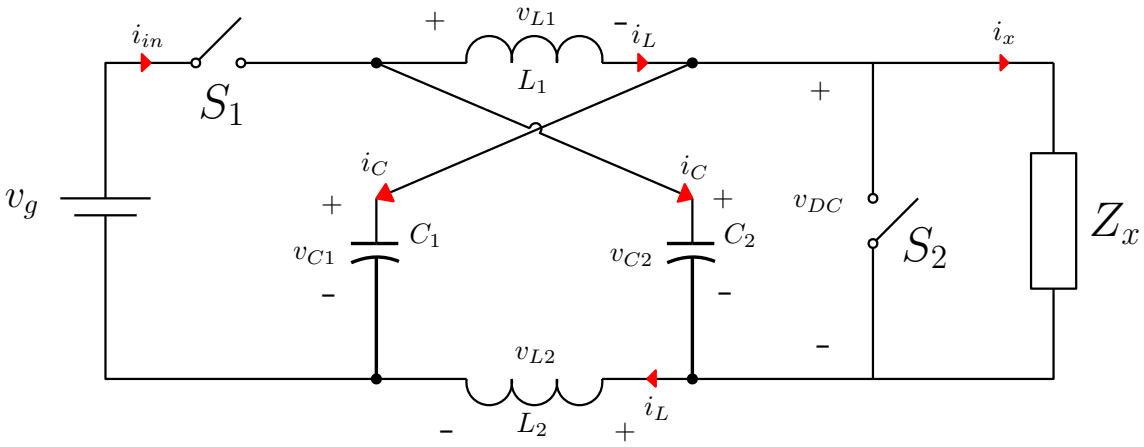
**Tablo 2.2** Farklı İnverter Modelleri için Tüm Sistemin(inverter+motor) Verim Sonuçları [50]

| | **10 kW** | **20 kW** | **30 kW** | **40 kW** | **50 kW** |
|---|---|---|---|---|---|
| ZSI | 0.949 | 0.930 | 0.913 | 0.896 | 0.877 |
| PWM inverter | 0.925 | 0.887 | 0.846 | 0.795 | 0.726 |
| DC-DC+inverter | 0.936 | 0.917 | 0.902 | 0.890 | 0.880 |

## 2.2 Empedans Kaynaklı İnverterin Çalışma Durumları

ZSI'nın basit yapısına rağmen dönüştürücünün doğru modülasyonu tüm çalışma modlarında dönüştürücü dinamikleri açısından önemlidir. Anahtarlama durumlarına

bağlı olarak ZSI'yı aşağıda açıklanan üç farklı çalışma durumuna ayırabiliriz;




**Şekil 2.2** Empedans kaynaklı inverter eşdeğer devresi.

**Tablo 2.3** ZSI Çalışma Durumları için Devre Modelleri.

| Durumlar | S1 | S2 | Çalışma oranı |
|---|---|---|---|
| Aktif çalışma | İletim | Kesim | $M$ |
| ST çalışma | Kesim | İletim | $D$ |
| Sıfır çalışma | Kesim | Kesim | $1-D-M$ |

### 2.2.1 Aktif Çalışma Durumu

İnverter köprüsünün 6 aktif durumdan herhangi birinde çalıştığı durumdur. Aktif çalışmada DC hat gerilimi empedans ağı üzerinde görülür, kapasite şarj olur ve enerji indüktörler üzerinden yüke aktarılır.

### 2.2.2 Yükseltici Mod Çalışma Durumu

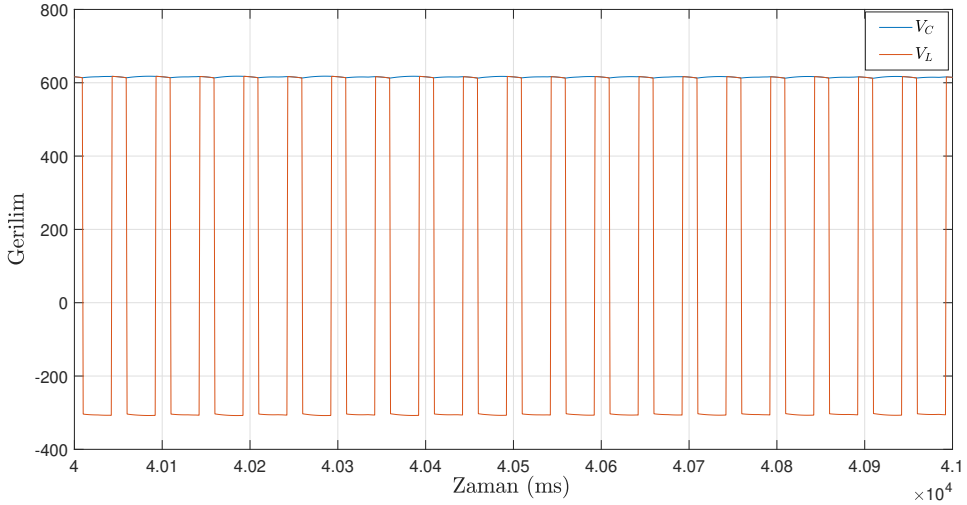
Bu çalışma modu sırasında inverter uçları kısa devre edilir, kapasitörün DC gerilimi ST görev oranına ($To$) göre gereken değere yükseltilir. ST aralığı istenilen seviyede yükseltme yapılabilmesi için belirlenen oranda sıfır durumuna eklenir.

### 2.2.3 Sıfır Çalışma Durumu

İnverter köprüsünün 2 sıfır durumundan herhangi birinde çalıştığı durumdur. Kapasitör, indüktör üzerinden yüklenir ancak yüke hiçbir aktarım olmaz.

## 2.3 Empedans Kaynaklı İnverterin Devre Denklemleri

Empedens kaynaklı inverter simetrik bir yapıya sahiptir, dolayısıyla devre denklemleri elde edilirken $C_1$ ve $C_2$ değerleri ve $L_1$ ve $L_2$ değerleri eşit alınmalıdır;




**Şekil 2.3** Aktif ve ST çalışma durumlarında kapasite gerilimı ($V_C$) ve indüktör gerilimi ($V_L$) simülasyonu.

$$\begin{aligned} V_{L1} &= V_{L2} = V_L \\ V_{C1} &= V_{C2} = V_C \end{aligned} \tag{2.1}$$

İnverter, $T$ anahtarlama süresi içerisinde $T_0$ süresi boyunca yükseltici modda çalışmaktadır.

$$B = \left(\frac{T}{T_1 - T_0}\right) = \frac{T}{1-(2T_0/T)} \geq 1 \tag{2.2}$$

$$T = T_0 + T_1$$

$$D = \frac{T_0}{T} \tag{2.3}$$

ST çalışma durumunda;

$$V_L = V_C, \quad V_g = 2V_C, \quad V_{DC} = 0(ST) \tag{2.4}$$

Aktif çalışma durumunda;

$$V_L \neq V_C, \;\; V_g = V_{DC} = V_L + V_C \tag{2.5}$$

Çıkışta görülen maksimum gerilim değeri;

$$\hat{V}_{AC} = \frac{M\hat{V}_{DC}}{2} = \frac{MBV_g}{2} \tag{2.6}$$

Yukarıdaki eşitliklerde $B$, $D$ ve $M$ sırasıyla yükseltme faktörünü, ST çalışma modu oranını ve modülasyon indeksini ifade etmektedir.

DC hat geriliminin ortalama ve maksimum değerleri sırasıyla;

$$\overline{V}_{DC} = \frac{T}{T_1 - T_0} V_g = V_C \tag{2.7}$$

$$\hat{V}_{AC} = V_C - V_L = 2V_C - V_g \tag{2.8}$$

Bu denklemler kullanılarak kapasite gerilimi ile giriş gerilimi arasındaki bağıntı yazılabilir;

$$\frac{V_C}{V_g} = \frac{1-D}{1-2D} \tag{2.9}$$

## 2.4 Empedans Ağının Tasarımı

Empedans kaynaklı inverterlerin, özellikle ST çalışma durumu özelliğinden dolayı, devre elemanlarının seçimi verimi doğrudan etkilemektedir. Seçilecek olan kapasite ve endüktans değerlerinin devreyi kararsız bir yapıya sokmamasına özellikle dikkat edilmesi gerekmektedir. Literatürdeki benzer çalışmalar incelendiğinde kondansatördeki dalgalanmanın %3'ün altında olduğu ve endüktans akımındaki dalgalanmanın ise %10'nun altında olduğu senaryoların esas alındığı görülmektedir [51].

### 2.4.1 Endüktans Tasarımı

Aktif çalışma durumunda giriş gerilimi kondansatör üzerinde görünür ve endüktans üzerinde gerilim görünmez (endüktanslardan yalnızca saf bir DC akımı akar). ST çalışma durumu sırasında (yükseltme söz konusudur) indüktörün görevi mevcut dalgalanmayı sınırlamaktır. ST çalışma durumu sırasında, indüktör akımı doğrusal olarak artar ve indüktör üzerindeki gerilim, kapasitör üzerindeki gerilim ile aynıdır. Sıfır çalışma durumunda indüktör akımı doğrusal olarak azalır ve indüktör üzerindeki gerilim, giriş gerilimi ile kapasitör gerilimi arasındaki farktır [51], [52] ve [53].

Toplam güç $P$ olarak ifade edilir ise endüktanstan geçen ortalama akım;

$$\overline{I_L} = \frac{P}{V_g} \tag{2.10}$$

Maksimum ST olduğu zamanlar indüktör üzerinde maksimum dalgalanma görünür. Bu nedenle indüktör seçiminde tepeden tepeye maksimum akım dalgalanması göz önünde bulundurulmak zorundadır.

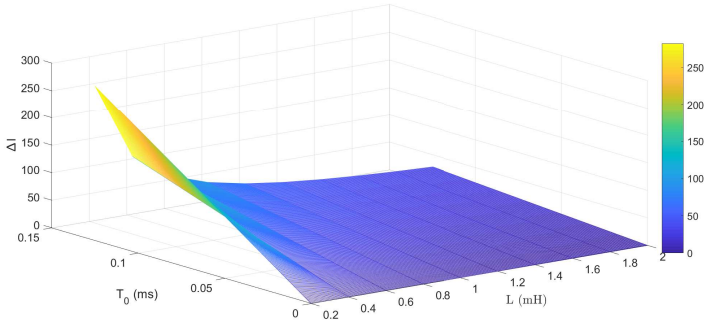
Endüktans üzerinde görülen maksimum ve minimum akımlar ise şu şekilde verilir:

$$\begin{aligned} \hat{I_L} &= I_L + 30\% \\ \check{I_L} &= I_L - 30\% \end{aligned} \tag{2.11}$$

Endüktans değerinin hesaplanması:

$$L = \frac{V * T_0}{\Delta I} \tag{2.12}$$

Endüktans değerinin ve ST oranındaki değişimlerin $\Delta I$ üzerindeki etkileri Şekil 2.4'de gösterilmektedir.




**Şekil 2.4** Farklı endüktans değerleri için ST oranındaki artışın $\Delta I$ üzerindeki etkileri.

Şekil 2.4'den anlaşılacağı gibi endüktans değeri arttıkça akım sıçramaları ST zamanı boyunca daha az görülebilir. Ancak bu durum verimi doğrudan etkilediğinden optimum bir tasarım yapılmalıdır.

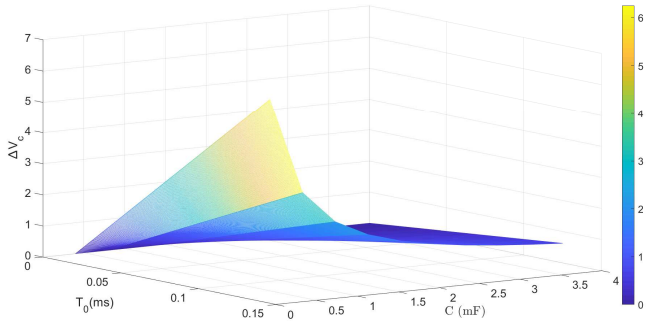
### 2.4.2 Kapasitör Tasarımı

Kapasitör, akımdaki dalgalanmaları engelleyerek çıkışta oldukça kararlı bir sinüsoidal işaretin oluşmasını sağlar [51], [52], [54] ve [55]. ST çalışma durumunda da

açıklandığı gibi yükseltici modda çalışma süresi boyunca indüktörler kapasiteler tarafından şarj edilir. Bu çalışma modunda empedans ağındaki elemanlar üzerinden geçen akımlar eşittir.

Kapasitör gerilim dalgalanmasını ($\Delta V_C$) maksimum güçte yaklaşık %3 ile sınırlandırmak (genellikle ZSI için yapılan çoğu uygulamada bu değer kullanılmıştır) istenilmektedir. Kapasitör gerilimi kolayca 2.13'deki gibi hesaplanır.

$$C = \frac{\overline{I_L} * T_0}{\Delta V_C} \tag{2.13}$$




**Şekil 2.5** Farklı kapasite değerleri için ST oranındaki artışın $\Delta V_C$ üzerindeki etkileri.

Şekil 2.5'den anlaşılacağı gibi seçilen kapasite değeri ST çalışma durumlarında gerilim sıçramalarını doğrudan etkilemektedir. Bu nedenle devre parametrelerinin seçimi optimum bir şekilde belirlenmelidir.

## 2.5 Empedans Kaynaklı İnverter için PWM Kontrol Yöntemleri

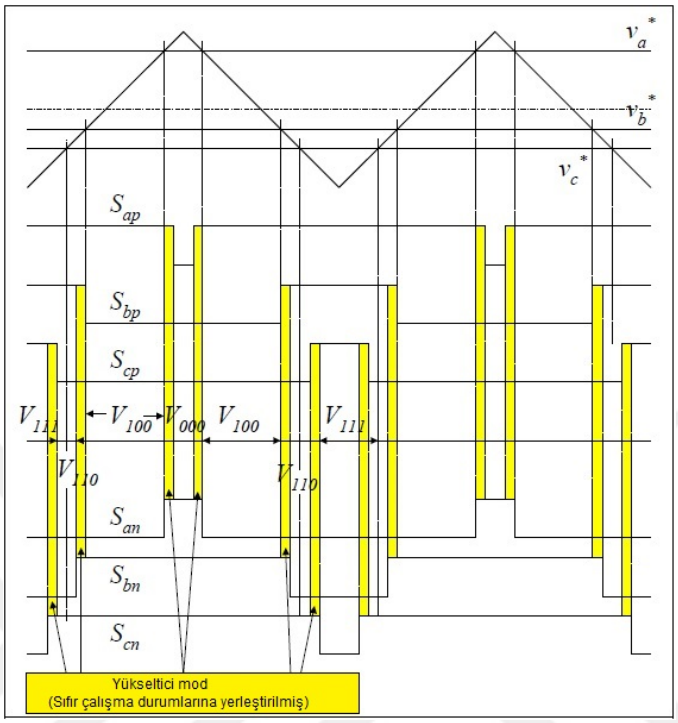
ZSI, geleneksel 8 anahtarlama durumunu kullandığı için bu inverterlerde sinüs PWM ve SVPWM gibi yaygın çalışılan PWM yöntemleri sıfır durumlarındaki yapılacak küçük değişimler ile kullanılabilir. ST durumu sadece sıfır durumlarının içine yerleştirilebilir, aktif durumlar aynı kalır ve bu nedenle inverterin AC çıkış gerilimi geleneksel bir evirici ile benzerdir. Sıfır durumunda yapılan bu değişim ZSI'ya, DC kaynaktan alınan gücün değişime bağlı olarak eşsiz bir yükseltici veya düşürücü özelliği kazandırır [1].

### 2.5.1 Taşıyıcı Tabanlı Kontrol

Taşıyıcı tabanlı PWM kontrol yöntemi ZSI'ye uygulanan ilk PWM kontrol yöntemidir [1]. ST çalışma durumlarına sahip olan anahtarlama yöntemi Şekil 2.6'da görüldüğü gibi oldukça basit ve anlaşılabilirdir. Kontrol yöntemleri üzerine yapılan sonraki

çalışmalarda özellikle anahtar üzerindeki gerilim streslerinin azaltılması amacı ele alınmıştır.

Basit yükseltici kontrol yöntemine ilişkin denklemler aşağıda verilmiştir [56].




**Şekil 2.6** Taşıyıcı tabanlı PWM anahtarlama düzeni [1]

$$v_f = M.B.\frac{V_g}{2} \tag{2.14}$$

$$G = M.B = \frac{2V_f}{V_g} = \frac{M}{2M-1} \tag{2.15}$$

$$B = \frac{1}{2M-1} \tag{2.16}$$

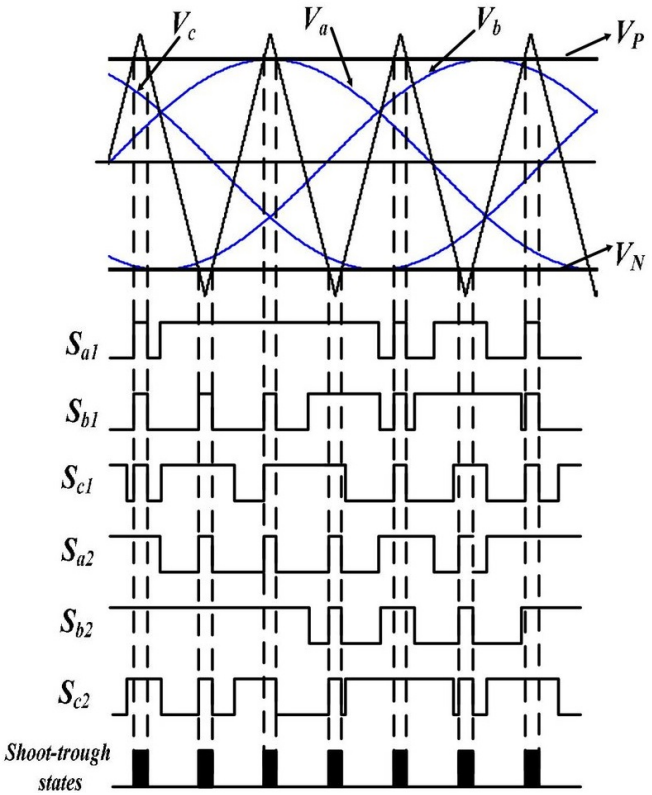
$$M = \frac{G}{2G-1} \tag{2.17}$$

$$V_s = BV_g = (2G-1)V_g \tag{2.18}$$

Yukarıdaki eşitliklerde $v_f$, $V_s$ ve $G$ sırasıyla çıkış faz gerilimini, yarıiletken anahtarlar üzerinde oluşan gerilim stresini ve kazancı ifade etmektedir.

### 2.5.2 Basit Yükseltici Kontrol

Basit yükseltici kontrol yöntemi ZSI için sinüs darbe genişlik modülasyonu (sinPWM) yöntemine ST durumları eklenerek oluşturulmuştur. Bu kontrol yönteminde 2 DC işaret, üst anahtar ve alt anahtarlar için ST referansı olacak şekilde sinPWM yöntemine Şekil 2.7'de görüldüğü gibi entegre edilmiştir [57].




**Şekil 2.7** Basit yükseltici PWM anahtarlama düzeni[57]

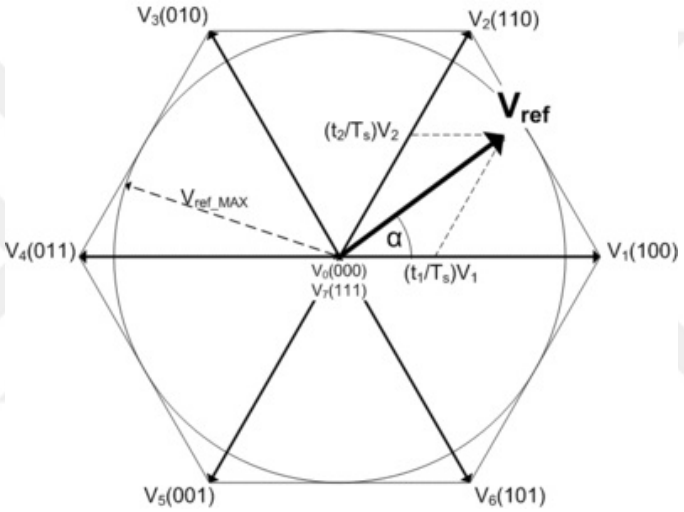
Bu modülasyon tekniğinde taşıyıcı üçgen dalganın, ST pozitif referansından büyük olduğu durumlarda üst anahtar "ON" konumuna gelir ve alt anahtar ile kısa devre olarak devrenin ST çalışma moduna geçmesini sağlar. Aynı durum ST negatif referansı için de geçerlidir. Böylece ayrı bir devre ihtiyacı olmadan ST çalışma modu modülasyona eklenmiş olur.

### 2.5.3 Uzay Vektör Modülasyon

Uzay vektör PWM(SVPWM) tekniği düşük akım harmonikleri ve yüksek modülasyon indeksi gibi özellikleri sayesinde endüstriyel uygulamalarda oldukça yaygın olarak kullanılmaktadır. Bu özelliklerinin yanı sıra DC bara kullanım oranının yüksek olması ZSI için çok büyük bir avantaj sağlamaktadır. Bu sayede DC bara geriliminin yükselmesini sağlayacak en düşük giriş gerilimi seviyesi artmakta bu da daha az gerilim yükseltme ihtiyacı ile verimin artmasını sağlamaktadır.

Bu modülasyon yönteminin ZSI'da verimli bir şekilde kullanılabilmesi için, başka bir değişle yükseltici özellik gösterebilmesi için ST durumunun uygun bir şekilde entegrasyonu gerekmektedir. Eklenen ST çalışma durumu özelliği ile geliştirilmiş uzay vektör PWM (MSVPWM), DC bara gerilimini istenilen seviyede arttırabilir. Bu modülasyon tekniğinde aktif çalışma durumlarına kesinlikle müdehale edilmemelidir. Ayrıca ST durumu sıfır çalışma durumlarına uygun bir şekilde entegre edilmiş olmalıdır. Çünkü aktif çalışma durumlarında yapılacak herhangi bir değişiklik devreyi karasız hale getirecektir [58].

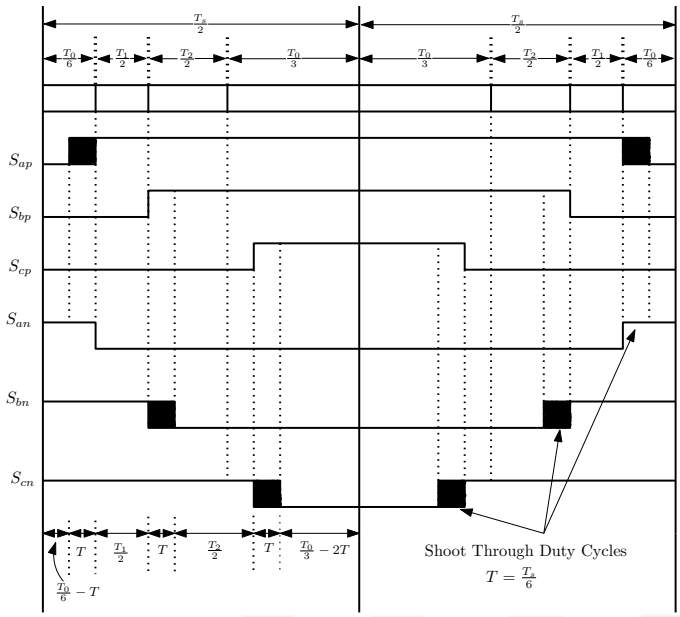
Bu kontrol yöntemi, sürekli bir ST görev oranını korurken aynı zamanda maksimum artışı sağlar; bu nedenle, indüktörler arasında hiçbir akım dalgalanmasına neden olmaz.




**Şekil 2.8** Uzay vektör PWM anahtarlama vektörleri

Şekil 2.9'de gösterildiği gibi MSVPWM tekniğinde, sıfır çalışma durumu süre dağılımı $T_Z/6$ ve $T_Z/3$ olarak değiştirilmiştir. Burada aktif çalışma bölgesine müdahale edilmediği ve sadece sıfır çalışma bölgesinde, isenilen bir sürenin, ST çalışma için ayrıldığı görülmektedir. Şekil 2.9'de görülen anahtarlama yapısı dışında birçok anahtarlama yapısının kullanılması veya geliştirilmesi mümkündür.

MSVPWM kontrol yöntemine ilişkin denklemler aşağıda verilmiştir.




**Şekil 2.9** Geliştirilmiş uzay vektör modülasyonu için anahtarlama modeli.

$$
\begin{aligned}
V_k = \left(\frac{2}{3}\right) V_g, \quad V_{ref_{max}} = V_{out_{peak}} = (\frac{\sqrt{3}}{2}) V_k \\
V_{out_{peak}} = \frac{V_{dc_{peak}} M}{\sqrt{3}}, \quad M = 1 - D \\
V_{dc_{peak}} = \frac{V_c}{1-D}, \quad V_{out_{peak}} = \frac{V_c}{\sqrt{3}}
\end{aligned} \tag{2.19}
$$

## 2.6 Empedans Kaynaklı İnverter Küçük İşaret Modeli

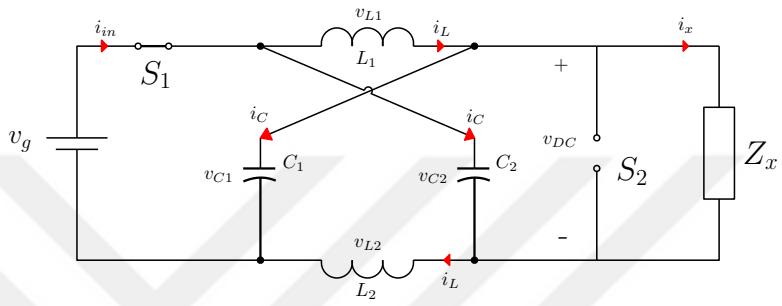
Şekil 2.2'de görüldüğü gibi, ZSI inverterlerde, S1 ve S2 anahtar pozisyonlarına göre aktif, ST ve sıfır olmak üzere 3 farklı çalışma durumu vardır. Küçük işaret modelini elde edebilmek için bu 3 durum denklemlerine ve bunların çalışma zamanlarına ihtiyaç duyulur. Bu sebeple, her bir durum denklemi ZSI devre modelinden elde edilecektir [56].

İnverterin küçük işaret modeli, aşağıda belirtilen kabuller ile oluşturulmuştur;

- Empedans ağı simetriktir ve ağda bulunan devre elemanları ideal ve kayıpsızdır.
- ZSI, üç faz endüktif ve dengeli bir yükü beslemektedir ve sürekli akım iletim modunda çalışmaktadır.
- ZSI bağımsız bir giriş kaynağına sahiptir ve yarı iletken anahtarların kayıpları ihmal edilmiştir.

ZSI'nın endüktif ve dengeli bir yükü beslediği ve bu nedenle yük akımının sürekli olduğu kabul edilmiştir. Durum değişkenleri kapasitör gerilimi($v_C$), endüktans akımı($i_L$) ve yük akımıdır($i_x$). Durum değişkenlerinin sürekli hal ifadeleri, durum uzay ortalama modelinden elde edilmiştir;

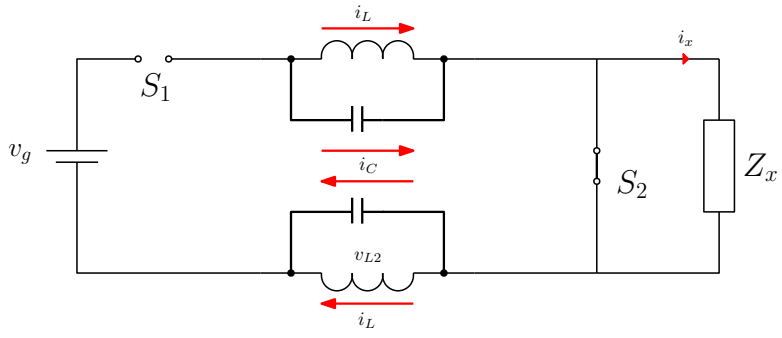
$$\begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 0 & 2D-1 & 0 \\ 2D-1 & 0 & D-1 \\ 0 & D & -R_x \end{bmatrix} \begin{bmatrix} i_L \\ v_c \\ i_x \end{bmatrix} + \begin{bmatrix} 1-D \\ 0 \\ D-1 \end{bmatrix} V_g \tag{2.20}$$




**Şekil 2.10** Aktif çalışma durumu

Aktif çalışma için durum denklemi;

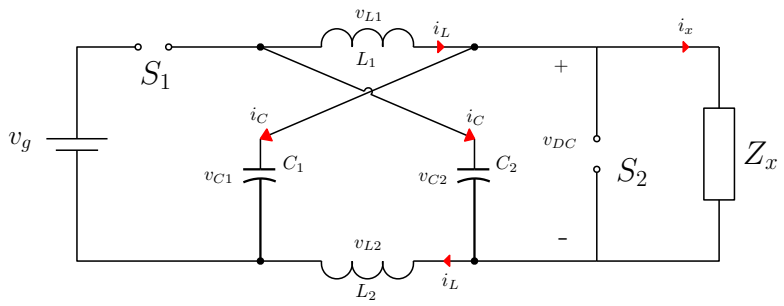
$$\begin{bmatrix} si_L \\ sv_c \\ si_x \end{bmatrix} = \begin{bmatrix} 0 & -1/L & 0 \\ 1/C & 0 & -1/C \\ 0 & 2/L_x & -R_x/L_x \end{bmatrix} \begin{bmatrix} i_L \\ v_c \\ i_x \end{bmatrix} + \begin{bmatrix} V_{DC}/L \\ 0 \\ -V_{DC}/L_x \end{bmatrix} \tag{2.21}$$




**Şekil 2.11** ST çalışma durumu

ST çalışma için durum denklemi;

$$\begin{bmatrix} si_L \\ sv_c \\ si_{Lx} \end{bmatrix} = \begin{bmatrix} 0 & 1/L & 0 \\ -1/C & 0 & 0 \\ 0 & 0 & -R_x/L_x \end{bmatrix} \begin{bmatrix} i_L \\ v_c \\ i_x \end{bmatrix} \tag{2.22}$$




**Şekil 2.12** Sıfır çalışma durumu

Sıfır çalışma için durum denklemi;

$$\begin{bmatrix} si_L \\ sv_c \\ si_x \end{bmatrix} = \begin{bmatrix} 0 & -1/L & 0 \\ 1/C & 0 & 0 \\ 0 & 0 & -R_x/L_x \end{bmatrix} \begin{bmatrix} i_L \\ v_c \\ i_x \end{bmatrix} + \begin{bmatrix} V_{DC}/L \\ 0 \\ 0 \end{bmatrix} \tag{2.23}$$

Sistem modeli $\{(2.22).d + (2.23).(1-d-m) + (2.21).m\}$ denklemi ile elde edilmiştir;

$$\begin{bmatrix} si_L \\ sv_c \\ si_x \end{bmatrix} = \begin{bmatrix} 0 & \frac{2d-1}{L} & 0 \\ \frac{1-2d}{C} & 0 & -\frac{m}{C} \\ 0 & \frac{2m}{L_x} & -\frac{R_x}{L_x} \end{bmatrix} \begin{bmatrix} i_L \\ v_c \\ i_x \end{bmatrix} + \begin{bmatrix} \frac{V_{DC}}{L}(1-d) \\ 0 \\ \frac{-V_{DC}}{L_x}m \end{bmatrix} \tag{2.24}$$

Durum değişkenlerinin sabit hal denklemleri, durum uzay modelinden elde edilebilir;

$$\begin{aligned} V_c &= \frac{1-D}{1-2D} V_g \\ I_L &= \frac{1-D}{1-2D} I_x \\ I_x &= \frac{V_c}{R_x} \end{aligned} \tag{2.25}$$

İlk aşamada ikinci derece analiz ihmal edilirse, (2.24)'den yola çıkılarak, küçük işaret analizi ile dönüştürücünün dinamik cevabı elde edilebilir. Bu yöntem için kullanılan form $x(t) = X + \hat{x}(t)$ şeklindedir. Bu yöntem ile sürekli halde çalışırken, bozucu sinyallerin etkisi göz önüne alınarak model elde edilir. Belirlenen denge noktaları $(I_L, V_c, I_x, D, M)$ ve bozucu durum değişkenleri $(\hat{i_L}, \hat{v_c}, \hat{i_x}, \hat{d}, \hat{m})$ durum uzay modelini elde etmek için kullanılmıştır.

$$
\begin{aligned}
s\hat{i}_L &= \left(\frac{2D-1}{L}\right)\hat{v}_c + \left(\frac{2V_c - V_g}{L}\right)\hat{d} \\
s\hat{v}_c &= \left(\frac{1-2D}{C}\right)\hat{i}_L - \frac{M}{C}\hat{i}_x - \frac{2I_L}{C}\hat{d} - \frac{I_x}{C}\,\hat{m} \\
s\hat{i}_x &= \frac{2M}{L_x}\hat{v}_c - \frac{R_x}{L_x}\,\hat{i}_x + \left(\frac{2V_c - V_g}{L_x}\right)\hat{m}
\end{aligned}
\tag{2.26}
$$

Küçük sinyal ve sürekli hal denklemlerini çözerek, transfer fonksiyonlarını istenilen herhangi bir çalışma noktasında elde etmek mümkündür. Böylece çıkış gerilimini kontrol etmek amacıyla, ST çalışma oranı ile kapasite gerilimi arasındaki ilişkiyi veren 3. derece transfer fonksiyonu (2.27)'de görüldüğü gibi elde edilmiştir.

$$
\begin{aligned}
G_{\hat{v}_c\hat{d}}(s) = \frac{\hat{v}_c(s)}{\hat{d}(s)} = \\
&\frac{(-2I_L L_x L)s^2 + \left(2L_x V_c - L_x V_g - 4DL_x V_c + 2DL_x V_g - 2I_L L R_x\right)s}{CL_x Ls^3 + CLR_x s^2 + (4L_x D^2 - 4L_x D + 2LM^2 + L_x)s + (4R_x D^2 - 4R_x D + R_x)} \\
&+ \frac{\left(2R_x V_c - R_x V_g - 4DR_x V_c + 2DR_x V_g\right)}{CL_x Ls^3 + CLR_x s^2 + (4L_x D^2 - 4L_x D + 2LM^2 + L_x)s + (4R_x D^2 - 4R_x D + R_x)}
\end{aligned}
\tag{2.27}
$$

# 3
# DC HAT GERİLİMİ KONTROL TEKNİKLERİ VE IRHA OPTİMİZASYON MODELİ

## 3.1 Giriş

Empedans kaynaklı inverter kullanımı birinci bölümde de bahsedildiği gibi birçok avantaj sağlasa da, verimli olarak kullanılabilmesi genel olarak kontrol yapılarına bağlıdır. Bu bölümde DC hat kontrolü üzerine yoğunlaşılmış ve önerilen kontrol yapıları kapsamlı olarak incelenmiştir.

Empedans kaynaklı inverterlerde ST çalışma durumundan dolayı geçici hal durumlarında sistemin kontrolü için ek bir çaba gerekmektedir. ST çalışma durumunda gerçekleşen kısa devrede endüktansı şarj etmek için kondansatörden enerji çekilir. Kısa devre süresindeki ani artışlar endüktans şarj süresini arttıracağından, kondansatör enerjsi yetersiz kalır ve sistem kararsız hale geçer. Bu olayın engellenmesi amacıyla literatürde bulunan, dinamik performansı iyileştirici kontrol yöntemleri iki ana guruba ayrılabilir;

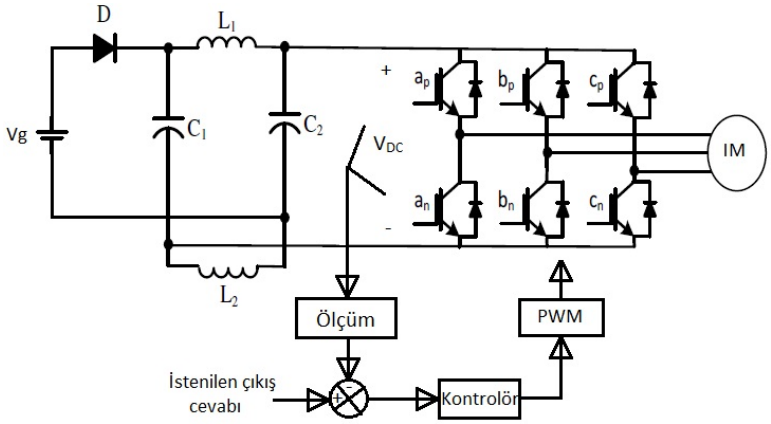
- Doğrudan DC hat gerilim kontrolü.
- Dolaylı DC hat gerilim kontrolü.

### 3.1.1 Doğrudan DC hat gerilim kontrolü

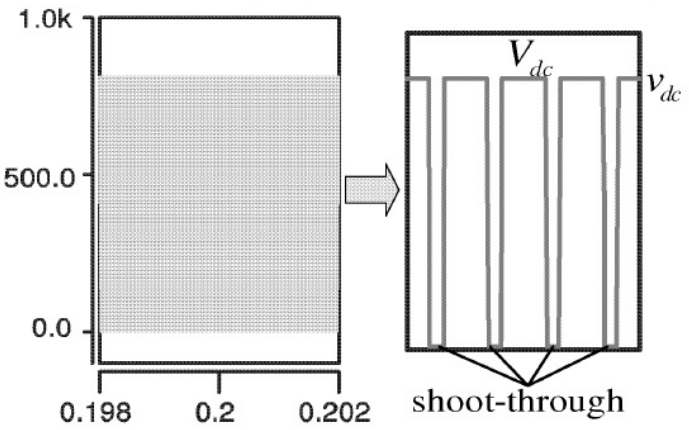
Literatürde bulunan çalışmalar incelendiğinde sistemin genel yapısı Şekil 3.1'deki gibidir. Bu yapılarda DC hat gerilimi ölçülerek kapalı çevrim bir kontrol yapısı oluşturulmuştur. DC hat geriliminin dalga şekli incelendiğinde ST durumlarında sıfır diğer durumlarda maksimum değerini aldığı görülmektedir. Şekil 3.2'de görülen, kare dalga şeklindeki bir sinyalin ölçülmesi için özel bir devreye ihtiyaç duyulmaktadır. [21] incelendiğinde kullanılan devre Şekil 3.3'de gösterilmiştir.

Yapılan çalışmada uygulanan kontrol yöntemi ile DC hat geriliminin, giriş

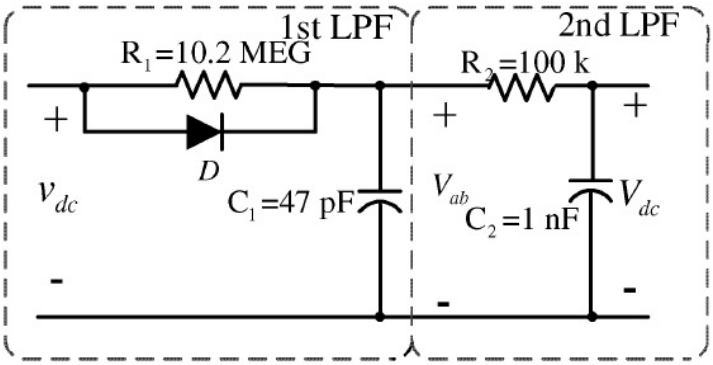
gerilimindeki değişimlerden etkilenmeyerek sabit kalması sağlanmıştır [21].




**Şekil 3.1** Doğrudan DC hat kontrolü.




**Şekil 3.2** ST çalışma durumu sebebiyle DC hatta oluşan kare dalga [21].




**Şekil 3.3** DC hat gerilimi algılama ve ölçeklendirme devresi [21].

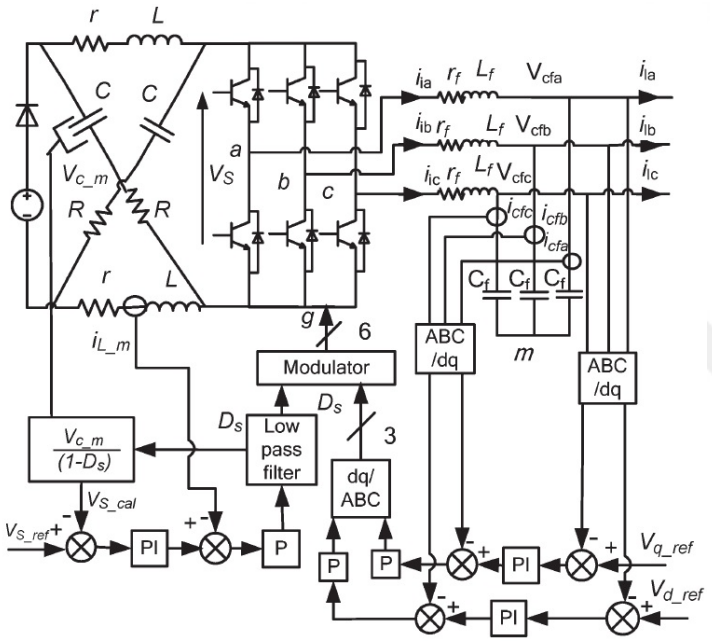
Doğrudan DC hat gerilim kontrolü ile tasarlanan sistemler iyi bir geçici hal performansına sahiptir. Ancak ek bir devre gereksinimi hem ek bir maliyet hem de tasarımda güçlüklere sebep olabilmektedir. Bu çalışmada ayrıca AC kısım kontrolüne dair bir veri bulunmamaktadır.

### 3.1.2 Dolaylı DC hat gerilim kontrolü

Dolaylı yoldan DC hat geriliminin tahmini üzerine dayalı bu kontrol yapıları iki temel başlık altında incelenebilir. Birincisi DC ve AC kısımlardan ayrı ayrı alınan ölçümler ile DC hat geriliminin tahmini, bu modele kapsamlı kontrol modeli diyeceğiz. İkincisi ise sadece kapasite geriliminden alınan ölçümler ile yapılan kontrol yöntemidir.

#### 3.1.2.1 Kapsamlı Kontrol Modeli

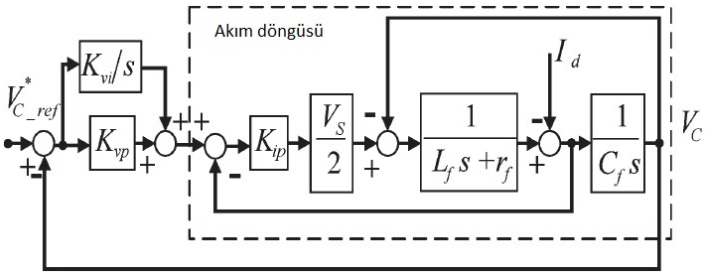
Bu kontrol yöntemi ile ilgili literatürde bazı çalışmalar bulunmaktadır. Bu çalışmalarda mihenk taşı olarak görülen [19] numaralı referans, detaylı incelendiğinde, hem DC hem de AC tarafın ayrı ayrı modellendiği ve iki kısım için ayrı kontrol yapıları oluşturulduğu görülmüştür.




**Şekil 3.4** ZSI için kapalı çevrim kapsamlı kontrol sistemi [19].

AC kısımda alınan değerler, iç akım çevrimi ile hızlı bir tepki süresi ve böylece akımdaki dalgalanmalara karşı çıkışın stabilize olması için kullanılmıştır (Şekil 3.5). Daha yavaş değişimler için çıkış stabilitesi çıkış gerilim çevrimi ile yapılmaktadır. DC tarafta ise kapasite gerilimi ve bobin akımı ölçümleri ile kapalı çevrim kontrol sağlanmaktadır. Bu kullanılan kontrol yönteminde çıkış geriliminde görülen anlık bozulmalar dışında, çok iyi bir dinamik performans elde edilmiştir.

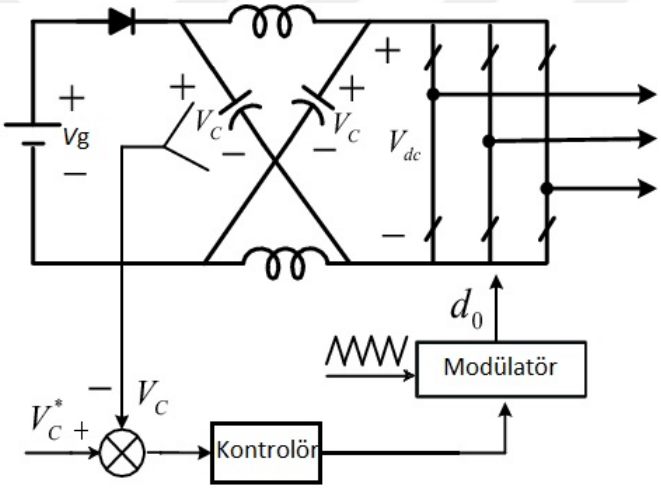
Bu sistemin dezavantajı hem AC hem de DC kısım için farklı kontrol çevrimleri kullanmasıdır. Bu durum hem sistemi karmaşıklaştırmakta hem de devrenin kararlı yapısının sağlanmasını zorlaştırmaktadır.




**Şekil 3.5** AC kısım içim kontrol sistemi [19].

### 3.1.2.2 Kondansatör Gerilim Kontrolü

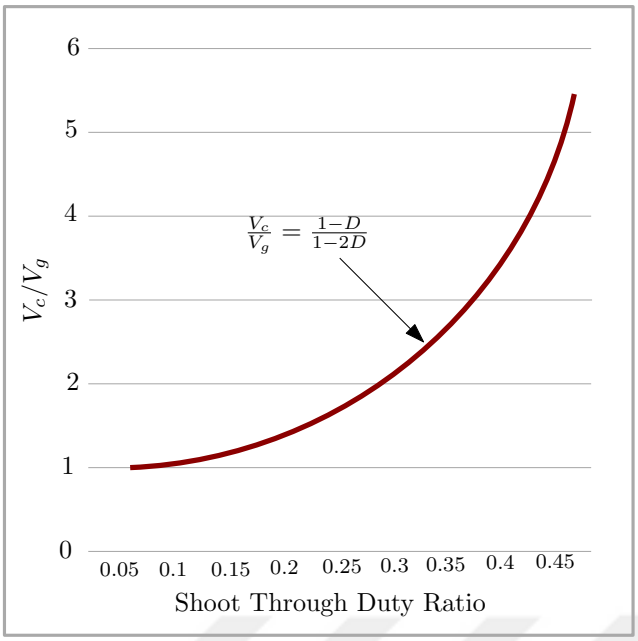
Bu kontrol yöntemi ilk olarak Peng tarafından önerilmiştir [15]. Bu yöntemdeki temel amaç, giriş gerilimlerinde görülen değişimler sonrasında, kapasite üzerinde oluşan gerilim dalgalanmalarını engelleyerek çıkışı kararlı hale getirmeyi amaçlamıştır. Bu işlem, (2.9)'dan yola çıkılarak yapılmaktadır.




**Şekil 3.6** Kondansatör gerilim kontrol yapısı [15].

Bu çalışmada kondansatör gerilimi ile ST oranını veren bir transfer fonksiyonu çıkartılarak kontrolör tasarımı yapılmıştır. Ancak Şekil 3.7'de görüleceği üzere bu iki değer arasında doğrusal olmayan bir ilişki bulunmaktadır. Doğrusal bir kontrol yöntemi olan PID nin kullanılması, sadece belirli bir çalışma aralığında kontrol yapısının çalışmasına olanak sağlar.

Literatürde model prediktif veya bulanık mantık kontrol yapıları üzerine çalışmalar olsa da, genelde yaygın olarak PI ve PID kontrol yasaları kullanılmıştır. Böylece uygulamada hem kolaylık sağlanması hem de iyi bir kontrol yapısı ile devrenin güvenilirliğinin arttırılması amaçlanmıştır.




**Şekil 3.7** Kondansatör gerilimi ile ST oranı arasındaki doğrusal olmayan ilişki.

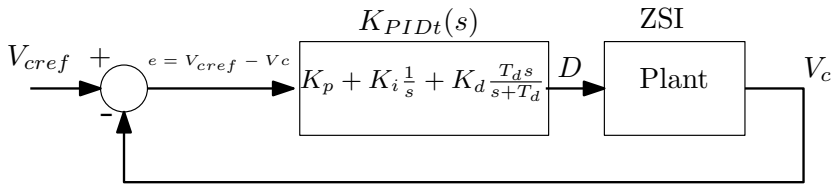
## 3.2 PID Kontrol

PID kontrol yapısı, $K_p$ (oransal), $K_i$ (integral) ve $K_d$ (türev) olmak üzere sadece üç tasarım parametresine sahip olduğu için endüstride oldukça yaygın kullanılmaktadır. Bu nedenle PID kontrol yapısı ile ilgili literatürde oldukça kapsamlı çalışmalar bulunur [22]-[28].

Empedans kaynaklı inverterde, kararlılık, referans takibi, devrenin güvenilirliği gibi performans kriterlerine erişebilmek için kontrol tasarımının uygun yapılması gerekir. Bu inverter yapılarında kontrol değişkeni ST oranı ($D$) olarak kabul edilecektir. PID tasarımı yapılırken pratik uygulamaya uygun olması amacıyla türev etkisinin ayrıca ele alınması, özellikle donanımsal uygulamada önemli bir faktördür. Bunun sebebi "türev vurması" (derivative kick) ile ifade edilen etkidir. Türev etkisi tek başına kullanılırsa, sistemde türev vurması oluşur ve bu da istenmeyen gürültüye sebep olur. Bunu engellemek amacıyla alçak geçiren filtre yapısına benzer bir yapı kullanılır. Bu durumda (3.1)'de görüldüğü gibi sisteme bir de filtre parametresi($T_d$) eklenmiş olur.

$$K_{PIDt}(s) = K_p + K_i\frac{1}{s} + K_d\frac{T_d s}{s+T_d} = \frac{(K_p + K_d T_d)s^2 + (K_p T_d + K_i)s + K_i T_d}{s^2 + T_d s} \tag{3.1}$$

Burada $T_d$, türev vurması etkisini engellemek amacıyla tasarlanan alçak geçiren filtrenin kesim frekansını ifade eder. Şekil 3.8'de kapalı çevrim kontrol sistemi görülmektedir.




**Şekil 3.8** Kapalı çevrim kontrol sistemi yapısı.

Yapılan birçok çalışmalarda, performans endeksi, tasarlanmış PID kontrol cihazının sistem performansını göstermek için nicel bir ölçü olarak tanımlanmaktadır. Bu tekniği kullanarak, çoğu zaman optimum sistem tasarlanabilir ve sistemdeki bir dizi PID parametresi istenen teknik özellikleri karşılayacak şekilde ayarlanabilir. PID kontrollü bir sistem için, sistem performansını gösteren dört endeks vardır: ISE (Integral Squared Error ), IAE (Integral Absolute Error), ITAE (Integral Time-weighted Absolute Error) ve ITSE (Integral Time-Square Error). Bu fonksiyonlar şu şekilde tanımlanır:

$$ISE = \int_0^\infty e^2(t)dt \tag{3.2}$$

$$IAE = \int_0^\infty |e(t)|dt \tag{3.3}$$

$$ITAE = \int_0^\infty t|e(t)|dt \tag{3.4}$$

$$ITSE = \int_0^\infty te^2(t)dt \tag{3.5}$$

Aynı şekilde çoğu çalışmada PID parametre optimizasyonu için ortalama hata fonksiyonları kullanılmıştır: MSE (Mean Squared Error), RMSE (Root Mean Squared Error), MAE (Mean Absolute Error) ve MAPE (Mean Absolute Percentage Error).

$$MSE = \frac{1}{n}\sum_{t=1}^{n} e_t^2 \tag{3.6}$$

$$RMSE = \sqrt{\frac{1}{n}\sum_{t=1}^{n} e_t^2} \tag{3.7}$$

$$MAE = \frac{1}{n}\sum_{t=1}^{n} |e_t| \tag{3.8}$$

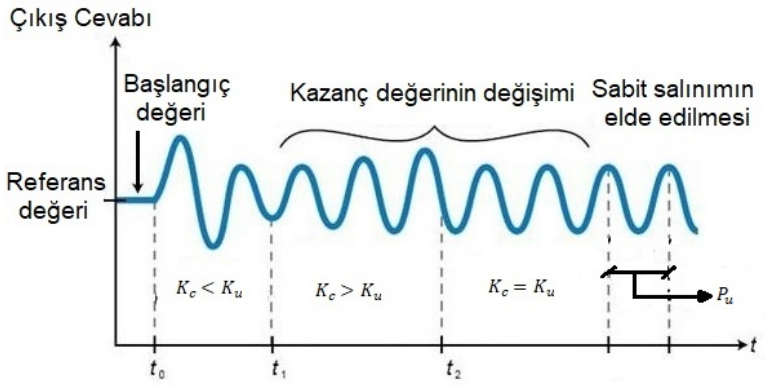
$$MAPE = \frac{\%100}{n}\sum_{t=1}^{n} \left|\frac{e_t}{y_t}\right| \tag{3.9}$$

### 3.2.1 Ziegler-Nichols Yöntemi

Ziegler ve Nichols yönteminde, deneysel adım cevaplarının sonuçlarına veya oransal kontrol yapılırken, marjinal kararlılığa ulaşılan $K_p$ değerine dayanarak PID parametreleri ayarlanır [23]. Özellikle matematiksel modeli bilinmeyen sistemler için kullanılan çok verimli bir yöntemdir.

Yöntem akışı;

1. İlk olarak sisteme oransal ($K_p$) bir kapalı çevrim kontrol uygulanır.
   - İntegral sabiti ($K_i$) sonsuza çekilir.
   - Türev sabiti ($K_d$) sıfıra çekilir.
   - Sistem küçük bir kazanç ($K_c$) değeri ile başlatılır.
2. Sistemin girişine bir basamak fonksiyonu uygulanır ve süreç gözlenir.
3. Kazanç değeri arttırılarak salınımın sürekli hale gelmesi sağlanır.
4. Sürekli salınımın gözlendiği kazanç değeri için salınım periyodu ($P_u$) ve son kazanç değeri ($K_u$) elde edilir.




**Şekil 3.9** Ziegler-Nichols çalışma süreci.

**Tablo 3.1** $K_p$, $K_i$, $K_d$ Parametrelerinin Hesaplanması.

| **Kontrol Türü** | $K_p$ | $K_i$ | $K_d$ |
|---|---|---|---|
| P | $K_u/2$ | - | - |
| PI | $K_u/2.2$ | - | - |
| PID | $K_u/1.7$ | $P_u/2$ | $P_u/8$ |

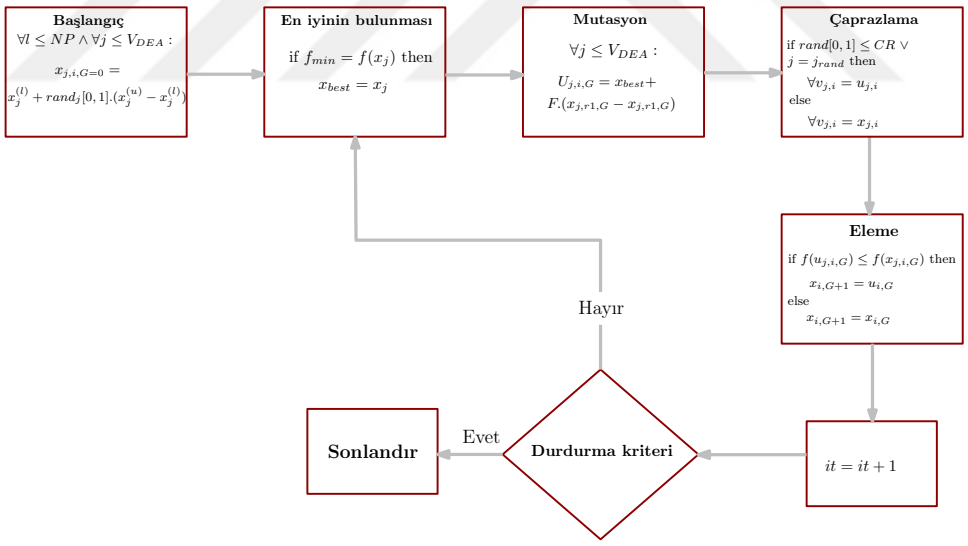
Bu yöntemde sistem, sabit salınım bölgesine ulaşıncaya kadar zorlanır ve bu durum sistemi kararsız bir hale getirebilir. Bunun yanında optimum değerlerin elde edilmesi için bir çok deneme yapılması gereklidir.

### 3.2.2 Diferansiyel Gelişim Algoritması

DGA, genetik algoritma tabanlı, popülasyon temelli sezgisel bir global optimizasyon tekniğidir. Genetik algoritmalarda çaprazlama, seleksiyon ve mutasyon işlemleri ayrı ayrı gerçekleştirilir. Bu nedenle optimizasyon için uzun zamana ihtiyaç duyulmaktadır. DGA olarak adlandırılan gelişime dayalı bir strateji önerilerek bu dezavantajın giderilmesi sağlanmıştır [59]. DGA, Rainer Storn tarafından ortaya atılan Chebyshev polinomsal uyum problemini çözme amacı ile Kenneth Price tarafından geliştirilmiştir [60].

DGA, çeşitli kısıtlamaları göz önünde bulundurarak problemi modelleyen ve objektif fonksiyonu minimuma veya maksimuma götürerek çözüm üreten bir stokastik optimizasyon metodudur. Algoritma temel olarak üç avantaja sahiptir. Bunlar;

- Başlangıç parametrelerine bağlı olmaksızın gerçek global minimumun bulunması.
- Bölgesel minimuma hızlı yakınsaması.
- Az sayıda kontrol parametresi kullanmasıdır.



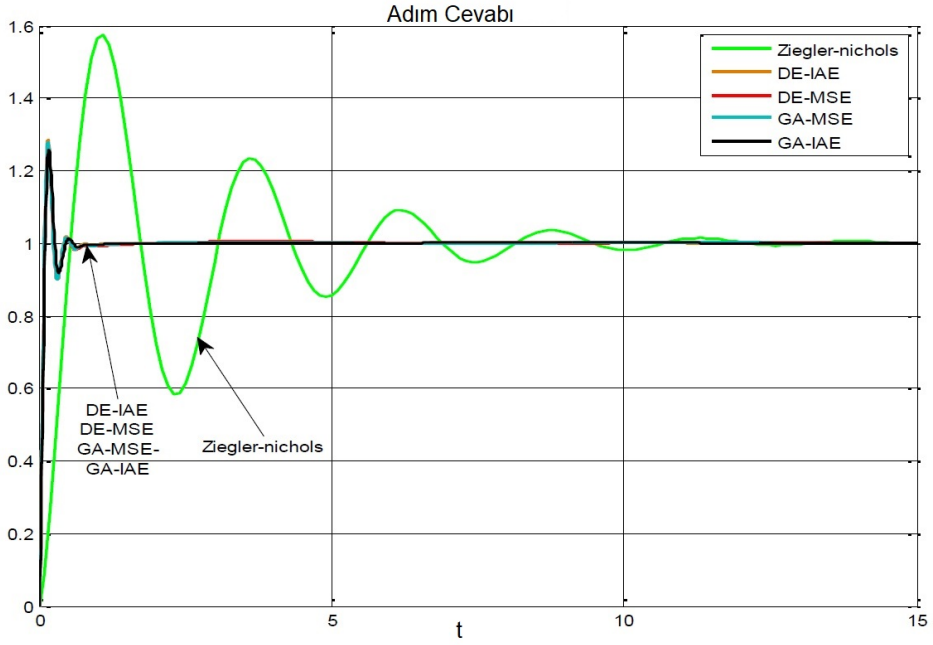

**Şekil 3.10** DGA akış diyagramı.

Şekil 3.10'de görüldüğü gibi algoritma, 5 temel adımdan oluşur; başlangıç popülasyonunu oluşturma, en iyi çözümün bulunması, mutasyon, çaprazlama ve eleme işlemleri. Öncelikle başlangıç popülasyonundaki en iyi kromozom seçilir ve ardından tüm popülasyon, istenilen durdurma kriterleri sağlanıncaya kadar mutasyon, çaprazlama ve eleme işlemlerine tabi tutulur. Durdurma kriteri, iterasyon sayısı olabileceği gibi belirli bir hata değeri de olabilir. DGA'nın optimizasyon işleminde kullanılan diğer parametreler Tablo 3.2'de verilmiştir.

**Tablo 3.2** DGA Parametreleri.

| Sembol | Açıklama |
|---|---|
| $NP$ | Popülasyon büyüklüğü (Kromozom sayısı) $NP \geq 4$ $(1,2,\cdots,i)$ |
| $V_{DEA}$ | Değişken sayısı (Gen sayısı)$(1,2,\cdots,j)$ |
| $CR$ | Çaprazlama oranı [0,1] |
| $it$ | İterasyon sayısı $(1,2,\cdots,it_{max})$ |
| $F$ | Ölçekleme faktörü [0,2] |
| $x_{ijG}$ | $G$ nesli için, $i$ kromozomunun $j$ parametresi (gen) |
| $v_i$ | Mutasyon ve çaprazlamaya tabi tutulmuş ara kromozom |
| $u_i$ | Sonraki nesil için üretilen kromozom |
| $r_i$ | Yeni kromozomun üretilmesinde kullanılacak rastgele seçilmiş kromozomlar $i=(1,2,\cdots,NP)$ $r_1 \neq r_2 \neq r_3 \cdots \neq NP$ |
| $x_j^{(u)}, x_j^{(l)}$ | Değişkenlerin alt ve üst limit değerleri |

DGA algoritmasının PID parametre optimizasyonunda gayet iyi sonuçlar verdiği görülmüştür. PID parametrelerinin, DEA ile optimizasyonu yapılırken farklı hata fonksiyonları uygulanarak en iyi sonuca ulaşılması hedeflenmiştir (Şekil 3.11).




**Şekil 3.11** Yüksek dereceli sistemler için farklı kontrolörlerin adım fonksiyon cevabı [61].

Ancak ZSI yapısı düşünüldüğünde, rastgele süreçlere dayalı sezgisel algoritma modellerinin, geleneksel yapısı ile kullanılmasının uygun olmadığı aşikârdır. Çünkü rastgele üretilen çözüm kümeleri maliyet fonksiyonuna uygulandığında iyi sonuçlar alınsa bile sistemin kararlılığını göz önünde bulundurmayan bu süreçlerde sonuçların güvenilirliği yoktur.

### 3.2.3 Parçacık Sürü Optimizasyonu

Sürü tabanlı bir sezgisel algoritma yöntemi olan PSO, literatürdeki en yaygın algoritmalardandır. Bu algoritma Dr. Eberhart ve Dr. Kennedy tarafından Sürü halinde hareket eden hayvanlardan esinlenerek 1995 yılında geliştirilmiştir. PSO, yörüngeleri hem stokastik hem de deterministik bir bileşen tarafından ayarlanan, parçacıklar olarak adlandırılan değişkenler aracılığıyla optimal çözümün araştırılmasını sağlar. Algoritmayı avantajlı hale getiren özelliklerden bazıları, az sayıda parametre içeriği ile uygulama kolaylığı ve herhangi bir gradyan bilgisine ihtiyaç duymamasıdır. Kavramsal olarak, genetik tabanlı algoritmalar ile benzerliklere sahiptir, diğer algoritmalar gibi popülasyondan gelen çözüm performansını sunmak için maliyet fonksiyonunu kullanır.

Her parçacık, optimizasyon süreci boyunca parçacığın çözüme en çok yaklaştığı koordinat olan $p_{best}$ ile tüm parçacıklar arasında çözüme en çok yaklaşılan koordinat olan $g_{best}$ değerlerinden etkilenir ancak yine de rastgele hareket etme eğilimindedir. Uygunluk fonksiyonu, en uygun çözümün elde edilip edilmediğini belirlemek için parçacıkların performansını değerlendirir. Algoritmanın çalışması sırasında, en iyi bireyin uygunluğu zamanla iyileşir ve genellikle döngünün sonuna en iyi çözüme yaklaşma eğilimindedir. İdeal olarak, sürecin tamamlanması, global optimumun başarılı bir şekilde elde edilmesi ile gerçekleşir.

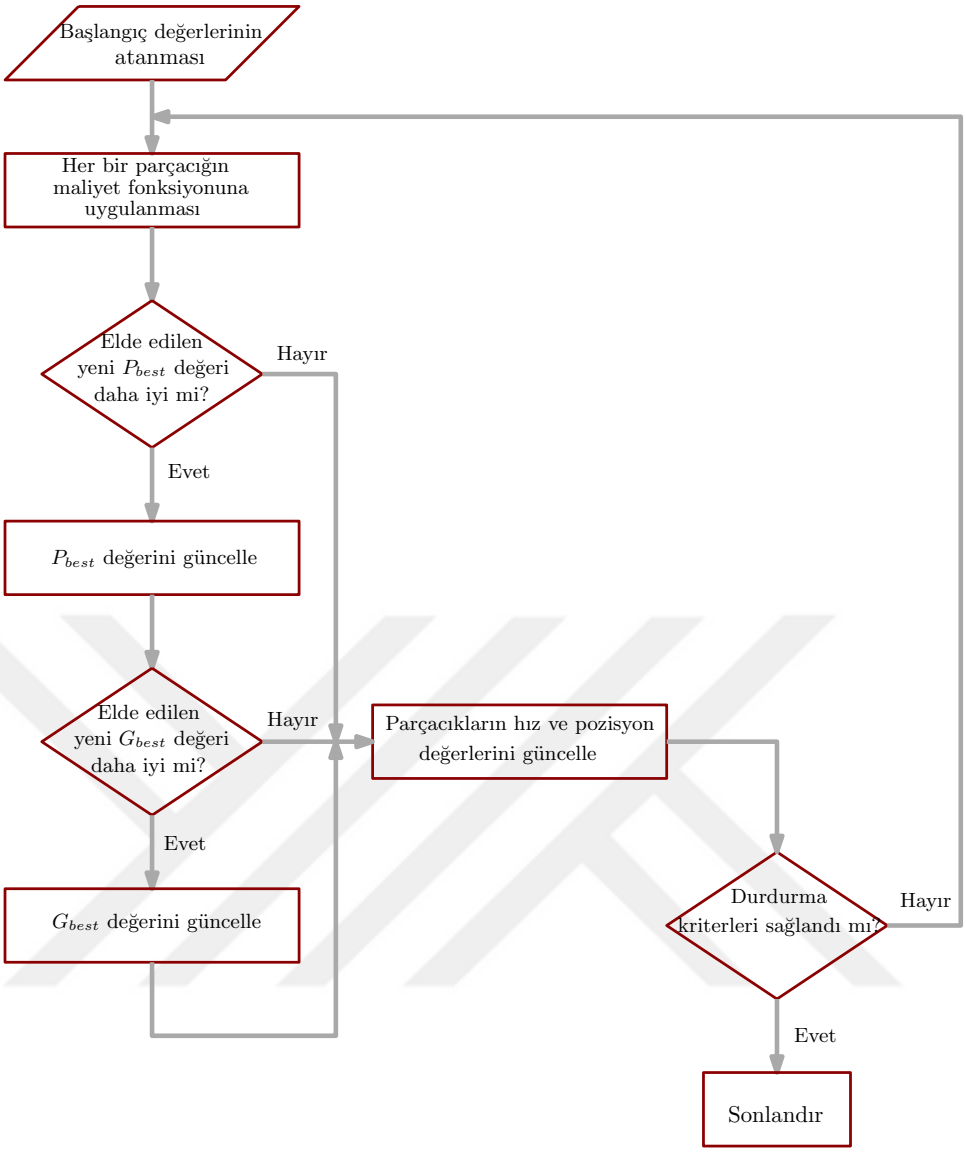
$D$, dikkate alınan arama alanının boyutu gösterir ve $X_i = \begin{bmatrix} x_{i1} & x_{i2} & \dots & x_{iD} \end{bmatrix}$, sürünün $i$. parçacığının mevcut konumunu belirtir. Bu durumda $p_{best} = \begin{bmatrix} x_{i1}^{pbest} & x_{i2}^{pbest} & \dots & x_{iD}^{pbest} \end{bmatrix}$ parçacık tarafından ziyaret edilen en iyi konumu belirtir. $g_{best} = \begin{bmatrix} x_{i1}^{gbest} & x_{i2}^{gbest} & \dots & x_{iD}^{gbest} \end{bmatrix}$ de tüm parçacıklar arasında elde edilen en iyi konumu belirtir. Her iterasyon için, hız ve pozisyon değerleri, $p_{best}$ ve $g_{best}$ bulunduktan sonra (3.10) ve (3.11)'e göre güncellenir.

$$v_{i,d} = x_{i,d} + C_1.Rnd(0,1).(pb_{i,d} + x_{i,d}) + C_2.Rnd(0,1).(gb_d + x_{i,d}) \tag{3.10}$$

$$x_{i,d} = x_{i,d} + v_{i,d} \tag{3.11}$$

Genel olarak PSO algoritması Şekil 3.12 de gösterilen akış şeması ile açıklanabilir. PSO'nun optimizasyon işleminde kullanılan diğer parametreler Tablo 3.3'de verilmiştir.

PID optimizasyonu için PSO algoritmasının kullanıldığı çalışmalar incelendiğinde, birçok kriter için iyi sonuçlar alındığı görülmüştür. Örneğin analitik ve grafiksel olarak, zaman alanı spesifikasyonunda daha az yükselme zamanı, tepe zamanı, durma süresi



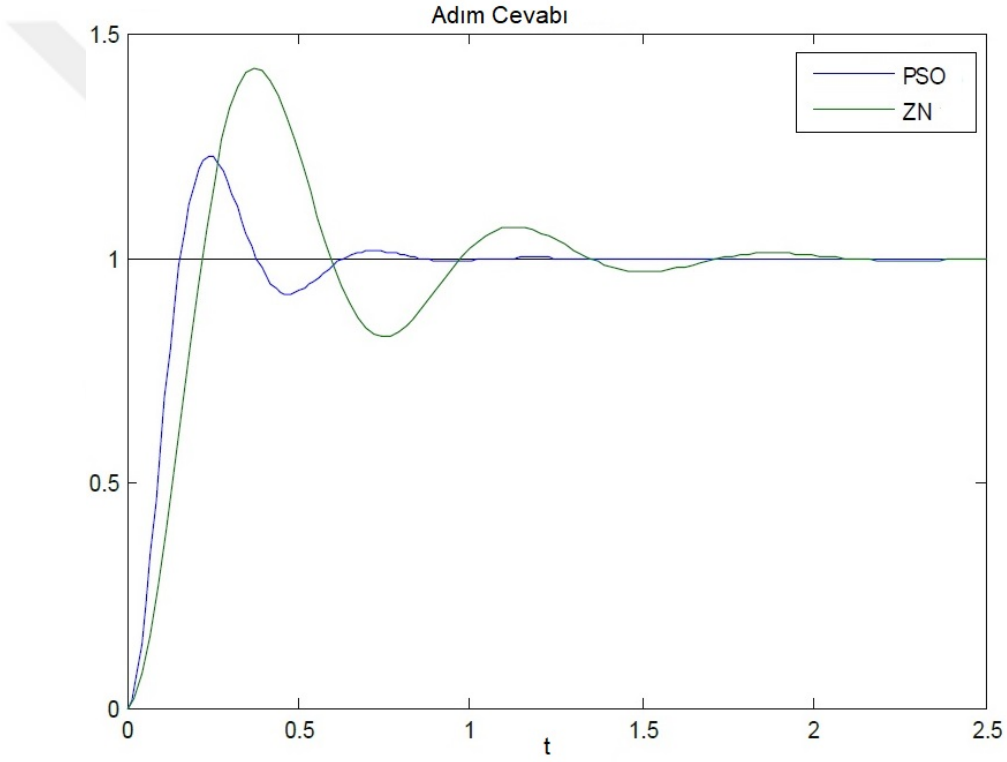

**Şekil 3.12** PSO akış diyagramı.

ve daha düşük bir aşınma gibi önemli iyileştirmeler olmuştur. Belirlenen performans endeksi için çoğu uygulamada Ziegler Nichols metodundan daha iyi sonuçlar verdiği ispatlanmıştır (Şekil 3.13).

Ancak daha önce de bahsedildiği gibi empedans kaynaklı inverter ve benzer güç elektroniği modelleri düşünüldüğünde, sistemin kararlı bir yapıda olması dikkat edilmesi gereken ilk önceliktir. Aksi takdirde yapılan optimizasyon ne kadar iyi olursa olsun bulunan sonuçlar ile sistem kararsız hale geliyorsa, yapılan tüm işlemler anlamsız bir hal alır.

**Tablo 3.3** PSO Parametreleri.

| Sembol | Açıklama |
|---|---|
| $i$ | Parçacık indeksi, parçacık tanımlayıcısı olarak kullanılır |
| $d$ | Boyut (her parçacık her boyut için bir konum ve hıza sahiptir.) |
| $it$ | İterasyon sayısı |
| $x_{i,d}$ | $i$ parçacığının $d$ boyutundaki konumu |
| $v_{i,d}$ | $i$ parçacığının $d$ boyutundaki hızı |
| $C_1$ | Bilişsel bileşen için hızlanma sabiti |
| $C_2$ | Sosyal bileşen için hızlanma sabiti |
| $Rnd$ | 0 ve 1 arasında belirlenen rasgele değer |
| $gb_{i,d}$ | Global en iyi değer |
| $pb_{i,d}$ | Parçacığın aldığı en iyi değer |
| $w$ | PSO momentumu |



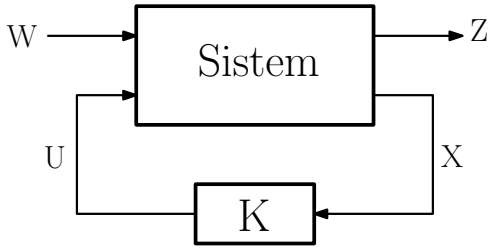

**Şekil 3.13** PSO ve Z-N kontrol için adım fonksiyon cevabı [62]

### 3.2.4 $\mathscr{H}_\infty$ Tabanlı Kontrolör Tasarımı

Bir sistemin sonsuzluk normu, frekans cevabındaki maksimum genlik olarak tanımlanır. Başka bir deyişle, bu frekans bandındaki maksimum tekil değerdir. Bu nedenle, bozulma girişinin performans çıktısı üzerindeki etkisinin en fazla olduğu senaryoyu, $\mathscr{H}_\infty$ norm minimizasyona dayalı yaklaşımlarla ele almak amaçlanmaktadır.

$\mathscr{H}_\infty$ tabanlı kontrol teorisinin temel yapısı, [63] tarafından oluşturulmuştur ve

LMI'lar üzerinde gelişerek, ZSI kontrolü gibi birçok konveks yapılandırılmış sorunun çözümlerine ulaşılması için kullanılmaktadır [64]. Geleneksel $\mathscr{H}_\infty$ kontrol teorisinde, tasarlanan kontrol cihazı, tam dereceli kontrolör olarak adlandırılır ve sistemle aynı derecededir. Bu problemler için sabit dereceli kontrolör tasarımı, konveks olmayan bir bölgede tanımlanır. Bu nedenle, problemi global olarak çözmek için mevcut bir algoritma yoktur. Araştırmacıların bu soruna en uygun çözümü bulmayı amaçladıkları birçok yaklaşım bulunmaktadır.




**Şekil 3.14** Standart kapalı çevrim kontrol.

$\mathscr{H}_\infty$ tabalı PID kontrolör tasarımı, kapalı döngü kutupları, önceden tanımlanmış kararlılık bölgesinde ve transferin hata olan performans çıkışı arasındaki sonsuzluk normu ele alınarak yapılmaktadır. Sistemin girişlerinden çıkışlarına olan transfer fonksiyonları matrisinin sonsuz normununun ($\|T_{CL}(s)\|_\infty$), bulabilecek en küçük skaler pozitif reel bir değerden ($\gamma$) küçük kılacak bir kontrolör bulunması amaçlanmaktadır ($\|T_{CL}(s)\|_\infty < \gamma$).

ZSI devre modeli için $\mathscr{H}_\infty$ tabanlı bir PID kontrolör tasarımı sürecinde, performans çıktısı olarak alınan hata fonsiyonunu minimuma indirgemek amaçlanır. Hata fonksiyonu referans değeri ile devreden alınan değerin farkı ($e = Vc - V_{cref}$) ile hesaplanır. Bu süreçte (2.27)'de verilen, devrenin transfer fonksiyonu $G_{\hat{v}_c\hat{d}}(s) = A(s)/B(s)$ ve PID kontrolör $K_{PIDt}(s) = y_k(s)/x_k(s)$ ele alınarak kapalı çevrim transfer fonksiyonu (3.12)'de görüldüğü gibi elde edilir.

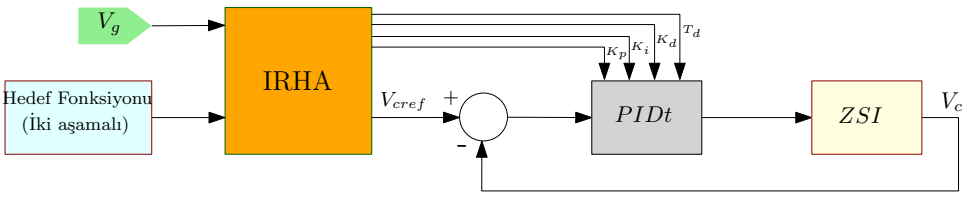
$$
\begin{aligned}
E(s) &= \frac{1}{1 + K_{PIDt}(s)G_{V_cD}(s)} V_{cref} \\
E(s) &= \underbrace{\frac{b(s)x_k(s)}{b(s)x_k(s) + a(s)y_k(s)}}_{T_{CL}(s)} V_{cref}
\end{aligned}
\tag{3.12}
$$

Sonraki süreçte kontrolör tasarım parametrelerinin hesaplanmasında, [65] ve [9] çalışmalarından faydalanılmıştır. Elde edilen sonuçların, $\|T_{CL}(s)\|_\infty < \gamma$ şartını sağlaması gerekmektedir. Ayrıca devrenin kararlı çalışabilmesi için yeni oluşturulan kapalı çevrim transfer fonsiyonunun kararlı olup olmadığı kontrol edilmelidir.

### 3.2.5 IRHA Tabanlı Optimizayon Tekniği

Bu tez çalışması kapsamında tasarlanan iteratif indirgemeli sezgisel algoritma (IRHA), ZSI gibi kararlılığının ön planda tutulması gereken sistemlerin kontrol optimizasyonu için sezgisel algoritmaların geliştirilmiş bir versiyonudur. Optimizasyon algoritmaları, her bir yinelemede önceden tanımlanmış hata azaltma prensibine dayanır ve hata, uygunluk fonksiyonunun çıktısından elde edilir. Sezgisel algoritmaların çalışma stratejisinde, her bir yinelemede başlangıçta üretilen çözüm kümelerini güncelleyerek en uygun çözümü bulmak amaçlanmaktadır. Bu işlem sırasında, ilk çözüm seti sayısı aynı kalır ve en iyi olanı işlem sonucunda algoritma çıktısı olarak sunulur [66].

Ancak güç elektroniği devreleri düşünüldüğünde, optimizasyon sırasında elde edilen kapalı çevrim transfer fonksiyonunun kararlı olması gerekmektedir. Bu nedenle, her bir yinelemede, çözüm kümelerinin kararlı olup olmadığı kontrol edilmelidir. Hata değeri ne kadar düşürülürse düşürülsün eğer sistem kararlılığı kontrol edilmezse, tasarlanan kontrol sistemi kullanışlı olmayacaktır. Bu problemin algoritmada kullanılacak iki aşamalı bir uygunluk fonksiyonu ile giderilebileceği düşünülmüş ve bu konu üzerine çalışmalar yapılmıştır. IRHA'da oluşturulan çözüm kümeleri, temel uygunluk fonksiyonuna uygulanmadan önce, bu çözüm kümeleri ile oluşacak olan kapalı çevrim sistemin kararlı olup olmadığı kontrol edilir ve bu süreçte ek bir eleme işlemi yapılır. Böylece, kararsız çözümler ortadan kalkar ve her bir yinelemede daha az sayıda çözüm kümesi ile işlem karmaşıklığı azaltılır. IRHA modeli sayesinde güç elektroniği devre tasarımlarında sezgisel algoritma modellerinin daha verimli ve güvenilir şekilde kullanılması amaçlanmıştır. Bu algoritmaların az sayıda parametre gereksinimleri, rahat kullanılabilir olması ve özellikle doğrusal olmayan sistemlerin optimizasyonunda gösterdikleri başarılar nedeniyle güç dönüştürücü devre tasarımlarında kullanılması elde edilen verimi arttırmaktadır. Özellikle doğrusal olmayan sistemler için karmaşık optimizasyon teknikleri yerine sezgisel algoritmaların kullanılması işlem karmaşıklığını oldukça azaltmaktadır.

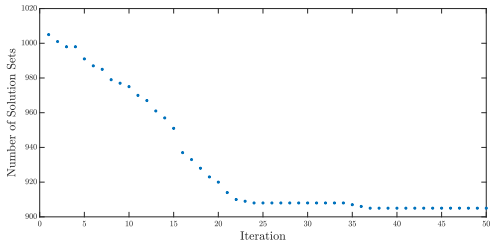



**Şekil 3.15** IRHA tabanlı kontrolör modeli [66]

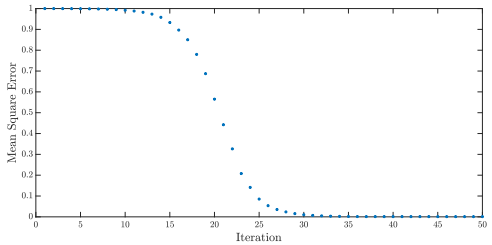
ZSI'da kullanılan transfer fonksiyonu göz önüne alındığında, sistem çıkışının mümkün olan en kısa sürede istenen değere ulaşması arzu edilmektedir. PID parametrelerinin optimize edilmesinde kullanılan ve iyi bilinen bir yöntem, Şekil 3.8-3.15'de gösterildiği gibi genellikle referans girişi ile ölçülen çıkış arasındaki fark olarak alınan performans

çıktısının integral ortalama karesini en aza indirmektir.

Bu yaklaşımda da diğer sezgisel tabanlı algoritmalarda olduğu gibi optimum parametreler elde etmek için algoritma farklı rastgele başlangıç noktaları ile başlatılır, daha sonra bu işlem kabul edilebilir sonuçlara ulaşılıncaya kadar devam eder.

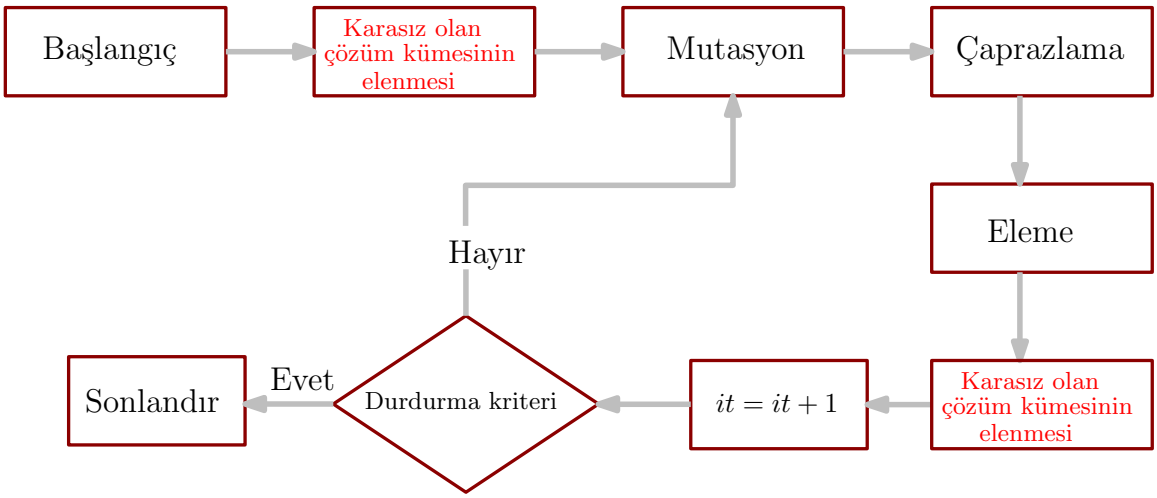



**Şekil 3.16** Çözüm kümesi sayısı




**Şekil 3.17** Optimizasyon sürecinde hata fonksiyonu.

IRHA modeli, iyi bilinen iki sezgisel algoritma, genetik tabanlı DGA ve sürü tabanlı PSO için uygulanmıştır. Bu modellerin kod akışları Algoritma 1 ve Algoritma 2'de açıklayıcı şekilde gösterilmiştir. İki algoritma modelinde de, her iterasyonda belirli bir kural çerçevesinde üretilen çözüm kümlerinin kararlılıklarının kontrolü yapılarak optimizasyon işlemi şekillendirilmiştir. Bu sayede her iterasyonda başlangıçta belirlenen çözüm kümesi sayısı düşürülerek hem sistemin kararsız hale gelmesinden kaçınılmış hem de işlem yoğunluğu azaltılmıştır.




**Şekil 3.18** DGA tabanlı IRHA akış diyagramı.

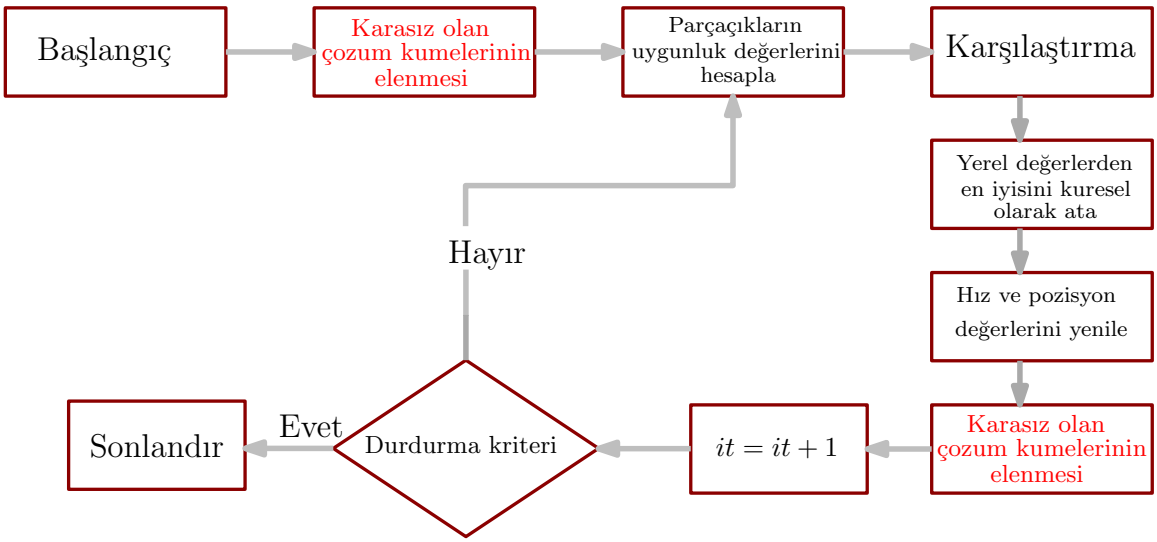
**Algorithm 1** DGA Tabanlı IRHA Algoritması

**Başlangıç:**
$\forall l \leq NP \wedge \forall j \leq V_{DEA}$ :
$x_{j,i,G=0} = x_j^{(l)} + rand_j[0,1].(x_j^{(u)} - x_j^{(l)})$

**Kararsız durumları ele:**
**if** $f(x_{j,i,G}) = 1$ **then**
  $x_{j,i,G} = x_{j,i,G}$
**else**
  $x_{j,i,G} = 0$
**end if**
**En iyiyi bul** $x$**:**
**if** $f_{min} = f(x_j)$ **then**
  $x_{best} = x_j$
**end if**
**for** $i = 0$ to iterasyon sayısı **do**
  **Mutasyon:**
  $\forall j \leq V_{DEA}$ :
  $U_{j,i,G} = x_{best} + F.(x_{j,r1,G} - x_{j,r1,G})$
  **Çaprazlama:**
  **if** $rand[0,1] \leq CR \vee j = j_{rand}$ **then**
    $\forall v_{j,i} = u_{j,i}$
  **else**
    $\forall v_{j,i} = x_{j,i}$
  **end if**
  **Eleme:**
  **if** $f(u_{j,i,G}) \leq f(x_{j,i,G})$ **then**
    $x_{i,G+1} = u_{i,G}$
  **else**
    $x_{i,G+1} = x_{i,G}$
  **end if**
  **Kararsız durumları ele:**
  **if** $f(x_{j,i,G}) = 1$ **then**
    $x_{j,i,G} = x_{j,i,G}$
  **else**
    $x_{j,i,G} = 0$
  **end if**
**end for**
**end**

Elde edilen kontrolör yapısı; $V_g = 400V$, $D = 0.5$, $M = 0.85$, $R_x = 12.5\Omega$, $L_x = 340uH$, $L = 650uH$, $C = 500uf$ devre parametreleri kullanılarak `MATLAB/Simulink` ortamında incelenmiştir.

IRHA optimizasyon tekniği ile dört ayrı kontrol parametresinin ($K_p$, $K_i$, $K_d$ ve $T_d$) optimizasyonu yapılmış ve elde edilen kontrolör yapısı kullanılarak sistemin kapalı çevrim transfer fonksiyonu incelenmiştir.




**Şekil 3.19** PSO tabanlı IRHA akış diyagramı.

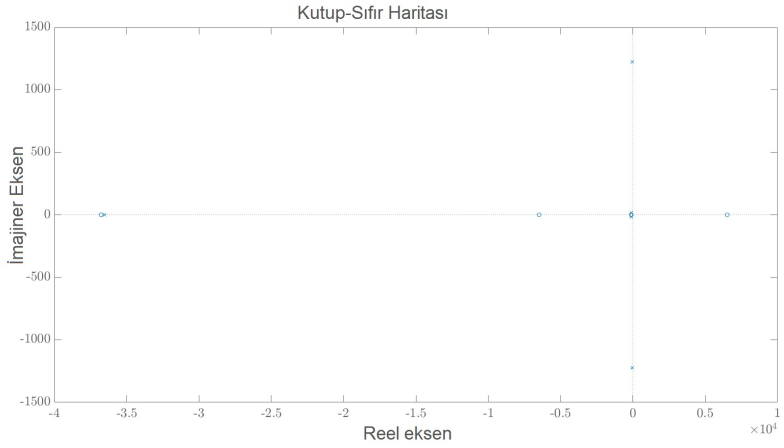
**Algorithm 2** PSO Tabanlı IRHA Algoritması

**Başlangıç**
**for each** particle $i$ in $S$ **do**
  **for each** particle $d$ in $V_{PSO}$ **do**
    $x_{i,d} = Rnd(x_{min}, x_{max})$
    $v_{i,d} = Rnd(-v_{max}/3, x_{max}/3)$
  **end for**
  $pb_i = x_i$
  **if** $f(pb_i) < f(gb)$ **then**
    $gb = pb_i$
  **end if**
**end for**
// **Kararsız durumları ele:**
**if** $f(x_{i,d}) = 1$ **then**
  $x_{i,d} = x_{i,d}$
**else**
  $x_{i,d} = 0$
**end if**
**PSO Algoritması**
**repeat**
  **for each** particle $i$ in $S$ **do**
    // $p_{best}$**'i güncelle:**
    **if** $f(x_i) < f(pb_i)$ **then**
      $pb_i = x_i$
    **end if**
    // $g_{best}$**'i güncelle:**
    **if** $f(pb_i) < f(gb)$ **then**
      $gb = pb_i$
    **end if**
**end for**
// **Parçacıkların pozisyon ve hız değerlerini güncelle:**
**for each** particle $i$ in $S$ **do**
  **for each** particle $d$ in $V_{PSO}$ **do**
    $v_{i,d} = x_{i,d} + C_1.Rnd(0,1).(pb_{i,d} + x_{i,d}) + C_2.Rnd(0,1).(gb_d + x_{i,d})$
    $x_{i,d} = x_{i,d} + v_{i,d}$
  **end for**
**end for**
// **Kararsız durumları ele:**
**if** $f(x_{i,d}) = 1$ **then**
  $x_{i,d} = x_{i,d}$
**else**
  $x_{i,d} = 0$
**end if**
// **advance iteration**
$it = it + 1$
**until** $it > it_{max}$
**end**

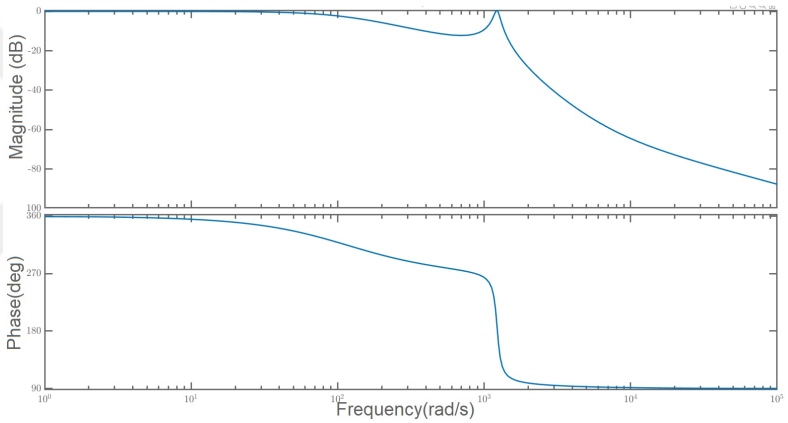
Ek olarak DEA tabanlı optimizasyonda kullanılan parametre değerleri; $x_j^{(l)} = 0$ ,$x_j^{(u)} = 0.1$, NP = 2000, D = 4, F = 0.8, CR = 0.5, G = 50'dir. Sistemin kararlı olduğunu gösteren kutup ve sıfır noktaları, bode diyagramı ve istenilen referans takibi performansını göstermek amacıyla adım cevabı, sırasıyla Şekil 3.20, 3.21 ve 3.22'de görülmektedir.

PSO tabanlı IRHA optimizasyon tekniği incelendiğinde, elde edilen sonuçları genetik tabanlı algoritma yapısına benzer olduğu her iki yaklaşımın da istenilen sonuçları verdiği görülmektedir.

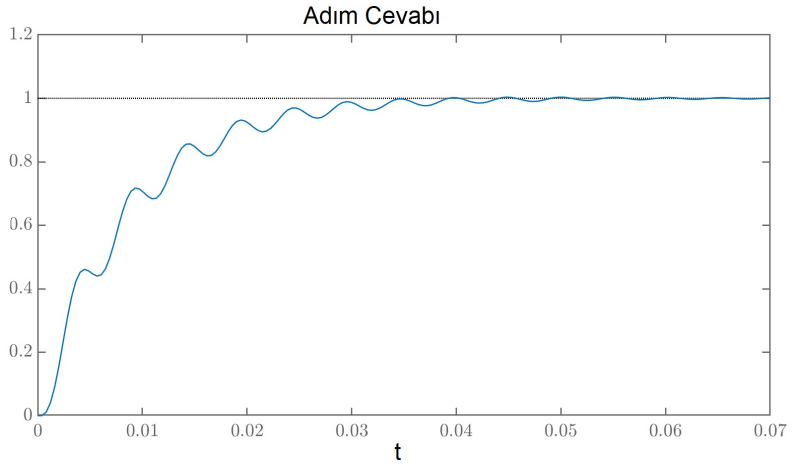
PSO tabanlı optimizasyon yaklaşımı ile elde edilen kapalı çevrim sistemin transfer fonksiyonu incelendiğinde, sistemin kararlı bir yapıda olduğu (Şekil 3.24, 3.25) ve referans takibinin başarılı bir şekilde elde edildiği görülmüştür (Şekil 3.23). Ek olarak PSO tabanlı optimizasyon işleminde kullanılan parametre değerleri; N = 10000, $k = 4$, $w = 0.2$, $c_1 = 0.12$, $c_2 = 1.2$'dir.



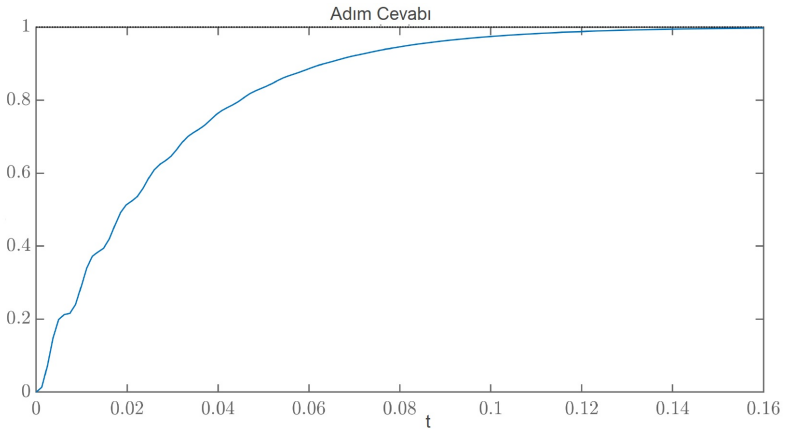

**Şekil 3.20** DGA tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait kutup ve sıfır noktaları.



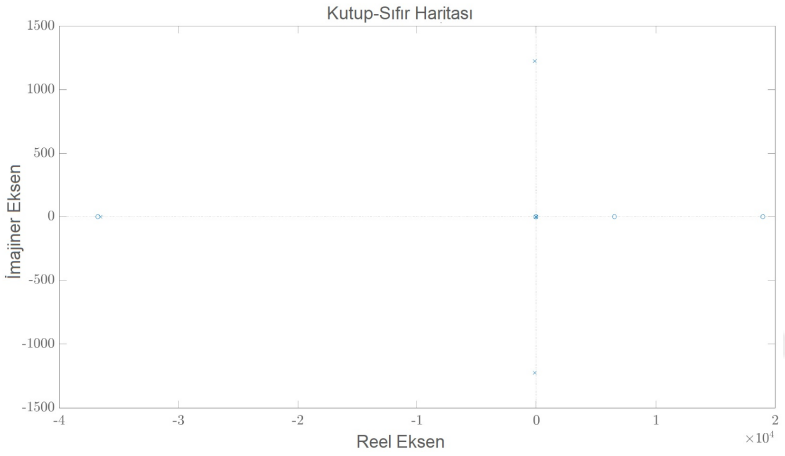

**Şekil 3.21** DGA tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait bode diagramı.



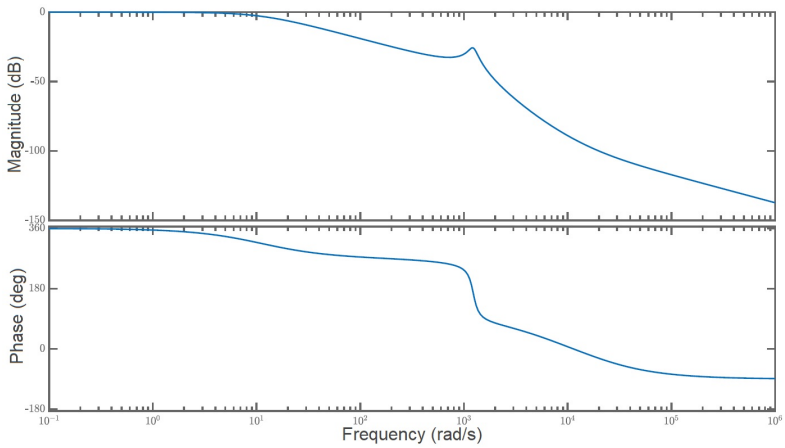

**Şekil 3.22** DGA tabanlı IRHA ile tasarlanmış kontrol yapısına ait adım cevabı.




**Şekil 3.23** PSO tabanlı IRHA ile tasarlanmış kontrol yapısına ait adım cevabı.




**Şekil 3.24** PSO tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait kutup ve sıfır noktaları.




**Şekil 3.25** PSO tabanlı IRHA ile tasarlanmış kapalı çevrim sisteme ait bode diagramı.

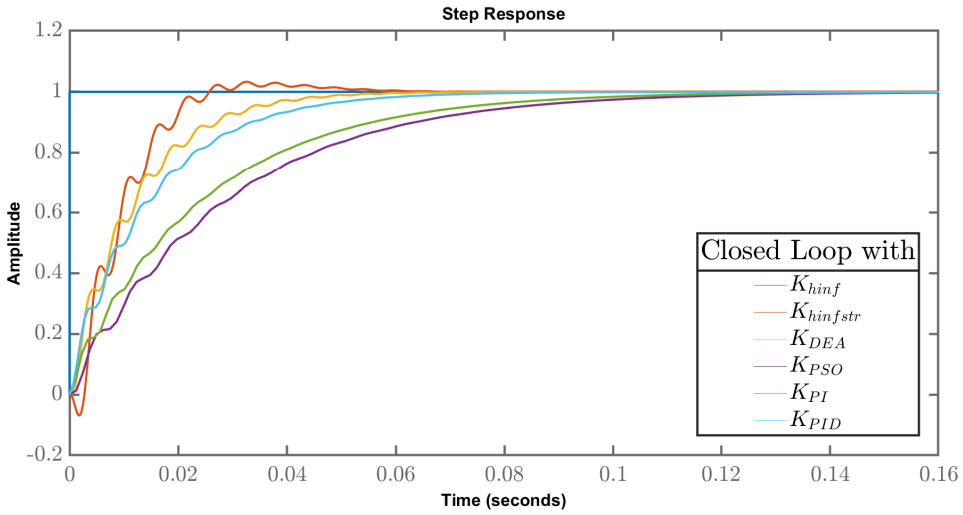
# 4
# TASARLANAN KONTROLÖRLERİN SİMÜLASYON ORTAMINDA GERÇEKLENMESİ

## 4.1 Kontrol Yapılarının Karşılaştırılması

Bu bölümde, (2.27)'de transfer fonksiyonu verilen ZSI devre modeli için farklı metodolojilere dayanan 5 PID kontrolör tasarımı incelenmiştir. PID ve PI arasında yapılan seçimin daha iyi anlaşılabilmesi için bu karşılaştırma işlemine PI kontrol yapısı da eklenmiştir. Ziegler ve Nichols tarafından, kontrol parametrelerini elde etmek için sunulan ampirik tabanlı strateji kullanılarak PI ve PID kontrolör tasarımı($K_{PI}$ ve $K_{PID}$) yapılmıştır. Bu tasarım yapılırken genlik ve salınım süreleri kaydedilmiş ve bu değerler kullanılarak kontrol parametreleri hesaplanmıştır. $K_{hinf}$ olarak adlandırılan PID kontrolör, [65] ve [9] yardımı ile oluşturulmuştur.

Süreksiz uzay optimizasyon tekniği ile çalışan $K_{hinfstr}$ kontrolör yapısı `Matlab` `hinfstruct` fonksiyonu kullanılarak tasarlanmış ve karşılaştırma işlemine dahil edilmiştir. Bu yöntemler temel olarak önceden tanımlanmış performans çıktısı ve girdi arasındaki sonsuzluk normunu en aza indirmeye dayanır. Edilen kapalı çevrim modellerin transfer fonksiyonları aşağıda verilmiştir.

$$
\begin{aligned}
K_{PI} &= \frac{(-2.273 \times 10^{-7})s - 0.0004545}{0.0005s} \\
K_{PID} &= \frac{(-1.35 \times 10^{-11})s^2 - (1.8 \times 10^{-7})s - 0.0004}{0.0003s} \\
K_{hinf} &= \frac{(-1.039 \times 10^{5})s^2 - (3.924 \times 10^{7})s - (6.617 \times 10^{6})}{s^2 + 100s} \\
K_{hinfstr} &= \frac{(-1.25 \times 10^{-4})s^2 + 0.0809s + 13.8}{s^2 + 100s} \\
K_{DEA} &= \frac{(4.123 \times 10^{-5})s^2 + 0.1058s + 10.58}{s^2 + 100s} \\
K_{PSO} &= \frac{(1.898 \times 10^{-5})s^2 + 0.02251s + 2.251}{s^2 + 100s}.
\end{aligned} \tag{4.1}
$$




**Şekil 4.1** Farklı denetleyiciler altında kapalı çevrim sitemin adım cevapları.

$K_{DEA}$ ve $K_{PSO}$ PID kontrol parametreleri, sırasıyla genetik ve sürü tabanlı IRHA optimizasyon tekniği kullanılarak oluşturulmuştur. Bu kontrolörlerin transfer fonksiyonları (4.1)'de verilmiştir.

(4.1)'de verilen PID kontrolörleri altındaki kapalı çevrim devre sistemlerin adım cevabı performansları Şekil 4.1'de gösterilmektedir. Tasarlanan sistemlerin adım cevapları incelendiğinde, $K_{hinf}$ kontrolör yapısı, yerleşme süresini büyük ölçüde azaltır, ancak bu durum çok büyük kontrol sinyalleri üretimine sebep olur ve sistemin gerçekte uygulanması imkânsız bir hâl alır. Bu kontrolör yapısının kullanılabilmesi için aktüatör doygunluğu problemi dikkate alınmalıdır. Öte yandan, IRHA-PSO tarafından türetilen PID denetleyicisi nedeniyle oluşan adım yanıtı, diğerlerine göre çok yavaş kalmaktadır. PID ile karşılaştırıldığında aynı eksikliğin PI denetleyicisinde de olduğu Şekil 4.1'de görülmektedir.

Her ne kadar `Matlab hinfstruct` fonksiyonu ve DGA tabanlı IRHA tarafından tasarlanan PID denetleyicileri benzer adım yanıt sürelerine sahip olsalar da, $K_{DEA}$ sistemi daha sorunsuz bir şekilde adım cevabı performansı gösterdiği görülmektedir. $K_{hinfstr}$, kontrol yapısı incelendiğinde sağ yarı s düzleminde 2 adet sıfır olan bir kapalı çevrim transfer fonksiyonu türettiği görülür. Dolayısıyla, sistemin mutlak değil marjinal kararlı hal almasına yol açar.

Sonuç olarak, IRHA-DEA tarafından tasarlanan PID kontrol cihazının daha olumlu sonuçlar sağladığı görülmüştür. Bu nedenle, bu kontrolör sistemi uygulama için seçilmiştir. Optimizasyon işleminde ortalama karesel hata fonksiyonu hedef fonksiyon olarak seçilmiş ve hata değeri $9.9900 \times 10^{-4}$'e kadar düşürülmüştür. Bu optimizasyon sonucunda donanımda gerçeklenebilecek kontrol parametreleri elde edilmiştir.

## 4.2 ZSI için Kapalı Çevrim Kontrol Çözümleri

ZSI için tasarlanacak kontrol yapısı için giriş gerilimi ile kapasite arasındaki oran kullanılmak istenmektedir. Bu oran, Şekil 3.7'te gösterildiği gibi doğrusal olmayan bir özelliğe sahiptir, bu nedenle sistem yalnızca belirlenen çalışma aralığında kontrol edilebilir. Bütün çalışma noktaları ele alınmak istendiği takdirde doğrusal olmayan bir tasarım yapılmalıdır ve doğrusal olmayan kontrolör tasarımı oldukça karmaşık bir yapıya sahiptir. Bu durum tasarlanan yapının donanım üzerinde gerçeklenmesini zorlaştırır.

Doğrusal bir kontrol yöntemi olan PID kontrolü, yalnızca belirli bir çalışma noktası için uygundur. Bununla birlikte, ZSI devresi, gerilim kontrollü motorlarda hız kontrolünü göz önüne alarak geniş bir giriş ve çıkış gerilim aralığında çalışabilmelidir. Bu problemin aşılabilmesi için çok katmanlı PID yapısı ile kazanç planlamalı kontrolör tasarımı üzerinde durulmuştur. Bu sayede, normalde doğrusal kontrol sağlayan PID yapısı kullanılarak, istenilen çalışma aralığına uygun uyarlanabilir bir kontrol yapısı amaçlanmıştır.

ST süresi boyunca endüktans akımı doğrusal bir şekilde artar. ZSI devre tasarımında, devrenin simetrik olduğu varsayılarak iki indüktansın hesabı (4.2) ile yapılabilir [67].

$$L_1 = L_2 = \frac{V_L \Delta(T)}{\Delta(I)} \tag{4.2}$$

İki kapasitör ST dışındaki çalışma durumlarında empedans ağında seri bağlıdır. Bu sayede akım dalgalarını sönümler ve inverter köprüsündeki gerilim dalgalanmalarını sınırlar. Devre simetrik tasarlandığından iki kapasitör değeri eşittir ve (4.3) yardımı ile hesaplanır.

$$C_1 = C_2 = \frac{2I_C \Delta(T)}{\Delta(V_{C1} + V_{C2})} \tag{4.3}$$

Devre parametrelerinin seçimi, giriş gerilimi için $400V$ ve ST oranı (D) için 0.15 değerlerine ayarlanmıştır. $\Delta(T)$, anahtarlama periyodu ($T_{sw} = 0.5ms$) ve denge noktası olarak alınan $D = 0.15$ kullanılarak hesaplanabilir.

$$\Delta(T) = T_{sw} \times D = 0.5 \times 10^{-3} \times 0.15 = 75 \times 10^{-6} s \tag{4.4}$$

**Tablo 4.1** Simülasyon için Kullanılan ZSI Parametreleri.

| Devre Parametreleri | Değer |
|---|---|
| L1, L2 | 650 $\mu H$ |
| C1, C2 | 500 $\mu F$ |
| Anahtarlama Frekansı | 2 $kHz$ |
| Yük Direnci | 12.5 $\Omega$ |
| Yük indüktansı | 340 $\mu H$ |

$V_c$ ve $I_L$ başlangıç değerleri durum değişkenlerinin sabit durum denklemleri kullanılarak hesaplanabilir (2.26). Kararlı bir sistem yapısı için $\Delta I$ ve $\Delta V$ değerlerinin en aza indirgenmesi gerekmektedir. Düşük $C$ ve $L$ değerlerinde, (4.2), (4.3)'den anlaşılacağı gibi akım ve gerilim dalgalanmalarının azaltılmasında zorluk yaşanmaktadır. Önerilen kontrol yönteminin performansının tam olarak anlaşılabilmesi için düşük değerler seçilmiş ve zor koşullarda kontrol yapılarının performansları incelenmiştir.

ZSI inverter modelinin istenilen çalışma aralığında efektif bir şekilde çalışabilmesi için tasarlanan kontrol yapılarının performansları, 200V-450V giriş gerilimi aralığında test edilmiştir. Bu giriş aralığı belirlenirken ZSI devresinin, gerilim kontrollü motorların sürücü devrelerinde kullanılması düşünülmüştür. Sistemin hız kontrolü saptanacak motor için, belirli gerilim aralıklarında sabit çıkış vermesi ve istenilen eşik değerlerde DC bara ve çıkış gerilimini değiştirmesi beklenmektedir.

Çıkış sinyali ST değeri ile kontrol edilmektedir. (4.2) ve (4.3)'den görülebileceği gibi, ST çalışma zamanındaki artış, LC sabit kalırsa çok yüksek bir endüktans akımı ile sonuçlanacaktır. Bu durumun, devre veriminin önemli ölçüde azalmasına sebep olacağı aşikârdır. Sadece belirli çalışma noktası için tasarlanan ve sabit çıkış sağlayan literatürdeki diğer çalışmaların aksine, bu çalışmada Tablo 4.2'de görülen geniş bir çalışma aralığında uygulanabilecek bir kontrolör tasarımları yapılmıştır. LC değeri sabittir, sistem ST çalışma oranındaki küçük değişiklikler ile kontrol edilir ve indüktans akımı makul bir seviyede sınırlandırılmıştır. Aksi takdirde devre kayıpları artacak ve güvenilirliği azalacaktır. Bu durumun optimum bir seviyeye çekilmesi özellikle kullanılacak alana göre hayati önem taşımaktadır.

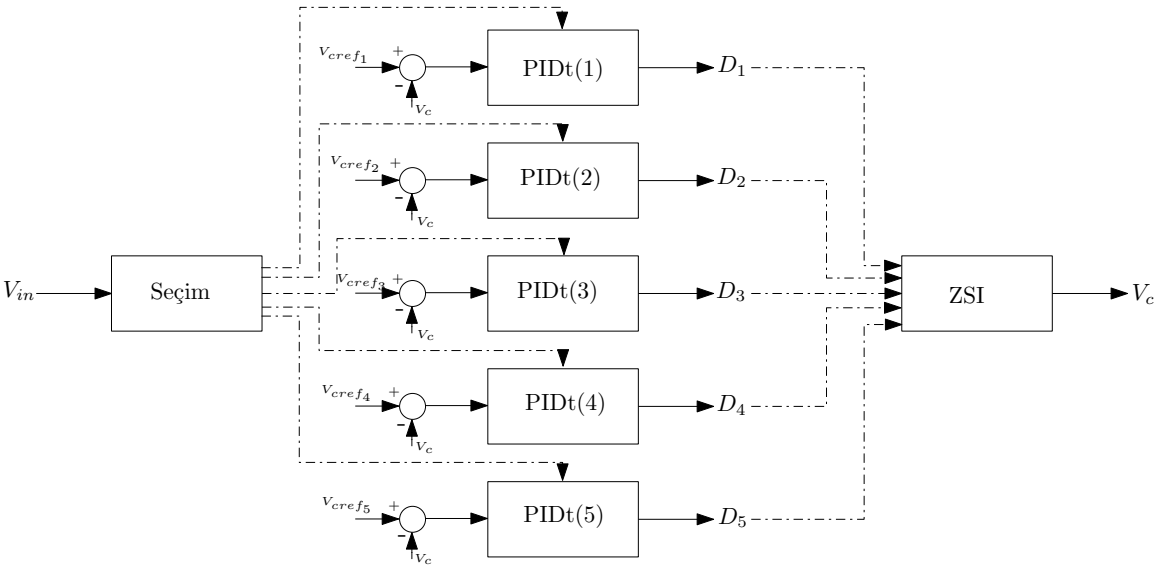
Önerilen kontrol yöntemlerinin, gerilim kontrollü motorlar için performanslarının incelenmesi ve uygunluğunun gösterilmesi amacıyla `Matlab Simulink` ile simülasyonları yapılmıştır. Ayrıca bu kontrol tasarımları ile gerilim-akım sıçramaları ve dalgalanmaları engellenmeye çalışılmıştır.

**Tablo 4.2** İstenilen Çalışma Noktaları.

| Giriş Gerilim aralığı | Referans Kapasite Gerilimi | Referans DC Hat Gerilimi |
|---|---|---|
| 450 − 400(V) | 510V | 600V |
| 399 − 350(V) | 455V | 536V |
| 349 − 300(V) | 395V | 465V |
| 299 − 250(V) | 333V | 392V |
| 249 − 200(V) | 273V | 322V |

### 4.2.1 Çok Katmanlı PID Kontrolör Tasarımı

ZSI için yapılan kontrol çalışmaları incelendiğinde, kapalı çevrim devre modelleri tasarlanırken sadece belirli bir çalıma noktasının dikkate alındığı durumlarda sistemin kararsız bir yapıya dönüştüğü görülmektedir. Gerilim kontrollü bir motor sürücü devresi için yapılacak olan tasarımda, değişken giriş gerilimi nedeniyle daha adaptif bir yapıya ihtiyaç vardır. Bu nedenle, Şekil 4.2'te gösterilen MLPID yapısı, sistemin bu ihtiyaca yönelik uyarlanabilirliğine katkıda bulunmuştur. İndüksiyon motoru hız kontrolü için kullanılan sürücü devresinde, 5 aşama göz önünde bulundurulmuş ve her aşama için uygun bir kontrol yapısı tasarlanmıştır. Geleneksel PID kontrolörün, MLPID yapısı ile istenen çalışma aralığı için uyarlanabilir bir davranış kazanması mümkündür. Seçim kısmıyla giriş gerilimine göre uygulanması gereken katsayılar kontrol ünitesine atanmıştır. Giriş gerilimi yanı sıra farklı çıkış gerilimleri hedeflendiğinden, DC hat geriliminin sabit tutulmasına gerek kalmamıştır. Böylece yüksek gerilimden dolayı anahtarlar üzerinde oluşacak güç kaybı azaltılmıştır.

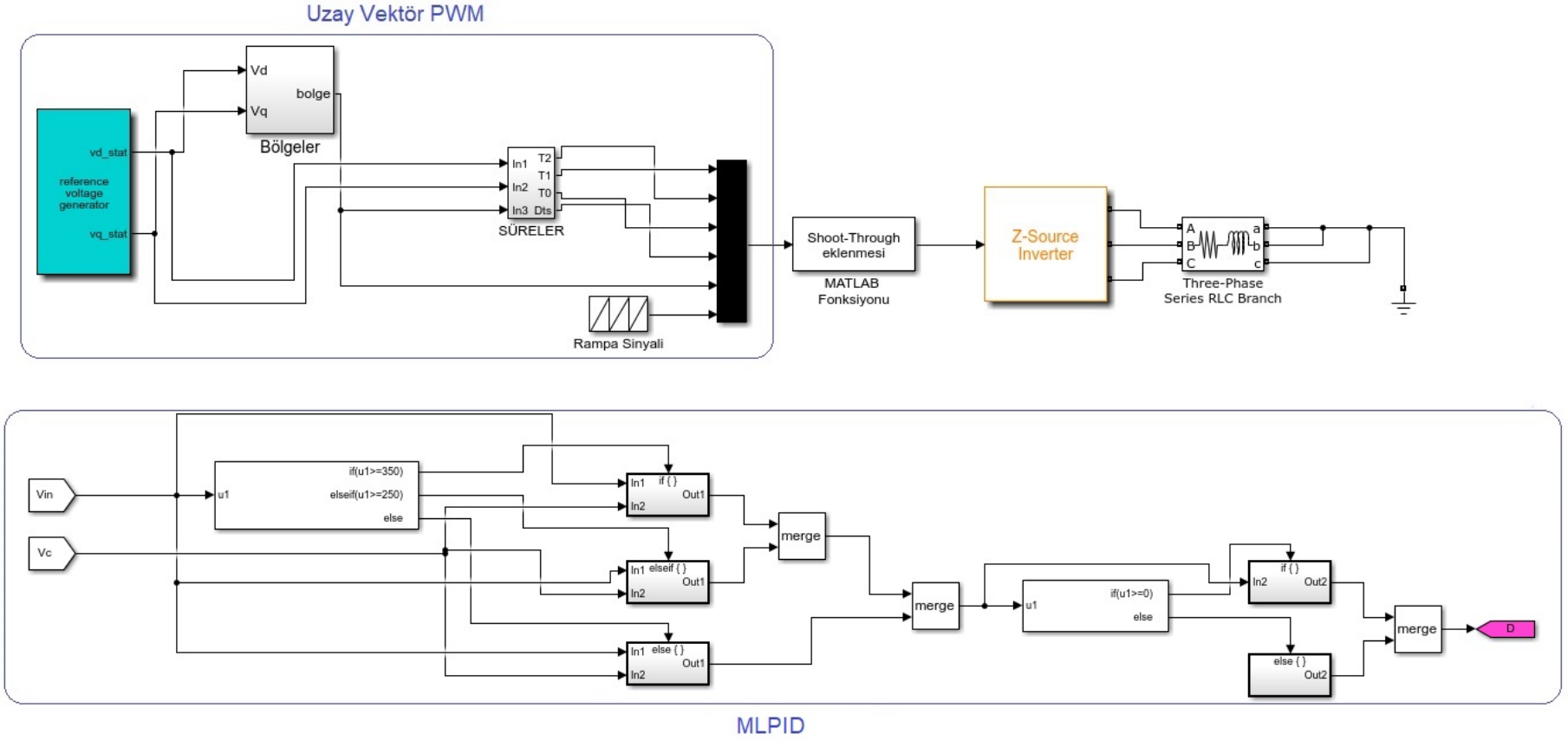



**Şekil 4.2** Çok katmanlı PID yapısı.

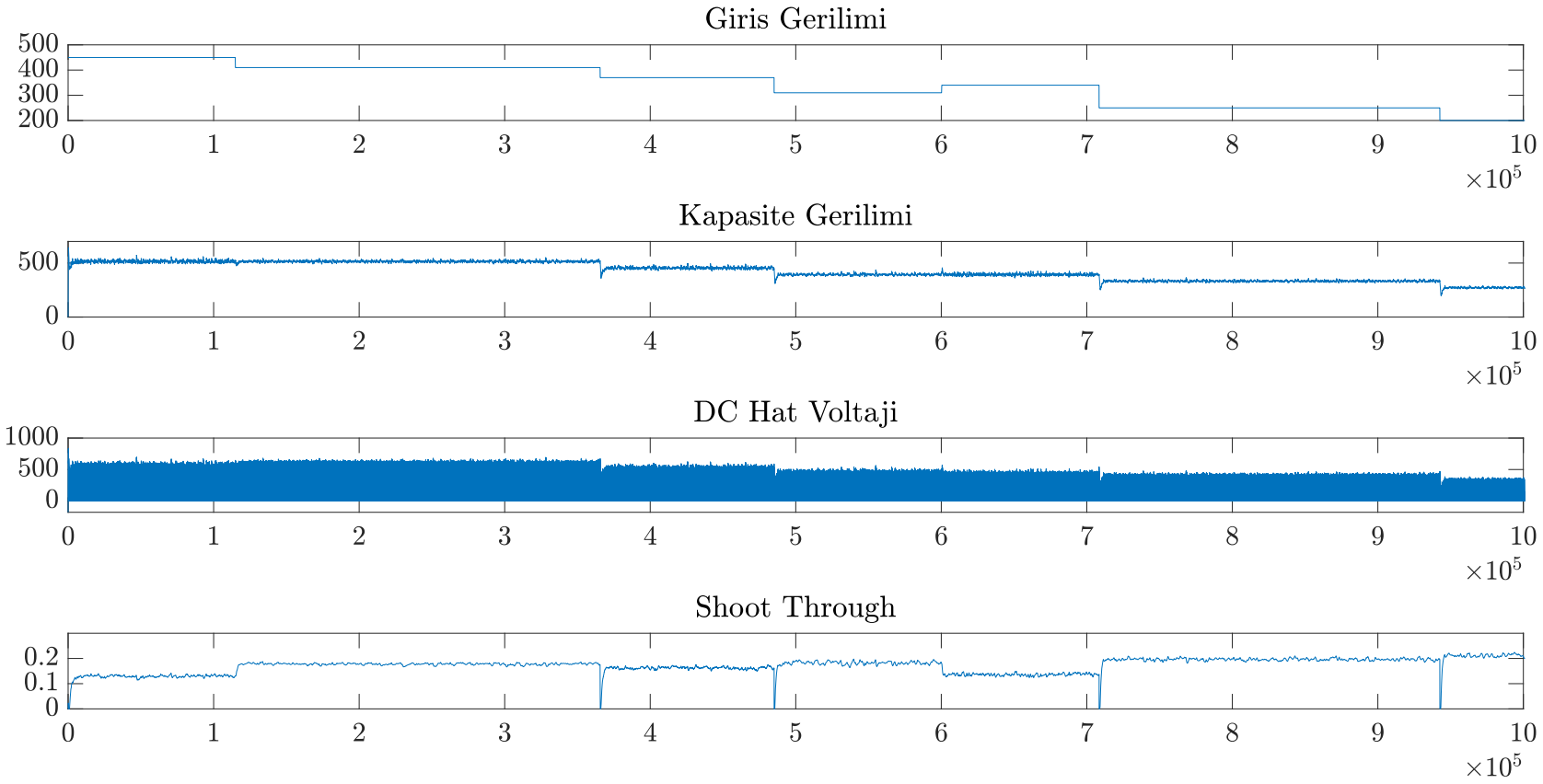
Tasarlanan kontrol yönteminin farklı giriş değerleri için göstermiş olduğu performans `Matlab Simulink` ile test edilmiştir. Böylece sistemin, uygulanacak olan alana göre istenilen aralıklarda verimli bir şekilde çalıştığı simülasyon sonuçları ile ispatlanmıştır. Şekil 4.4 incelendiğinde sistemin Tablo 4.2'de gösterilen sınır değerler içinde çıkışı sabit tuttuğu, sınır değerler arasındaki geçişlerde anahtarlar üzerindeki gerilimi azaltmak amacıyla çıkış gerilim değerini istenilen seviyeye çektiği görülmüştür. Böylece DC bara gerilimi azalarak anahtarlar üzerindeki gerilim stresleri azaltılmıştır. Bu değerler indüksiyon motorları göz önünde bulundurularak, sistemin doğruluğunu göstermek amacıyla belirlenmiştir. Şekil 4.2'te görüldüğü üzere belirlenecek eşik gerilimi sayısı ve değeri kullanılacak alana göre arttırılabilir.

Her bir PID yapısının katsayıları önerilen IRHA-DEA yöntemini kullanarak optimize edilmiştir. Her katman için elde edilen PID modelleri;

$$
\begin{aligned}
H_{PID1} &= \frac{(0.1150)s + 9.6198}{s^2 + 83.6754s} \\
H_{PID2} &= \frac{(-0.0001)s^2 + 0.1168s + 9.0983}{s^2 + 75.5427s} \\
H_{PID3} &= \frac{(0.1620)s + 44.0018}{s^2 + 271.3285s} \\
H_{PID4} &= \frac{(0.1682)s + 4.1257}{s^2 + 24.5252s} \\
H_{PID5} &= \frac{(0.1972)s + 30.4630}{s^2 + 155.1459s}.
\end{aligned}
\tag{4.5}
$$




**Şekil 4.3** Çok katmanlı PID kontrol için tasarlanan Simulink arayüzü.




**Şekil 4.4** Çok katmanlı PID yapısı ile alınan simülasyon sonuçları.

MLPID ile tasarlanan kapalı çevrim devre modeli incelendiğinde, özellikle çıkışta meydana gelen gerilim değişimlerinde ST oranında ani sıçramalar görülmektedir. Bu durum kayıpları arttırıp devreyi kararsız hale sokabilir. Negatif değere düşmemesi için sınırlamalar eklenmiş ancak yine de sıçramaların devreye vereceği zararların göz ardı edilemeyecek seviyede olduğu görülmüştür. Şekil 4.4'de görülen bu problemin ortadan kalkması ve geçişler sırasında sıçramaların yok edildiği bir kontrol tasarımı için farklı modeller incelenmiştir.

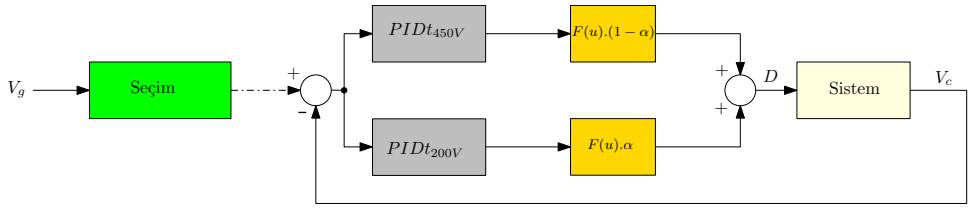
### 4.2.2 Kazanç Planlamalı Kontrolcü Tasarımı

Kazanç planlamalı kontrol tasarımı, PID yapısını kullanarak, doğrusal olmayan kontrol problemlerinin üstesinden gelmek için kullanılan yaygın bir yöntemdir. Bu yaklaşım esas olarak orijinal doğrusal olmayan sistemi birkaç doğrusal olan sisteme bölmeye dayanır. Temelde üç ana adımdan oluşur;

- Öncelikle, orijinal doğrusal olmayan sistemden doğrusal bir parametre değişken sistem inşa edilmelidir. Daha sonra, (2.27)'te verilen ve $V_g$ değerinin değiştiği doğrusal bir model türetilir. Bu parametrenin aralığı Tablo 4.2'de verilmiştir.
- İkinci adım olarak, sabit parametre değiştirme değeri kullanılarak doğrusal denetleyici oluşturulmalıdır. Bu çalışmada, en kötü durumlar yani sınır değerler dikkate alınmıştır. Bunun ışığında, önerilen IRHA-DEA yöntemini kullanarak $K_{DEA450}$ ve $K_{DEA200}$ PID denetleyicilerinin, tasarımı için belirlenen giriş gerilimlerinin ($V_g$) maksimum ve minimum değerleri seçilmiştir.
- Kazanç planlama yaklaşımındaki son ve ana adım, kontrol parametresinin mevcut değerine göre kontrolörler arasındaki ilişkiyi belirlemektir. Şekil 4.5'te gösterildiği gibi, bu iki PID kontrolörü arasında doğrusal bir ilişki tanımlanır ve bunların sisteme katkısı, önceden tanımlanmış değişen parametrenin mevcut değeri ile (4.6)'te gösterildiği gibi ayarlanır.

$$\begin{aligned} K_i(t) &= (1-\alpha(t))K_i(max) + \alpha(t)K_i(min) \\ \alpha &= \frac{V_g(max) - V_g}{V_g(max) - V_g(min)}. \end{aligned} \tag{4.6}$$

Kontrolsüz açık çevrim sistemin sonuçları, Şekil 4.7'de verilmiştir ve kapalı çevrim sistemin sonuçları, Tablo 4.1'de belirtilen aynı devre parametreleri için Şekil 4.8,4.9'da

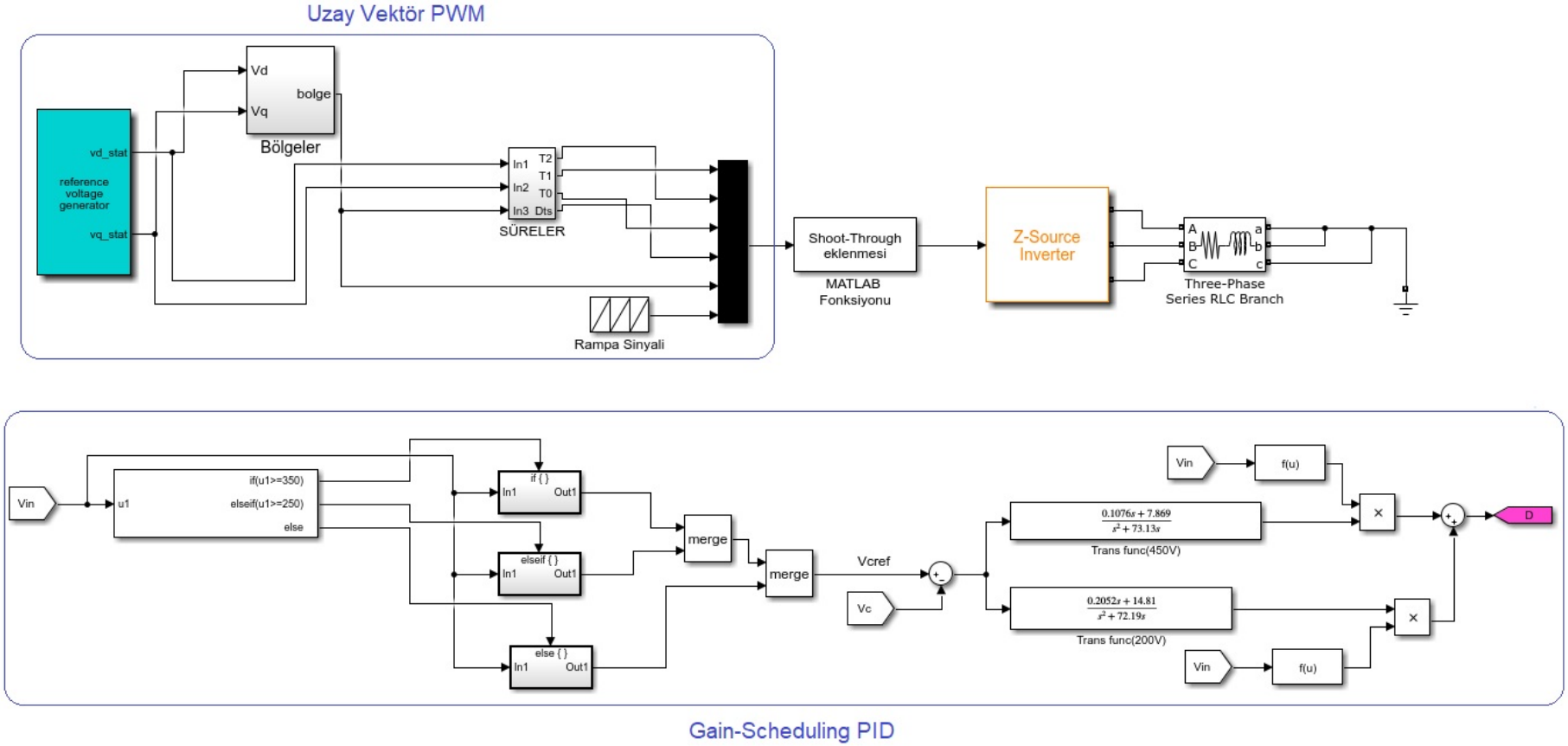



**Şekil 4.5** Kazanç planlamalı kontrolcü blok diyagramı.

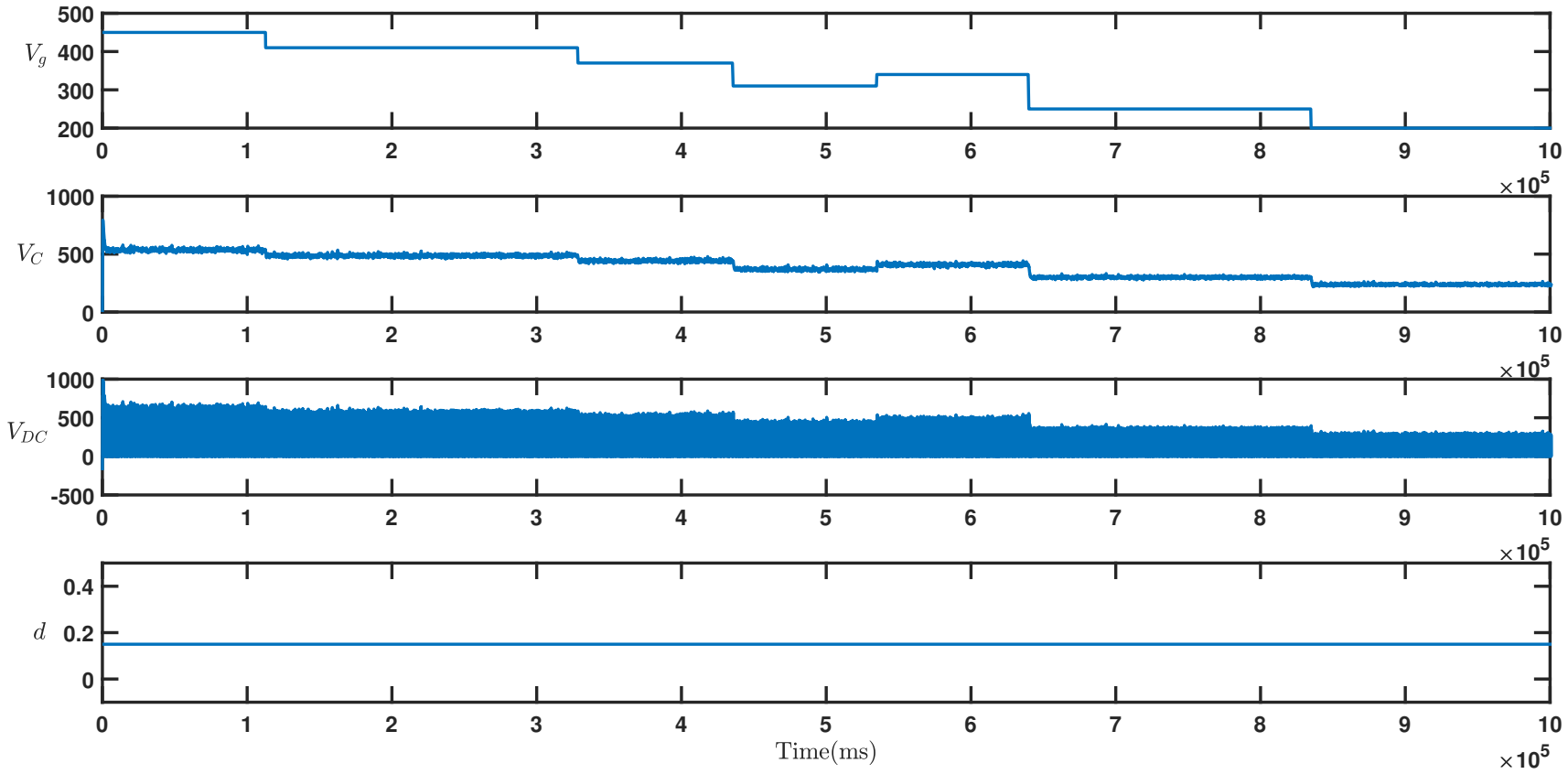
verilmektedir. Önerilen denetleyicinin etkinliğini gözlemlemek için bu sonuçlardan bazılarının yakınlaştırılarak incelenmesi gerekmektedir. Bu nedenle, kapalı devre sistem sonuçları değişken çalışma gerilimi altında aynı çalışma koşulu için iki ayrı şekilde gösterilmiştir (Şekil 4.8, 4.9).

Elde edilen sonuçlardan görülebileceği gibi önerilen kontrol yapısı ile oluşturulan devre Tablo 4.2'yi sağlar ve sistemin güvenilirliğine katkıda bulunur. Ayrıca, Şekil 4.9'da görüldüğü gibi, DC hat gerilimi, giriş gerilimi değişimleri sırasında sürekli sabit tutulmaz ve çıkışta elde edilmek istenen gerilim değeri doğrultusunda değiştirilir. Değişken DC hat gerilimi ZSI'nın esnek bir modülasyon indeksi ile çalışmasını sağlar ve bu sayede anahtarlama işlemi düşük gerilim gerilimi ile çalışabilir hale gelir. Açık çevrim devre modeli incelendiğinde, Tablo 4.2'de gösterilen istenen performans değerlerini sağlayamaz, bu sonucun temel nedeni sabit ST çalışma oranıdır. Sonuç olarak, Şekil 4.7'de görüldüğü üzere devre çıkış geriliminin, önceden tanımlanmış referans sinyalini izlemesi mümkün değildir.

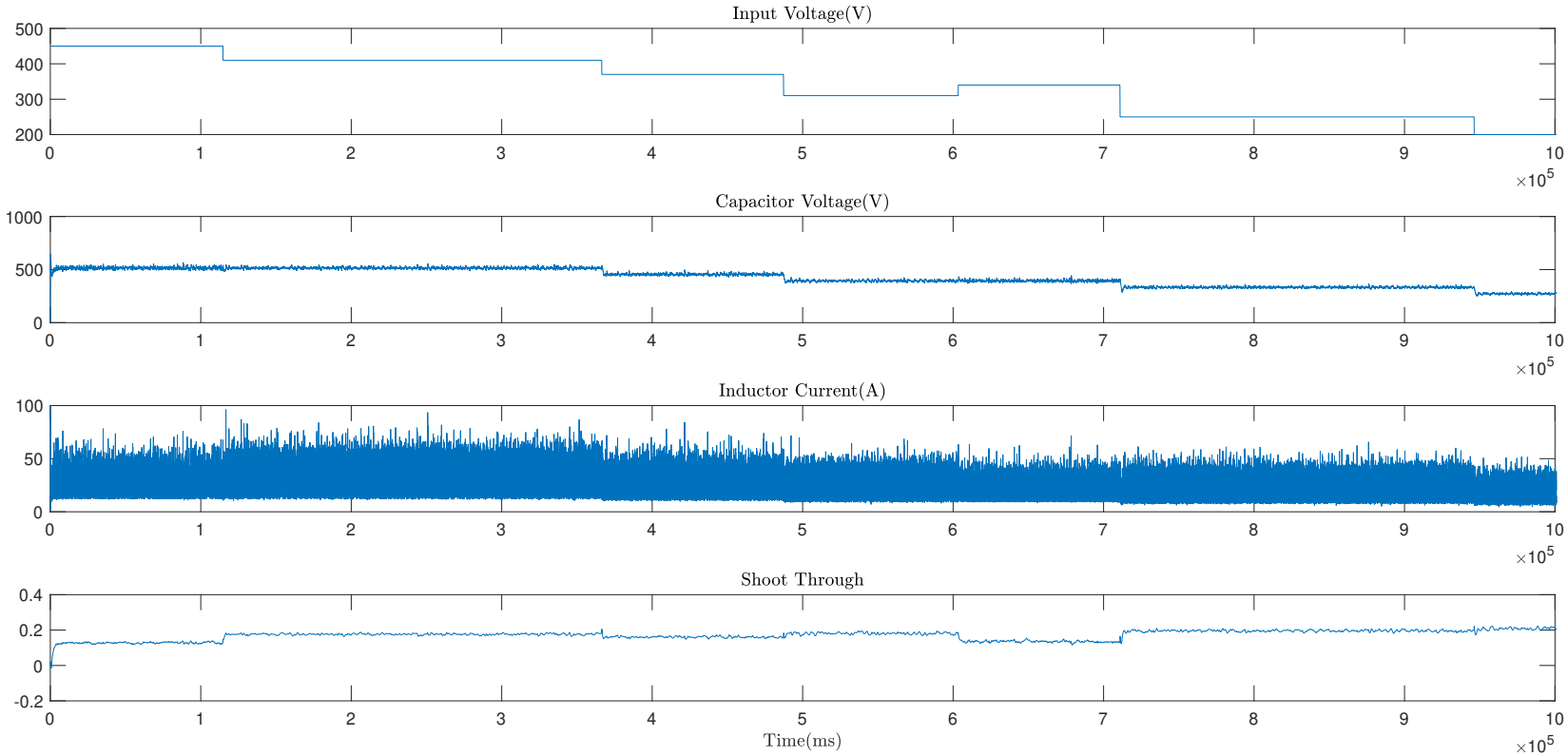
Önerilen kontrol yöntemi sayesinde tasarlanan kapalı devre sistemi, farklı çalışma noktaları için gerilim dalgalanmalarını engeller ve etkili referans takibi sunar. Şekil 4.8, DC tarafın (empedans ağı) tepkisini göstermektedir ve giriş geriliminde görülen değişimlerin, kapasitör gerilimi ve indüktör akımının üzerindeki etkisi minimuma düşürülmüştür. Kapalı çevrim sistem, Tablo 4.2'de gösterilen çalışma aralıkları için Şekil 4.9'da gösterildiği gibi yük akımındaki dalgalanmaları azaltarak devre verimini arttırmıştır.



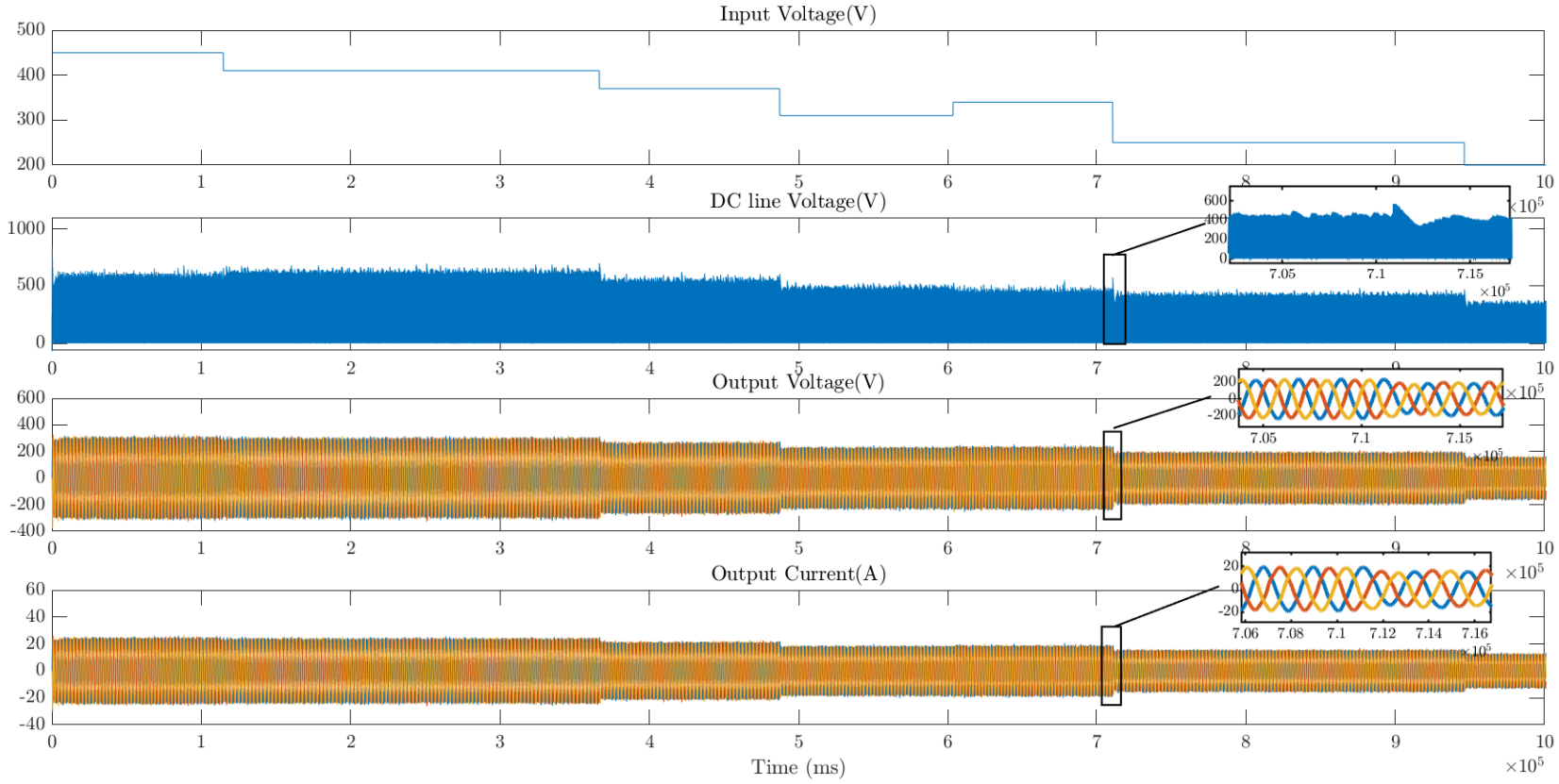

**Şekil 4.6** Kazanç planlamalı PID kontrol için tasarlanan Simulink arayüzü.




**Şekil 4.7** Farklı giriş gerilimleri altında, açık çevrim devre modeli için kapasitör gerilimi ($V_C$), DC hat gerilimi ($V_{DC}$) ve ST oranı ($d$) cevabı.




**Şekil 4.8** Farklı giriş gerilimleri altında, kapalı çevrim devre modeli için kapasitör gerilimi ($V_C$), indüktör akımı ($I_L$) ve ST oranı ($d$) cevabı.




**Şekil 4.9** Farklı giriş gerilimleri altında, kapalı çevrim devre modeli için DC hat gerilimi ($V_{DC}$), çıkış gerilimi ($V_x$) ve çıkış akımı ($I_x$) cevabı.

# 5
# SAHADA PROGRAMLANABİLİR KAPI DİZİLERİ (FPGA)

## 5.1 Giriş

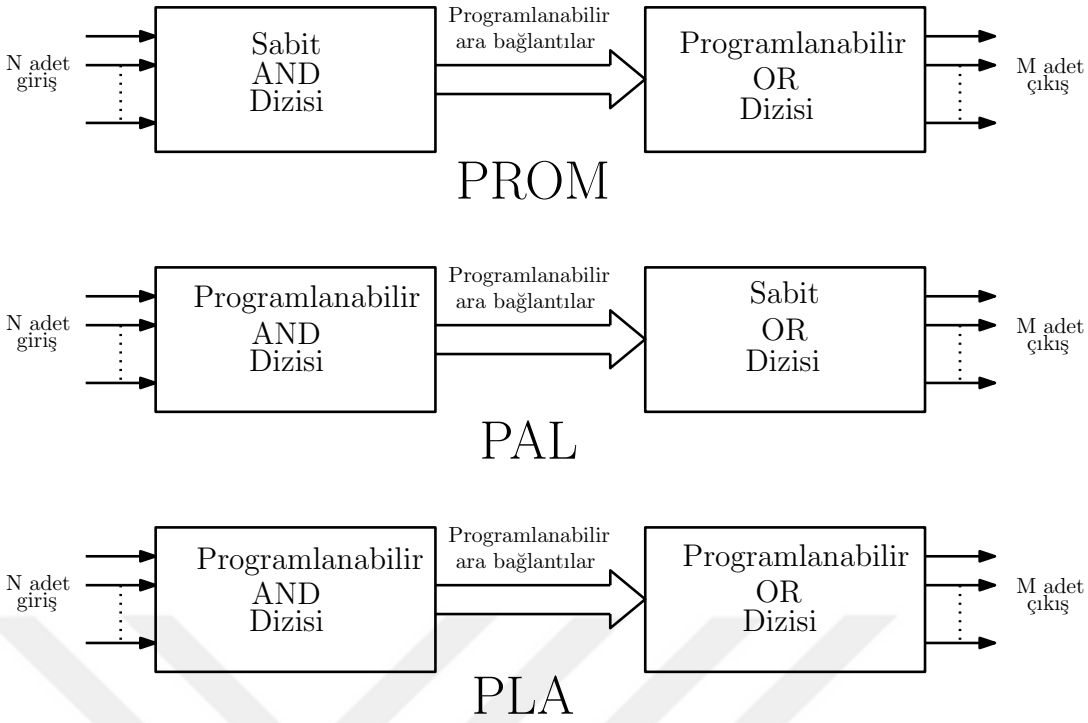
Sahada programlanabilir kapı dizileri (FPGA), bir tür programlanabilir lojik cihazlardır (PLD). Farklı karmaşıklıklara sahip dijital mantık fonksiyonlarını uygulamak için kullanıcı tarafından konfigüre edilebilen entegre devrelerdir. FPGA'lar özellikle çok hızlı ve sık döngü gerektiren, işlem yükü ağır olan uygulamalarda oldukça etkili bir şekilde kullanılabilirler. FPGA'ların, DSP ve diğer mikroişlemciler üzerindeki temel avantajlarından biri, programlama paralelliği özgürlüğüdür. FPGA'lar, farklı bölümlerde aynı anda bağımsız fonksiyonları gerçekleştirecek şekilde yapılandırılabildiğinden, performansları DSP'lerde olduğu gibi saat hızına bağlı değildir. Bu durum, dijital kontrol sistemleri için önemli avantajlar sağlar [68].

## 5.2 Programlanabilir Lojik Devreler

Programlanabilir lojik devre (PLD) yapıları 1970 yıllarında ortaya çıkmış ve o zamana kadar kullanılan AND, OR, NAND gibi standart lojik kapı elemanlarının farklı bağlantılar ile cihaz üzerinde gerçeklenmesine olanak sağlamıştır. AND-OR dizilerindeki programlanabilir bağlantıların yerleştirilmesinde farklılık gösteren üç tip PLD yapısı mevcuttur.

- PROM - Programlanabilir yalnızca okunabilir bellek (Programmable Read Only Memory)
- PAL- Programlanabilir Diziler (Programmable Array Logic)
- PLA- Programlanabilir Lojik Diziler (Programmable Logic Arrays)

PROM sadece bir kez programlanabilir, tekrar programlamak mümkün değildir. Programlama işlemi temel olarak ara bağlantıların sabit bırakılması veya bağlantıların kesilmesi ile gerçekleştirilir.



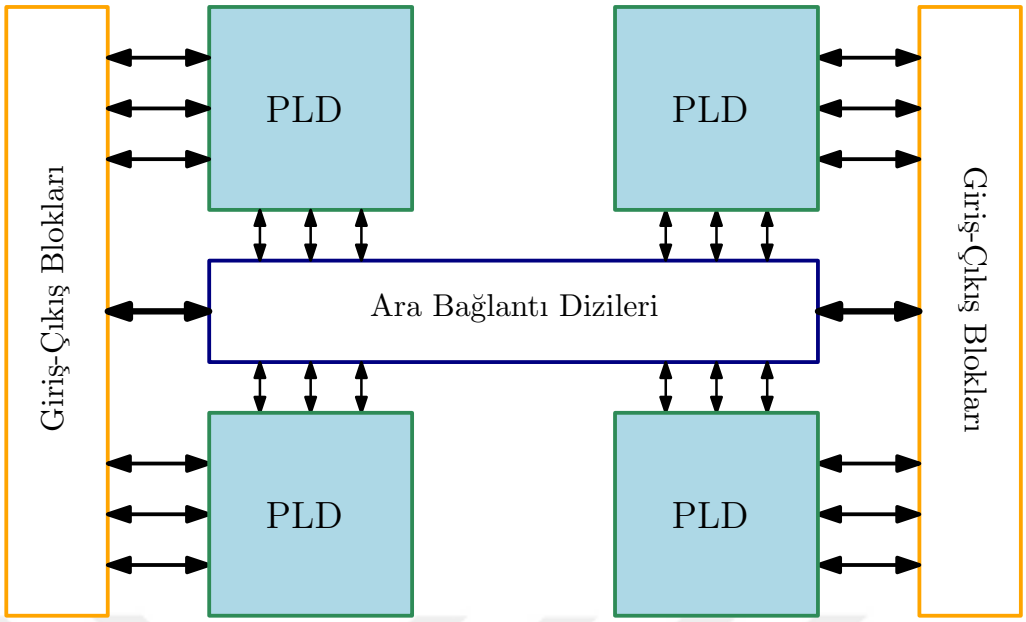

**Şekil 5.1** Temel PLD yapıları.

Üç temel PLD yapısına ait blok diyagramlar Şekil 5.1'de verilmiştir. Ayrı lojik kapılar kullanılarak yapılan tasarımlara göre aynı alan içerisinde yaklaşık 50 kat daha fazla kapının kullanılmasına olanak sağlayan PLD'ler ile özellikle karmaşık devre modellerinin tasarımları için gereken süre azalmıştır.

## 5.3 Karmaşık Programlanabilir Lojik Devreler

PAL'ler ve PLA'lar, giriş çıkış pin ihtiyaçları toplamda 32'den az olan küçük dijital devreler için kullanışlıdır. Daha fazla giriş ve çıkışa ihtiyaç duyan devreleri uygulamak için, birden fazla PLA veya PAL kullanılabilir. Ancak, bu, tasarımın performansını tehlikeye atacak ve ayrıca PCB üzerinde daha fazla yer kaplayacaktır. Bu gibi durumlarda, karmaşık bir programlanabilir cihaz (CPLD) daha iyi bir seçim olur. Bir CPLD, tek bir çip üzerinde çoklu devre blokları içerir. Her blok bir PLA veya PAL'a benzer. Bu mantık blokları, Şekil 5.2'te görüldüğü gibi CPLD'nin tüm bloklarının birbirine bağlanmasına izin veren programlanabilir bir anahtar matrisi veya ara bağlantı dizisi üzerinden birbirine bağlanır. Düşük güç tüketimi ve düşük maliyet nedeniyle, CPLD'ler çoğunlukla cep telefonları, dijital devre tasarımları gibi pille çalışan taşınabilir uygulamalar için kullanılmıştır.

1985 yılında `Xilinx` firmasının ortaya koyduğu FPGA tasarımı, hem kullanıcı kontrolü açısından hem de PLD'nin lojik kapı yoğunluğu özelliğini taşıması açısından oldukça ilgi görmüştür ve özellikle lojik devre tasarımlarında yaygın olarak




**Şekil 5.2** CPLD yapısı.

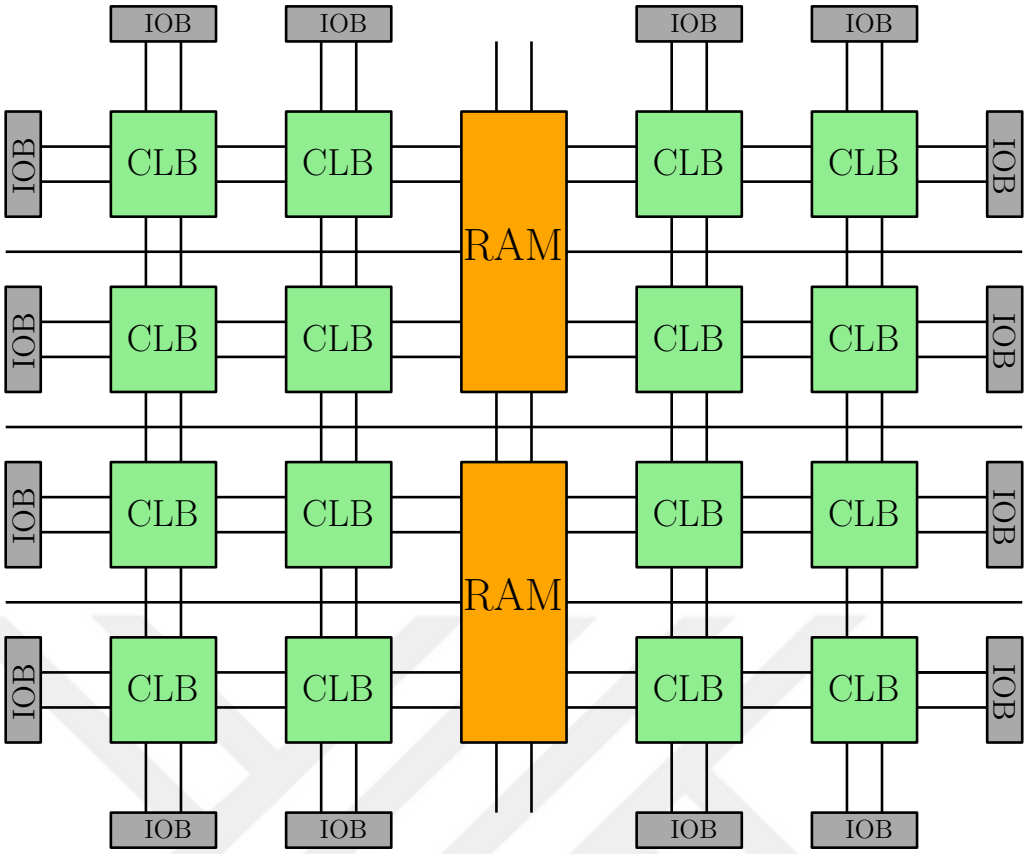
kullanılmaya başlanmıştır.

## 5.4 FPGA

Sahada programlanabilir kapı dizileri (FPGA'lar) yeniden programlanabilen, karmaşık problemlere çözüm olabilen çiplerdir. İlk FPGA, 1985 yılında, Xilinx'in kurucusu Ross Freeman tarafından icat edilmiştir. Aslında, FPGA'lar uygulamaya özgü entegre devrelerin (ASIC) ve işlemci tabanlı sistemlerin kullanımındaki avantajlı yanları bünyesinde birleştirir. İşlemci tabanlı bir sistemin yazılım esnekliğine sahip olmasının yanı sıra klasik işlemci yapıları gibi mevcut işlem çekirdekleri sayısı ile sınırlı olmaması, endüstride geniş bir kullanım alanına ulaşmasını sağlamıştır.

FPGA'ların çoğu arama tabloları (Look Up Tables-LUTs) tekniğine dayanmaktadır. Her FPGA çipi sınırlı sayıda önceden tanımlanmış kaynaktan oluşur. Yapılandırılabilir mantık blokları (Configurable Logic Blocks-CLB), FPGA'ların temel birimidir. Şekil 5.3'de gösterildiği gibi, yeniden yapılandırılabilir bir dijital devreyi gerçekleştirmek için programlanabilir ara bağlantılar kullanılır. Devrenin dış dünyayla olan iletişimini sağlamak için I/O Blokları (IOB), tasarımı daha esnek bir hale getirmek için de gömülü RAM'ler (Block RAM) kullanılmaktadır. Üretici firmaya göre farklı konfigürasyonlar olsa da, hepsinin mantık bloğu bağlantı hatlarının kesişme noktasında bir tür programlanabilir anahtar matrisi kullanılmaktadır.

Genel olarak, FPGA kaynak özelliklerinin değerlendirme ölçütleri, CLB sayısını, mantık bloklarının sayısını ve gömülü blok RAM gibi bellek kaynaklarının boyutunu




**Şekil 5.3** FPGA mimarisi.

içerir. Belirli bir uygulama için FPGA seçimi yapılırken, Şekil 5.3'de gösterilen mimarideki temel metriklerin yanı sıra çarpıcı sayısı ve saat frekansı gibi özelliklerin de dikkate alınması gerekir.

### 5.4.1 FPGA, DSP ve ASIC Teknolojileri

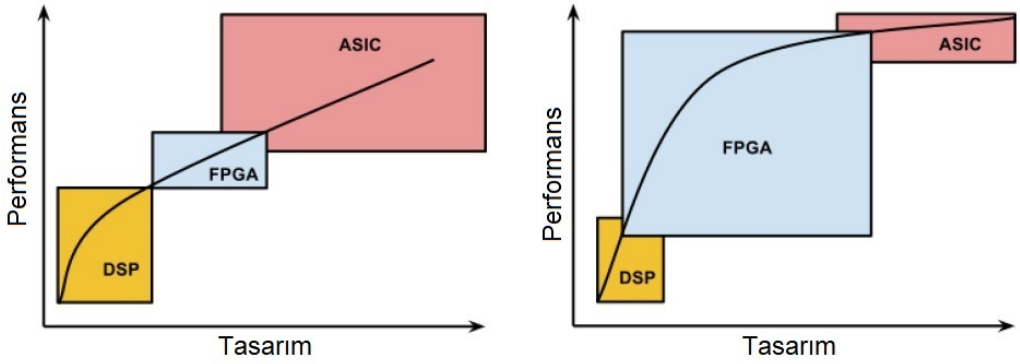
Uygulamaya özel entegre devreler (ASIC), genel amaçlı kullanım için değil, belirli bir amaca yönelik kullanım için özelleştirilmiş entegre devrelerdir ve çalışma ömürleri boyunca aynı işlevi görürler. Örneğin, telefonlar içindeki CPU bir ASIC'dir ve bütün çalışma süresi boyunca bir CPU olarak işlev görmesi için tasarlanmıştır. Mantıksal işlevi başka hiçbir şeyle değiştirilemez çünkü dijital devreleri silisyum kırmık üzerinde kalıcı olarak bağlı kapılardan ve bellek elemanlarından ve ara bağlantılardan oluşur.

ASIC tasarımlarda, FPGA'da olduğu gibi Verilog veya VHDL donanım tanımlama dilleri kullanılır. Bu iki yapı arasındaki temel fark, ASIC tasarımların silisyum içerisinde yapılması ve kalıcı olması, FPGA'larda ise programlanabilir ara bağlantılar ile tasarımın yapılmasıdır. Uygulamaya yönelik entegre devreler, yarı iletken çip özel üretim tesislerinde imal edilmektedir ve tasarım, üretim ve test süreçleri oldukça uzundur. ASIC'ler belirli bir amaç için tasarlandıklarından, hız, verim ve seri üretim için düşük

maliyet gibi önemli avantajlara sahiptir.

Dijital sinyal işlemcisi (DSP), dijital sinyal işlemenin operasyonel ihtiyaçları için optimize edilmiş mimarisi ile özel bir mikroişlemcidir. Çoğu genel amaçlı mikroişlemci, dijital sinyal işleme algoritmalarını başarıyla uygulayabilir, ancak gerçek zamanlı ve sürekli olarak matematik ağırlıklı bu tür işlemlere ayak uyduramayabilir. Ayrıca, özel DSP'ler genellikle daha iyi güç verimliliğine sahiptir, bu sayede cep telefonları gibi taşınabilir cihazlarda verimli bir şekilde kullanılabilirler.

Yazılım programlanabilir işlemcileri olarak DSP'ler, kısa tasarım süresi, nispeten düşük performans ve büyük esneklik ile tanımlanırken, uygulamaya özel işlemciler olarak ASIC'ler nispeten uzun bir tasarım süresi, sahada tekrar biçimlendirilmeme gibi özelliklerinin yanısıra yüksek performanslı tasarımlar olarak bilinir. FGPA'ların aksine, DSP'lerin sabit bir donanım yapılandırması vardır. FPGA ve DSP teknolojilerinin birlikte kullanıldığı çalışmalar bulunmaktadır. Bu çalışmalar sonucunda başarılı sonuçlar alınsa da bu tür hibrit yapılar tasarım zorlukları ve fazladan maliyeti beraberinde getirmektedir [69].



(a) 1990-2000 yılları arasında (b) 2000-2019 yılları arasında

**Şekil 5.4** FPGA-DSP-ASIC performans karşılaştırması [69].

2000'li yılların başına kadar DSP, ASIC ve FPGA teknolojileri, performans ve tasarım süreci açısından karşılaştırıldığında, FPGA'lar, Şekil 5.4a'da gösterilen karşılaştırma grafiğinde küçük bir uygulama alanına sahipti. Ancak günümüzde FPGA'ların çok daha geniş uygulama alanı bulduğu kabul edilmektedir. Teknolojik gelişmeler sayesinde Şekil 5.4b'de görüldüğü gibi bu fayda grafiğindeki alan FPGA'lar için oldukça genişlemiştir. FPGA'ların bu derece yaygınlaşması ve kullanımlarda kolaylıklar sağlamasının altında, artan kapı sayısı, depolama alanı, güç tüketimi ve maliyeti bakımından gelişmelerin yanı sıra, programlamanın, FPGA donanımı ile iletişimini kolaylaştıran üst düzey yazılım araçlarıyla desteklenmesi gerçeği de yatmaktadır [69].

### 5.4.2 Güç Elektroniğinde FPGA Temelli Tasarımların Avantajları

Güç elektroniği devrelerinde, tasarım ve geliştirme sırasında esnek yeniden programlama, programlanabilir dijital mantık gibi avantajlar, çoklu giriş / çoklu çıkış kontrol stratejilerini uygulama yeteneği, kolay uyumluluk ve arka plan işlemleri olarak yeniden yapılandırma kodlarını uygulama imkânı pratik güç elektroniği ürünlerine gerçek bir ticari değer sunar. FPGA mimarileri, motor sürücü devreleri için düşünüldüğünde aşağıda sıralanan avantajları sunmaktadır:

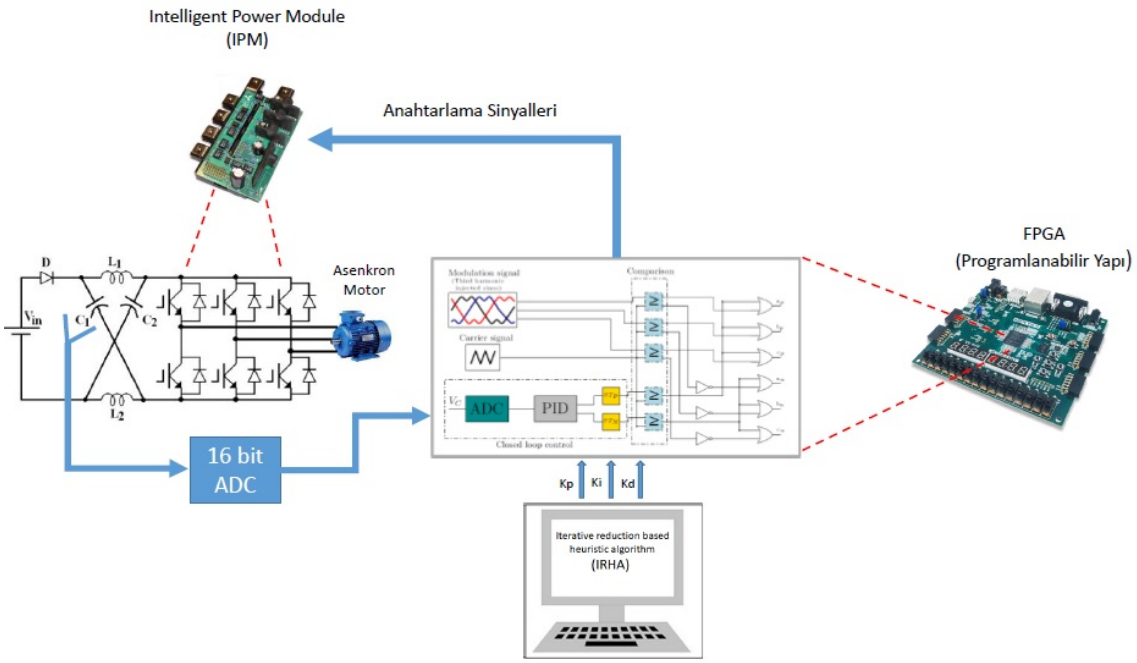
- Tasarım Kolaylığı- FPGA'lar bir tasarımda, uygulama adımı için en basit yolu sunar. Bir tasarım tanımlandıktan sonra, tasarımı optimize etmek, sığdırmak ve simüle etmek için sadece yazılım geliştirme araçları kullanılır.
- Tasarım entegrasyonu — Gömülü bir işlemciyi, kodlayıcı arabirimini, DSP motor kontrol algoritmalarını ve endüstriyel ağı tek bir cihazda birleştirme imkânı sunmaktadır.
- Performans ve deterministik gecikme - Deterministik işlemler gerektiren motor kontrol algoritmaları FPGA üzerinde gerçeklenebilir ve düşük gecikme ile farklı motor türlerinde daha yüksek performans ve verimlilik elde edilir.
- Tasarım esnekliği- FPGA, ihtiyaç duyulduğu kadar ara birim uygulamalarına olanak tanır.

# 6
# EMPEDANS KAYNAKLI İNVERTER İÇİN FPGA TABANLI KONTROL TASARIMI

## 6.1 Giriş

Geçmiş yıllarda endüstrideki DC motor kullanım oranı, sağlamış olduğu yüksek başlangıç torku ve aynı zamanda hızlı regülasyon kapasitesine sahip olması sayesinde oldukça artmıştır [70]. Ancak fazla bakım gerektiren ve tehlikeli ortamlar için uygun olmayan bazı dezavantajları nedeniyle kullanım alanları son yıllarda azalmaktadır [71]. Son dönemde, indüksiyon motorun sağlamlığı, daha az bakım gerekliliği, yüksek verim ve düşük maliyeti nedeniyle DC motor yerine sanayide işgücünün yerini almıştır [72], [73]. İndüksiyon motorların verimi, sürücü devresine, kullanılan PWM modeline ve kapalı çevrim kontrol yapısına oldukça bağlıdır. Bu nedenle motor sürücü devreleri güç elektroniğinin en önemli alanlarından biridir.

ZSI, birçok güç elektroniği alanında olduğu gibi motor sürücü uygulamalar için uygun güç dönüştürücü topolojilerinden biridir [1]. Empedans kaynaklı inverterleri diğer dönüştürücü modellerinden ayıran en önemli avantajı, sıfır durumuna eklenen ST durumu ile tek kademeli dönüşümde, düşürücü ve yükseltici özelliğine sahip olmasıdır. Literatürde temel olarak dört faklı ST kontrol yapısı bulunmaktadır, bunlar Simple Boost Control (SBC), Maximum Boost Control (MBC), Maximum Constant Boost Control (MCBC) ve Modified Space Vector Modulation Boost Control (MSVMBC) [74], [75]. Uygulanan kapalı çevrim kontrol yapıları incelendiğinde, bu çalışmaları, doğrudan DC-link kontrol ve dolaylı DC-link kontrol olarak sınıflamak mümkündür [76]. Tepe DC hat gerilimi doğrudan ölçüm tekniğinde sabit tutulur ancak kontrol şeması ilave devrelerle birlikte daha karmaşık hale gelir. Bu sınırlamayı gidermek için, en yüksek DC hat gerilimi, dolaylı DC hat kontrolü kullanılarak tahmin edilir [7]. Dolaylı DC hat kontrolünde empedans kaynak ağındaki $V_C$'nin ölçümüne ve tepe DC hat gerilimini tahmin etmek için $V_C$ ve $V_g$'nin ölçümüne dayanan iki farklı yöntem mevcuttur. Ancak bu durumda DC-link gerilimi dolaylı yoldan kontrol edildiğinden kontrol ünitesinin hızı çok önemli bir hal almaktadır. Çünkü girişte görülebilecek




**Şekil 6.1** Tasarımı yapılan sistemin garfiksel özeti.

ani değişimler, çıkışta yüksek gerilime yol açarak, anahtar üzerindeki gerilim stresini arttırıp harmonik bozunuma yol açabilir [13], [77]. FPGA kullanımı ile çıkışta görülebilecek istenmeyen gerilim ve akım dalgalanmaları, çıkış ile kontrol ünitesi arasındaki gecikme azaltılarak minimuma indirilebilir [78].

PWM ve kapalı çevrim kontrol dışında ZSI'nın devre parametrelerinin belirlenmesi sürücü devresinin güvenilirliği açısından oldukça önemlidir. Bu kasamda sezgisel algoritmalar yardımı ile yapılan optimizasyon çalışmaları ile devrenin güç tüketimi ve harmonik bozulum azaltılarak devrenin verimi arttırılmıştır [6], [79].

PID ve SVPWM kontrol genellikle analog bileşenleri kullanan donanımlar veya bilgisayar tabanlı sistemleri kullanan yazılımlar ile gerçeklenir. FPGA ve donanım tanımlama dillerinin ortaya çıkması ile bu yapılar paralel çalışma, programlanabilir bit genişliği ve mutlak determinizm gerektiren kontrol yapılarının tasarımını kolaylaştırmıştır. PID ve SVPWM kontrolünü FPGA üzerine inşa etmek, hızı, doğruluğu, güç verimliliğini, artırır [80], [81], [82].

Bu bölümde, ZSI için IRHA tabanlı kapalı çevrim ve uzay vektör PWM (SVPWM) kontrol, FPGA üzerinde gerçeklenmiştir. Yapılan tasarımın genel yapısı Şekil 6.1'de gösterilmiştir. IRHA ile sistemi kararsız hale sokmadan, kontrol parametreleri optimum şekilde belirlenmiştir. Yapılan çalışmada PWM ve PID kontrol yapıları, diğer dijital uygulama tekniklerine göre hız, doğruluk, güç, kompaktlık ve maliyet verimliliğini arttıran FPGA ortamında hazır IP kullanılmadan, VHDL donanım dili ile gerçeklenmiştir. Böylece, güç tüketimi kontrol üniteleri için olabildiğince

minimum seviyede tutulmuştur. SVPWM yapısının dijital ortamda gerçeklemesi için üçüncü harmonik ekleme yöntemi kullanılmıştır. Simülasyon sonuçları ile durum uzay ortalama model doğrulanmış ve kontrol yapısının doğruluğu deneysel sonuçlar ile kanıtlanmıştır. Ayrıca devre parametreleri genetik tabanlı optimizasyon algoritmalarından olan DGA ile belirlenmiş, deterministik yöntem ile çıkarılan sonuçlar ile doğrulanmıştır. Optimizasyon sırasında kullanılan DEA parametre değerleri; $x_j^{(l)} = 0$ ,$x_j^{(u)} = 2$, $NP = 5000$, $V_{DEA} = 4$, $F = 0.7$, $CR = 0.5$, $G = 80$. DGA ile yapılan optimizasyon sonucunda elde edilen devre parametre değerleri (C,L,D ve anahtarlama frekansı) Tablo 6.1'de verilmiştir.

**Tablo 6.1** Optimizasyon Sonucunda Elde Edilen Tasarım Parametreleri.

| Devre Parametresi | Değeri |
|---|---|
| $L$ | 987.36 $\mu H$ |
| $C$ | 456.58 $\mu F$ |
| Anahtarlama frekansı | 2 $kHz$ |
| ST çalışma oranı | 0.1 $ms$ |

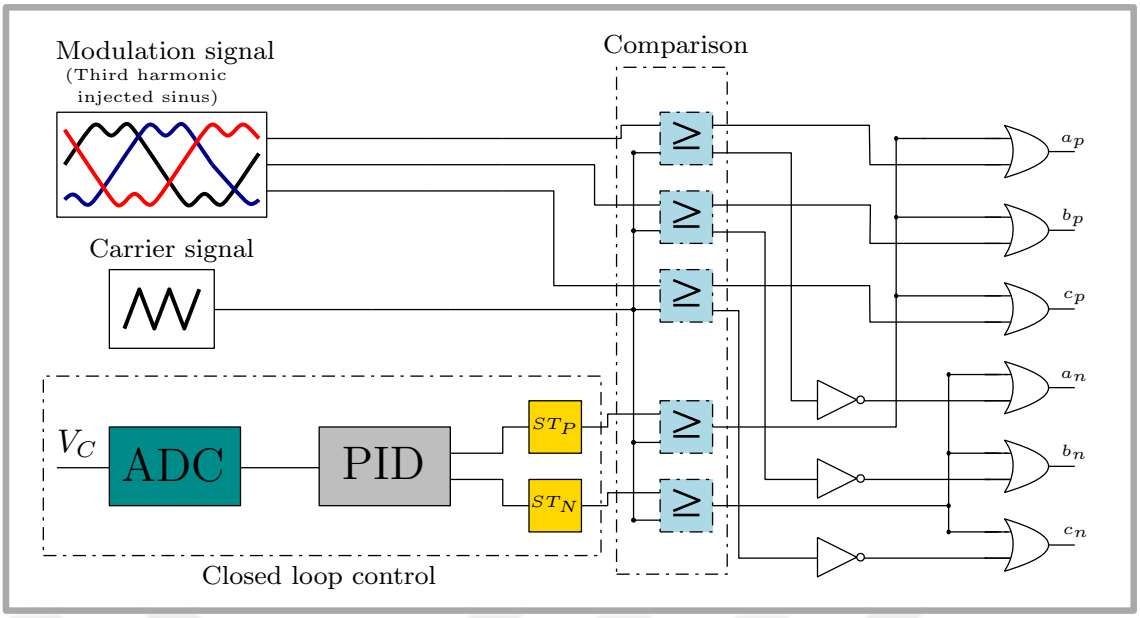
Bu optimizasyon işleminde maliyet fonksiyonu olarak 2. bölümde açıklanan kapasite ve indüktans değerlerinin hesaplama formülleri kullanılmıştır.

## 6.2 FPGA Üzerinde Gerçekleme

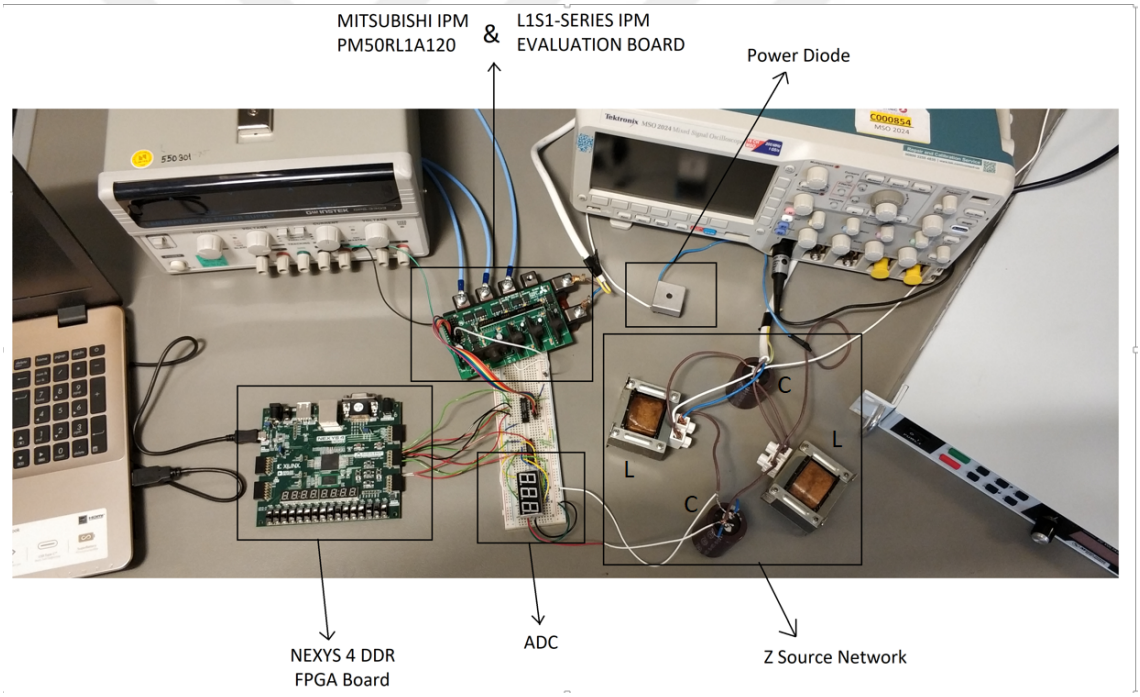
Bölüm 4'te verimliliği ve güvenilirliği ispat edilen kontrol sistemlerinin, donanım üzerinde gerçekleştirilebilmesi için gerekli tasarımlar ve alt yapılar hazırlanmıştır. PWM ve kapalı çevrim (PID) kontrol yapıları ayrı ayrı ele alınmıştır. İlk aşamada sinüs PWM yapısının FPGA üzerinde gerçeklemesi yapılmış ve çalışması gözlenmiş, daha sonra SVPWM yapısı kapalı çevrim kontrol ile birlikte laboratuvar ortamında gerçeklenmiştir. İki kontrol yapısı tek bir FPGA üzerinde Nexys 4 DDR geliştirme kartı kullanılarak gerçeklenmiştir. FPGA'nın programlanabilir yapısı, donanım üzerinde değişime gerek duymadan, gerçek zamanlı kontrol algoritmalarında istenilen değişim veya düzenleme yapabilme esnekliği sağlar.

Şekil 6.2'de programlanabilir donanım gerçeklemesi yapılan PWM ve geri besleme sisteminin blok bazında gösterimi verilmiştir. Devre modeli laboratuvar ortamında kurularak, farklı PWM teknikleri ile test edilmiştir.

Çıkışlar öncelikle `ISIM` simülasyon ortamında ardından osiloskop ile FPGA çıkışından alınmıştır. Çıkış sinyallerinden emin olunan PWM ve kapalı çevrim kontrol yapıları laboratuvar ortamında kurulan devre ile gerçeklenmiş ve ölçüm sonuçları ile uygulanabilirliği ve güvenilirliği ispat edilmiştir. Şekil 6.3'te laboratuvar ortamında




**Şekil 6.2** FPGA tabanlı PWM ve geri besleme kontrol sistemleri.




**Şekil 6.3** ZSI devresinin laboratuvar ortamında kurulan deneysel devre fotoğrafı.

kurulan devre fotoğrafı gösterilmiştir. Bu devrede kullanılan elemanlar ile ilgili bilgiler tablo 6.2'de gösterilmiştir.

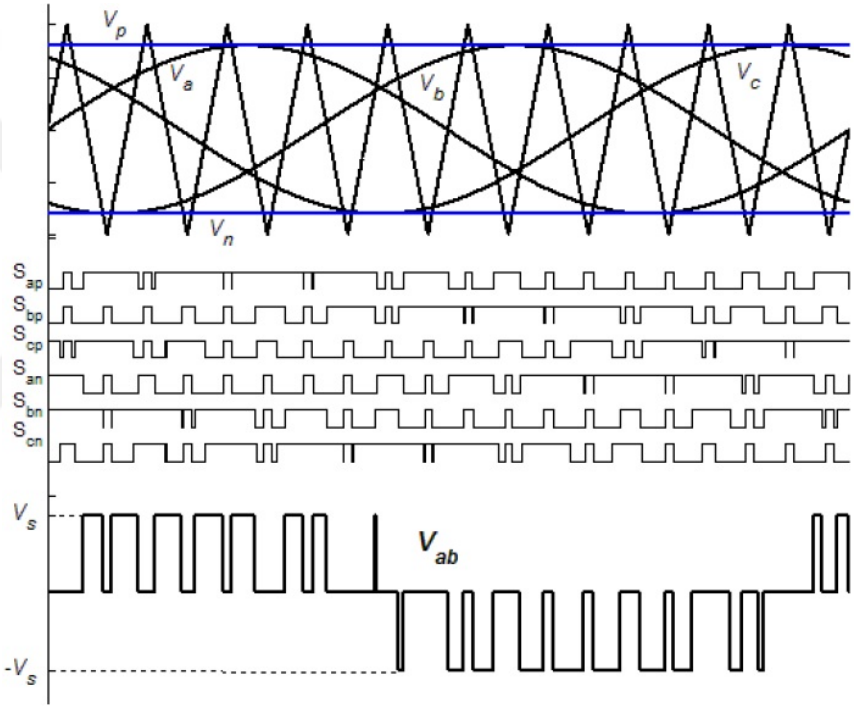
### 6.2.1 FPGA Tabanlı Sinüs PWM Kontrol

Geleneksel Sinüs PWM (SPWM) kontrol yöntemine, ZSI'lara özgü olan ST oranı eklenerek yapı basit yükseltici kontrol yöntemine dönüştürülmüştür. BYasit yükseltici

**Tablo 6.2** Sürücü Devresi Elemanları.

| Eleman | Açıklama |
|---|---|
| Empedans ağında kullanılan kondansatör | $470\mu f$ $450V$ |
| Empedans ağında kullanılan endüktans | $1mH$ $3A$ |
| FPGA | Xilinx Nexys 4 DDR |
| Giriş Diyotu | (SUR 2x100-12 Ultra Fast Recovery Diode) |
| İnverter köprüsü | (Mitsubishi, IPM -IGBT-, PM50RL1A120) |
| IPM sürücü devresi | L1S1-series IPM evalution board |

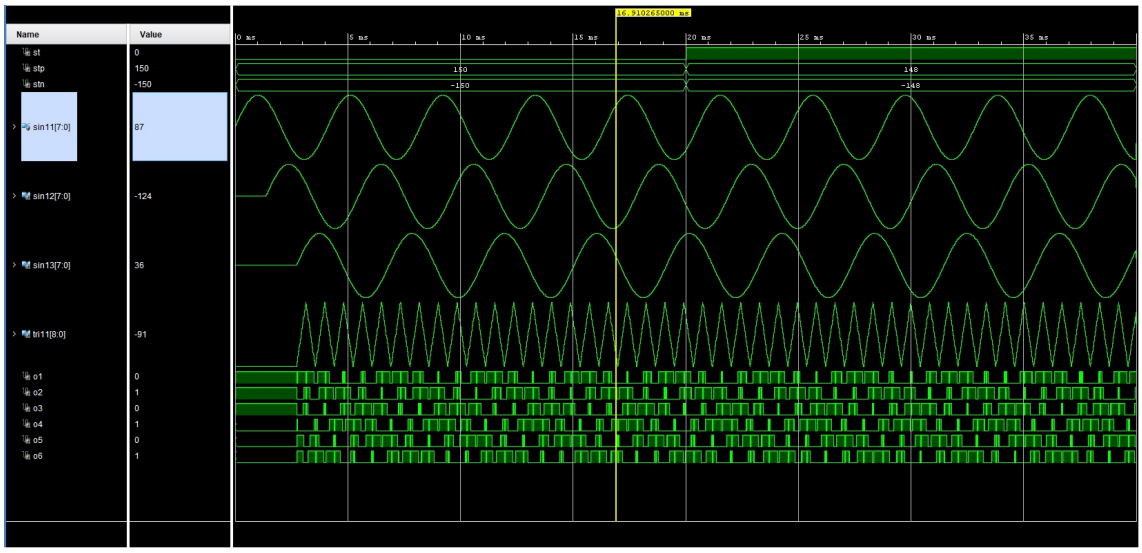
kontrol yönteminde, bir anahtarlama periyodu boyunca tüm PWM sıfır durumlarında istenilen oranda ST eklenir. Altı aktif durum, geleneksel taşıyıcı bazlı PWM'de olduğu gibi değişmeden korunur.



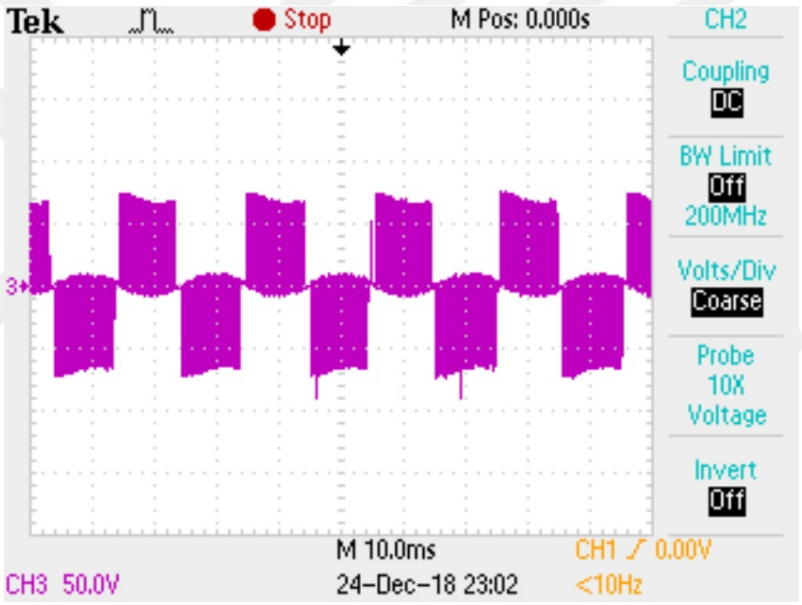

**Şekil 6.4** Basit yükseltici kontrol [83].

Üçgen dalga biçimi, üst zarf $V_p$'den daha büyük olduğunda veya alt zarf $V_n$'den daha düşük olduğunda, kontrol sinyali, Şekil 6.4'de gösterildiği gibi ST durumuna dönüşür.

Bu yapı ilk olarak `Vivado Design Suit` programı ile VHDL dilinde yazılarak `ISIM` simülasyon ortamında gerçeklenmiştir. Bu yapı için öncelikle bir sinüs ve üçgen dalga kütüphanesi oluşturulmuş, daha sonra elde edilen sinyaller hem birbirleri ile hem de ST durumunun oluşması için belirlenen DC değerler ile karşılaştırılarak BYK anahtarlama sinyalleri üretilmiştir. Elde edilen simülasyon sonuçları Şekil 6.5'te görülmektedir.




**Şekil 6.5** Basit yükseltici kontrol simülasyon çıktısı.




**Şekil 6.6** Basit yükseltici kontrol faz gerilimi osiloskop çıktısı.

Şekil 6.6'da, basit yükseltici kontrol ile elde edilen faz geriliminin FPGA çıkışından alınan osiloskop çıktısı görülmektedir.

Bu modülasyon tekniği incelendiğinde elde edilen DC bara gerilim değerinin sıfır ile %78, 54'ü arasında bir çıkış gerilimi oluşturulduğu görülmektedir. Bu sınırlı aralığın dezavantajı, üçüncü harmonik Enjeksiyon stratejisi THIPWM ile kolayca çözülebilmektedir [84].

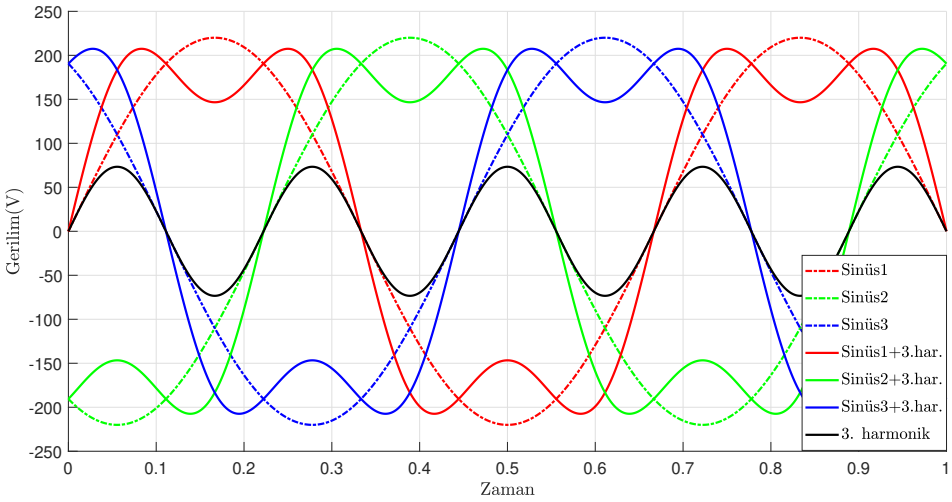
### 6.2.2 FPGA Tabanlı Uzay Vektör PWM Kontrol

Sabit bir DC kaynaktan, ihtiyaç duyulan genlikte ve frekansta bir AC gerilimi üretmek için inverter anahtarları, modüle edici bir devre kullanılarak açılır ve kapatılır.

İnverterlerin verimi temel olarak kullanılacak olan PWM yöntemine bağlıdır.

SVPWM, VSI'lar için yaygın olarak kullanılan gerçek zamanlı çalışmaya uygun bir modülasyon tekniğidir. Bu inverter modelinin karmaşık yapısından dolayı donanım üzerinde gerçeklenmesi oldukça zor bir süreçtir. SVPWM oluşturma aşamaları incelendiğinde, maksimum gerilim çıktısı açısından fiziksel sınırlar üçüncü harmonik enjeksiyon kullanımı ile aşılabilmektedir. Böylece işlem kolaylığı sağlanarak, istenilen modülasyon FPGA ortamında kolaylıkla gerçeklenebilecek bir hal almıştır. Bu işlem literatürde THIPWM olarak adlandırılmaktadır [84].

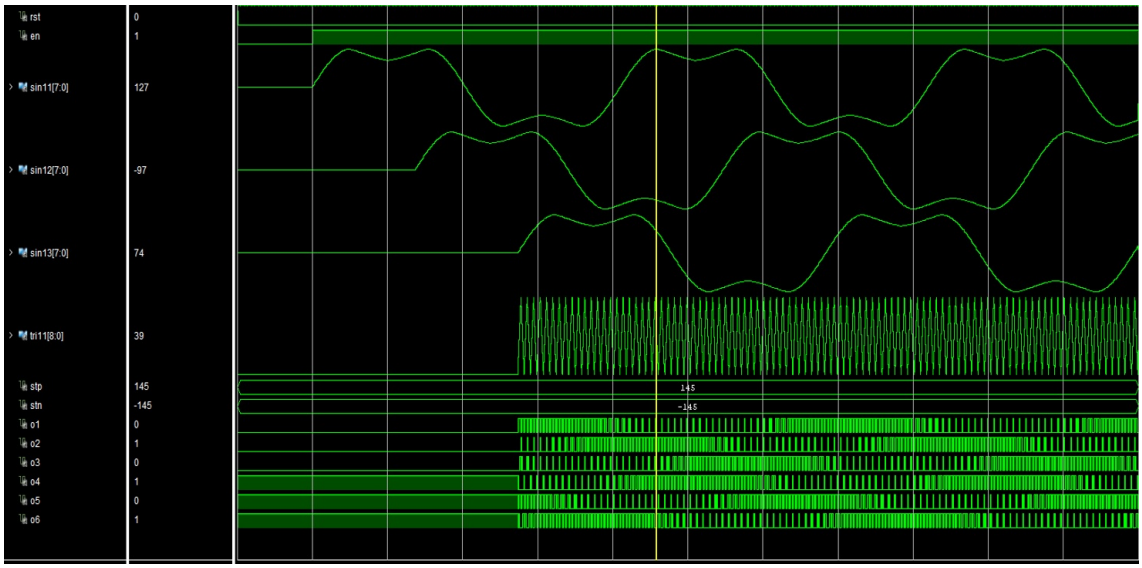
Üçüncü harmonik ekleme işleminde referans sinyali temel ve üçüncü harmonik frekans bileşenlerinden oluşur ve referans sinyalinin frekansı çıkışta istenilen frekans değeri ile aynı olmalıdır. Anahtarlama frekansını, rampa sinyali olarak kullanılan üçgen dalganın periyodu belirler.




**Şekil 6.7** Üçüncü harmonik enjeksiyon dalga şekli.

FPGA gerçeklemesi yapılırken, öncelikle `MATLAB` ortamında sinyaller üretilmiş ve üretilen sinyale, belirlenen aralıklarda kuantalama işlemi uygulanarak bir LUT oluşturulmuştur. Daha sonra `Vivado Design Suit` ile VHDL donanım programlama dili kullanılarak bu yapı FPGA gerçeklemesi için kodlanmıştır. Elde edilen sinyal rampa sinyali ile karşılaştırılarak PWM üretilmiş ve ST çalışma durumu eklenerek ZSI için uygun bir hale getirilmiştir. Simülasyon sonucunda elde edilen sinyaller Şekil 6.8'de gösterilmiştir.

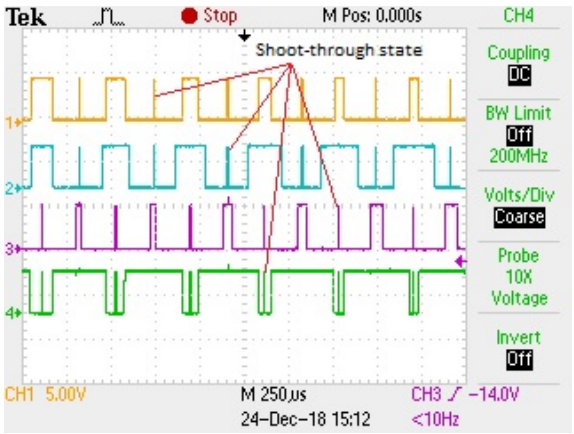
Şekil 6.7 incelendiğinde, siyah renkte çizilen üçüncü harmonik eğri, üç fazın tümü için ortaktır. Her üçü de süper konumlandırılmış ve tamamen aynıdır, yani üçüncü harmoniğin artık ortak bir mod dalga formu olduğu anlamına gelir. Böylece motor devresinin tüm parçaları DC bağlantısına göre frekansın üç katı kadar salınacaktır.



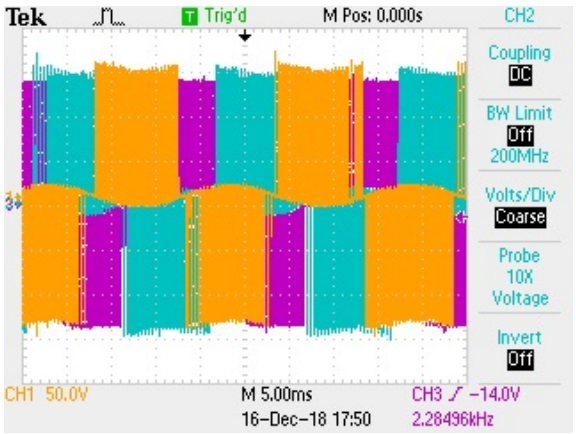

**Şekil 6.8** Üçüncü harmonik enjeksiyon ile üretilmiş PWM simülasyonu.

Bu yöntem ile modülasyon indeksi 0 ile 1.154 arasında bir değer alabilmektedir. Bu sayede çıkış gerilim aralığı SPWM ile kıyaslandığında oldukça geniştir.

Şekil 6.9a'da FPGA çıkışında elde edilen 6 anahtarlama sinyalinin ilk 4'ü için osiloskop ölçümleri verilmiştir. Bu sayede özellikle ST çalışma durumunun incelenmesine olanak sağlanmıştır. Osiloskop çıktıları incelendiğinde ST oranın periyot içine istenilen değerde ve uygun olarak eklendiği görülmüştür. ST çalışma durumu, sisteme maksimum yükseltici kontrol yöntemi ile entegre edilmiştir. Şekil 6.9b'de elde edilen faz gerilimlerinin osiloskop çıktısı verilmiştir.




**(a)** Anahtarlama sinyalleri




**(b)** Faz gerilimleri

**Şekil 6.9** FPGA çıkışından alınan anahtarlama sinyalleri ve THIPWM kontrol ile elde edilen faz gerilimlerinin osiloskop çıktıları.

Kurulan devre $120V$ giriş gerilimi ile beslenmiş ve $D = 0.25$ olarak ayarlanmıştır. Devre endüktif olarak yüklenmiş, $1.1kW$ ($R_x = 12.5\Omega$, $L_x = 340\mu H$) gücünde bir asenkron motor sürülmüştür ve devrenin güç kaynağından çektiği akım $I_G \cong 0.41A$. İdeal durum (giriş gücü ($P_G$) ve çıkış gücünün ($P_O$) eşit olduğu durum) için devrede görülmesi beklenen gerilim ve akım değerleri 6.1'de verilmektedir.

$$\begin{aligned} V_c &= \frac{1-D}{1-2D}V_g = \frac{1-0.25}{1-2x(0.25)}x120 = 180 \\ V_{dc_{peak}} &= \frac{V_g}{1-2d} = \frac{180}{1-(2x0.25)} = 200V \\ V_{out_{peak}} &= \frac{V_{dc_{peak}}m}{\sqrt{3}} = \frac{200x0.75}{\sqrt{3}} \cong 86.6V \\ P_G &= V_G x I_G = 120x0.4069 \cong 48.8W \\ P_O &= 3xV_f x I_O = 3x86.6x I_O = 48.8W \\ I_O &\cong 0.19A \end{aligned} \tag{6.1}$$

Elde edilen deneysel sonuçlar Tablo 6.3'te gösterilmiştir.

**Tablo 6.3** Ölçüm sonuçları.

| Parametre | Okunan Değer |
|---|---|
| Giriş gerilimi $V_G$ | $120V$ |
| Giriş akımı $I_G$ | $0.41A$ |
| Kapasite gerilimi $V_C$ | $176.9V$ |
| DC bara gerilimi $V_{DC}$ | $184.63V$ |
| Faz-nötr gerilimi $V_f$ | $79V$ |
| Çıkış akımı $I_O$ | $0.185A$ |

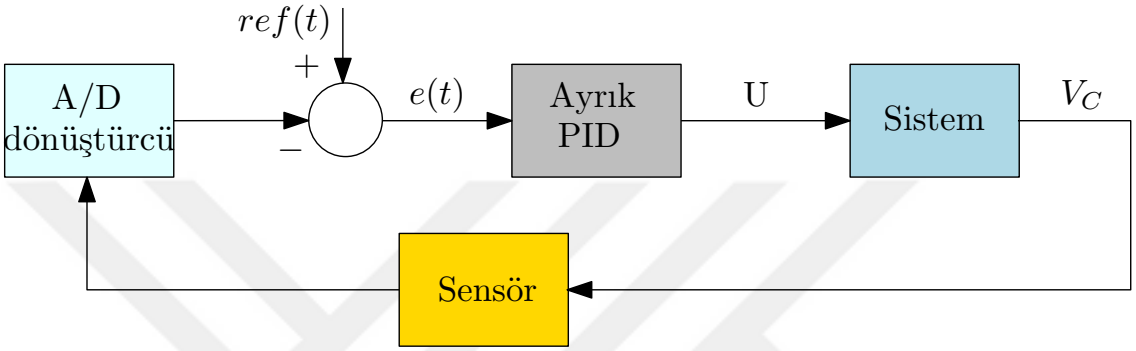
### 6.2.3 FPGA Tabanlı Kapalı Çevrim Kontrol Tasarımı

Kapalı çevrim kontrol yapılarında hız önemli bir faktördür. Bunun yanında sistemin programlanabilir yapısının olması da sistem performansını doğrudan etkiler. Bu çalışmada, kapalı çevrim kontrol için FPGA tabanlı PID kontrolör kullanılmıştır. Kontrolör katsayıları, IRHA optimizasyon yöntemi ile çevrimdışı olarak tasarlanmış, daha sonra FPGA üzerinde entegrasyonu yapılmıştır.

PID algoritması, üç temel moddan oluşur; Oransal, İntegral ve Türev modları. Bu algoritmayı kullanırken, hangi modların kullanılacağına (P, I veya D) karar vermek ve ardından kullanılan her mod için parametre değerlerini belirlemek gerekir. Bu çalışmada parametre optimizasyonu IRHA ile gerçeklenmiş ve sonuçlar sunulmuştur.

Literatürde PID kontrol yapılarının gerçeklenmesi için çoğunlukta mikroişlemciler ve DSP çipleri kullanılmıştır ancak literatürde FPGA'lar kullanarak PID kontrol işlemi hakkında çok az çalışma bulunmaktadır [85],[86]. FPGA tabanlı PID kontrol yapıları yüksek hız, çoklu tasarımların gerçeklenebilmesi ve düşük güç tüketimi gibi avantajlar sağlamaktadır.

PID kontrolör içeren bir geri beslemeli kontrol sistemi Şekil 6.10'da gösterilmiştir. Burada $ref$, $y$, $e$ ve $u$ sırasıyla referans sinyal, geri besleme sinyali, hata değeri ve kontrol çıkışını ($D$) ifade eder.




**Şekil 6.10** PID tabanlı kapalı çevrim kontrol yapısı.

$$U(t) = K_p\left(e(t) + \frac{1}{T_i}\int e(t)dt + T_d\frac{de(t)}{dt}\right) \tag{6.2}$$

$$U_n = K_p e_n + K_i\sum_{i=0}^{n} e_i + K_d(e_n - e_{n-1}) \tag{6.3}$$

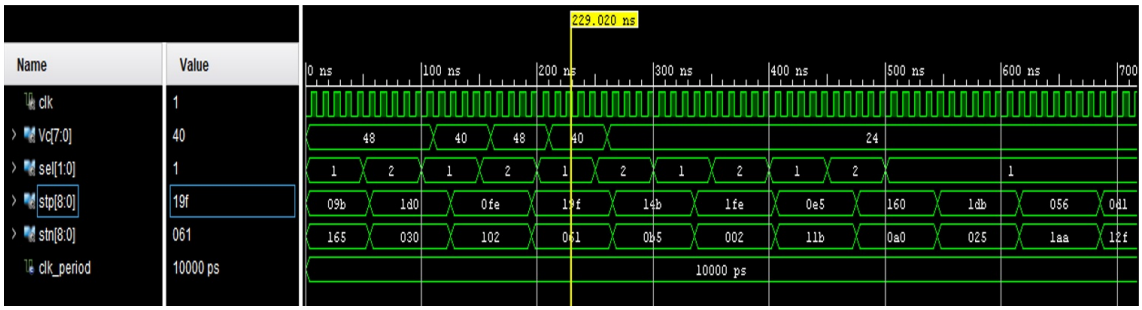
$$U_n = U_{n-1} + K_0 e_n + K_1 e_{n-1} + K_2 e_{n-2} \tag{6.4}$$

Katsayıların hesaplanması için 6.5 kullanılır.

$$\begin{aligned} K_0 &= K_p + K_i + K_d \\ K_1 &= 2(K_i + 2K_d) \\ K_2 &= K_d \end{aligned} \tag{6.5}$$

Dijital ortamda gerçeklenebilmesi için ayrık zamanlı ele alınan PID kontrol yaklaşımı, diğer tasarımlar için kullanılan VHDL programlama dili kullanılarak `Vivado Design Suit` ortamında Nexys 4 DDR geliştirme kartı için kodlanmış ve

Şekil 6.11'de görüldüğü gibi ISIM ortamında simülasyonu yapılmıştır.




**Şekil 6.11** PID kontrol yapısı simülasyonu.

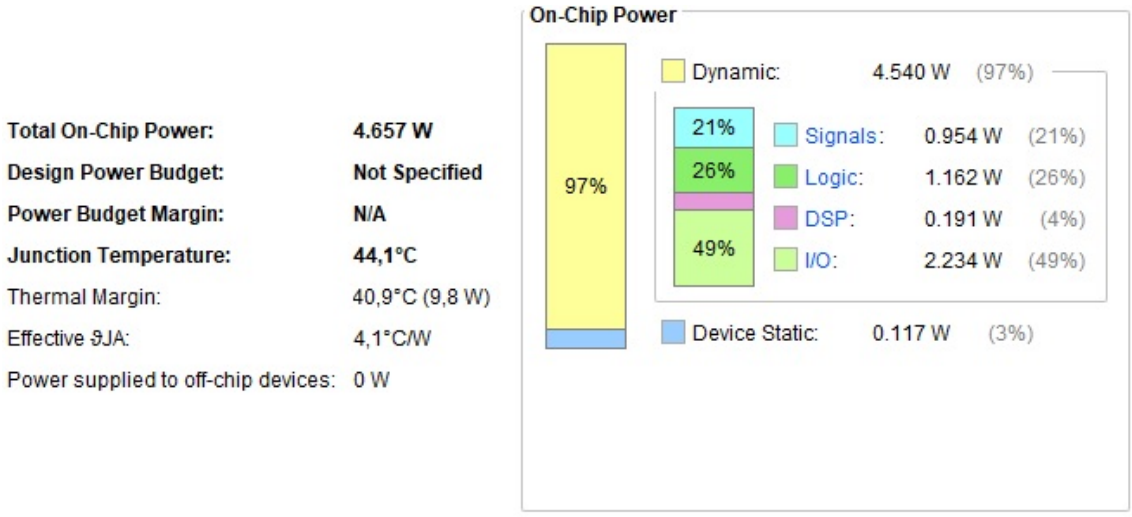
Laboratuvar ortamında kurulan devrede, kapalı çevrim kontrolörün çalışmasının gösterilmesi amacı ile giriş gerilimi %20'lik ve %30'luk oranlarda arttırılıp azaltılarak, DC bara gerilimi ile faz-faz geriliminin tepkisi gözlenmiştir.

Şekil 6.13'de giriş yükünün %20 artışına karşı, devre çıkışında görülen fazlar arası gerilim tepkisi, alınan deneysel sonuçlar ile gösterilmiştir. Kapalı çevrim kontrolde FPGA kullanılması, geri besleme hızını oldukça yükseltmiş ve bu sayede sistemin bozulmayı reddetme özelliğinin iyi bir seviyede olduğu gözlenmiştir.

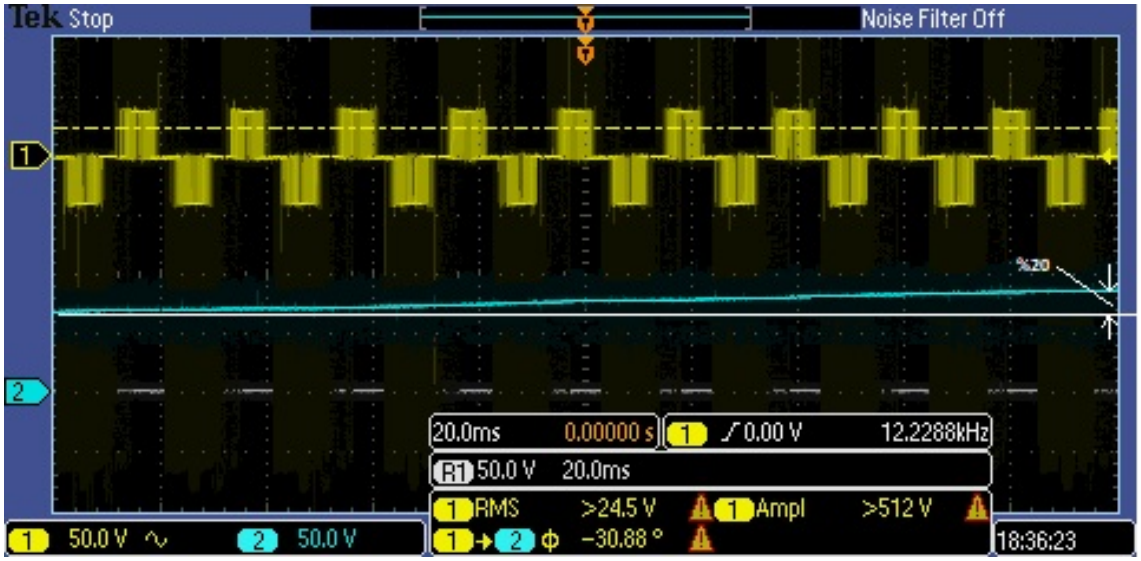
Aynı şekilde giriş gerilimindeki %20'lik artışın DC bara üzerindeki etkisi Şekil 6.14'de sergilenmiştir. Şekil 6.15 incelendiğinde, giriş yükündeki %30'luk düşüş durumunda DC hat geriliminin tepkisi görülmektedir. Osiloskop çıktıları incelendiğinde giriş sinyalindeki değişimler sonucunda çıkışın maksimum %5 seviyesinde sıçramalar yaparak toparlandığı gözlemlenmiştir. Bu tasarımda Xilinx Nexys 4 DDR geliştirme kartı kullanılmıştır ve kullanılan kaynak bilgileri Tablo 6.4'de gösterilmiştir. Kullanılan kaynaklara ilişkin harcanan güç değerleri de Şekil 6.12'de gösterilmiştir. Kullanılan kaynak bilgileri incelendiğinde, farklı uygulamalar veya çalışma alanları için oluşacak ek tasarım ihtiyaçları aynı FPGA bünyesinde karşılanabilir .

**Tablo 6.4** FPGA'da Kullanılan Kaynak Bilgileri.

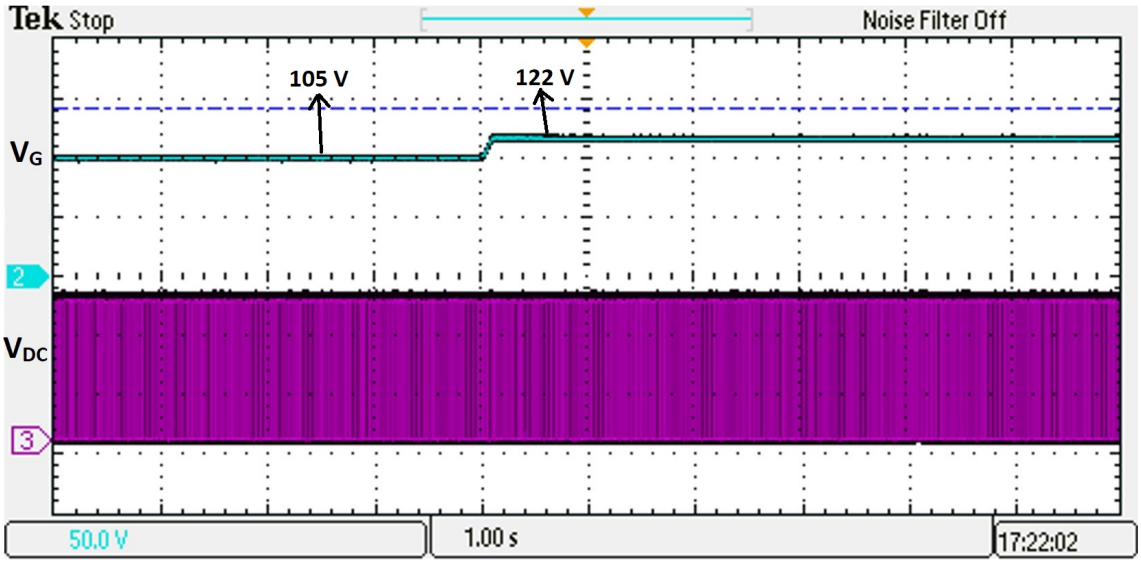
| Kaynak | Kullanılan | Toplam Sayı | Kullanma oranı % |
|---|---|---|---|
| LUT | 755 | 63400 | 1.19 |
| FF | 176 | 126800 | 0.14 |
| DSP | 1 | 240 | 0.42 |
| IO | 19 | 210 | 9.05 |
| BUFG | 4 | 32 | 12.5 |



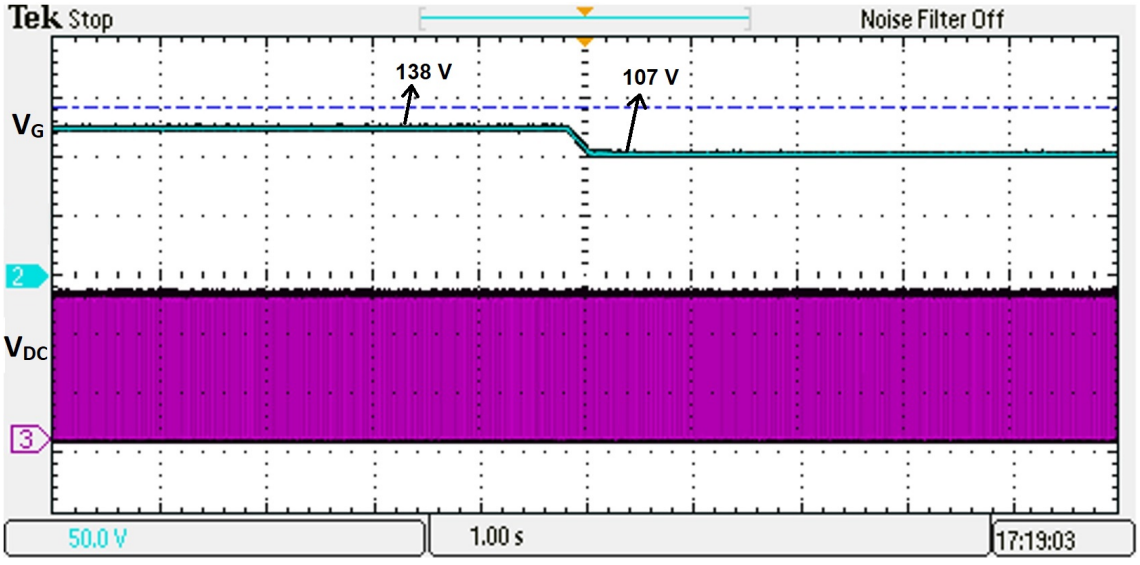

**Şekil 6.12** FPGA ortamında gerçeklenen kontrol tasarımının güç analizi sonuçları.




**Şekil 6.13** Giriş geriliminde kademeli değişime maruz kalan empedans kaynaklı inverter faz-faz geriliminin tepkisi için osiloskop çıktısı.




**Şekil 6.14** Giriş geriliminde %20'lik artışa maruz kalan empedans kaynaklı inverter DC bara geriliminin tepkisinin osiloskop çıktısı.




**Şekil 6.15** Giriş geriliminde %30'luk azalmaya maruz kalan empedans kaynaklı inverter DC link geriliminin tepkisinin osiloskop çıktısı.

# 7
# SONUÇ VE ÖNERİLER

Bu tez çalışmasında, motor sürücü devrelerinde kullanılmak üzere ZSI için yeni bir optimizasyon yaklaşımı ile kontrolör tasarımı yapılmıştır. İlk olarak üç çalışma durumu (aktif, sıfır ve yükseltici mod) göz önünde bulundurularak AC yüklü gerçekçi bir ZSI modeli türetilmiş ve bu model kapalı devre kontrolör tasarımı için kullanılmıştır. ZSI devresi için kapalı çevrim kontrolör tasarımında karşılaşılan en büyük zorluk olan doğrusal olmama durumunun üstesinden gelmek için kazanç planlamalı kontrol yöntemine başvurulmuştur.

PID kontrolörü etkili olmasına rağmen ZSI için düşünüldüğünde kapasite gerilimi ve çıkış gerilimi arasındaki bağıntının doğrusal olmaması, kontrol parametrelerinin optimizasyonunu oldukça zorlaştırmaktadır. Doğrusal bir kontrol yöntemi olan PID kontrolörün bu şekilde doğrusal olmayan bir sisteme uygulanması pratikte çok verimli değildir. Bu çalışmada PID kontrolörün ZSI'ya uygulanabilmesi için IRHA optimizasyon yöntemi ile tasarlanan kazanç planlamalı kontrolör yapısı önerilmiş ve farklı giriş gerilim değerleri altında test edilmiştir.

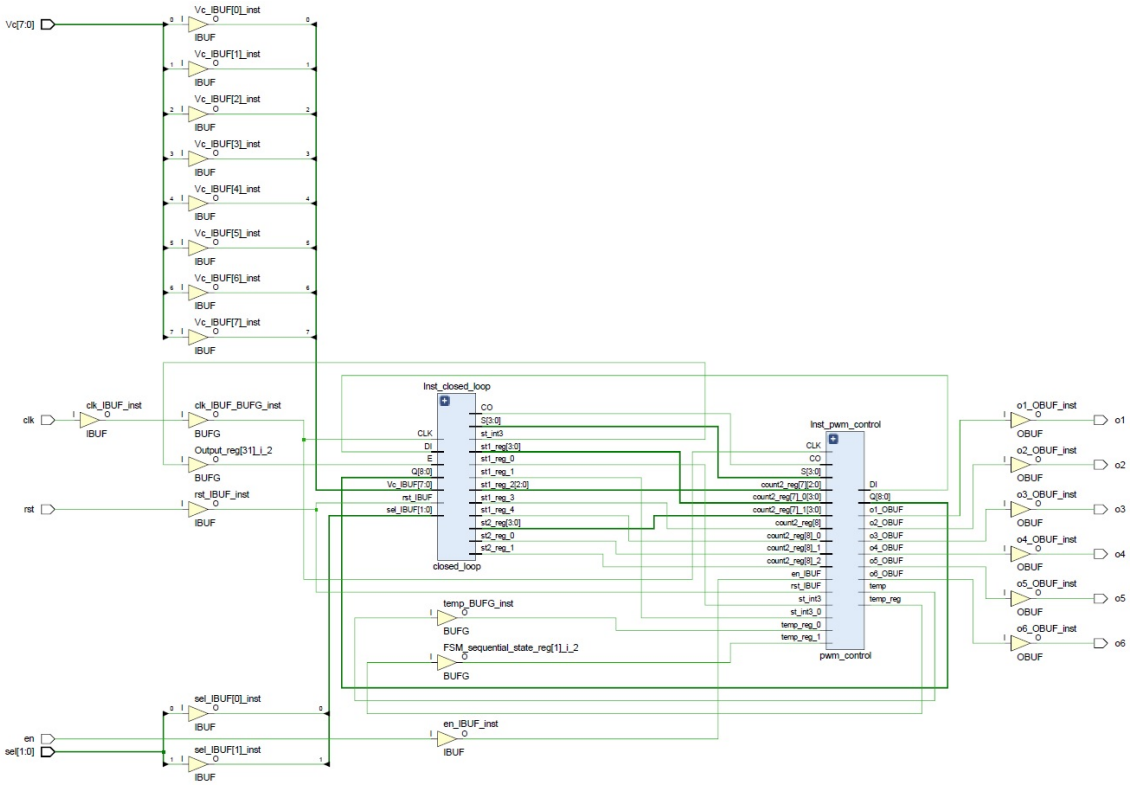
Öncelikle ZSI sistemi için IRHA-PSO, IRHA-DGA, $\mathscr{H}_\infty$ tabanlı ve `MATLAB` `hinfstruct` aracı kullanılarak dört farklı PID kontrol cihazı türetilmiştir. Simülasyon sonuçları incelendiğinde IRHA-DEA tarafından tasarlanan kontrolörün referans takibinde göstermiş olduğu performansın daha iyi olduğu görülmüştür.

Kazanç planlamalı PID kontrol tasarımı sonucunda elde edilen adaptif yapı ile önerilen modelin literatürdeki diğer kontrol çalışmalarında karşılaşılan dezavantajları elediği görülmüştür. Motor kontrol yapısı düşünüldüğünde bu dezavantajların en belirgin olanı geleneksel PID yöntemi ile sistemin sadece belirli bir çalışma aralığı için tasarlanabilmesidir. Ayrıca literatürde tasarlanan kapalı çevrim kontrol yapılarının temel amacı DC bara gerilimini sabit tutmak olduğundan bu durum anahtarlar üzerinde yüksek gerilim stresleri oluşturmaktadır. Önerilen yöntemde değişken DC bara gerilimi yaklaşımı ile anahtar üzerinde görülen gerilim değerleri giriş gerilimi ile değişebilmektedir.

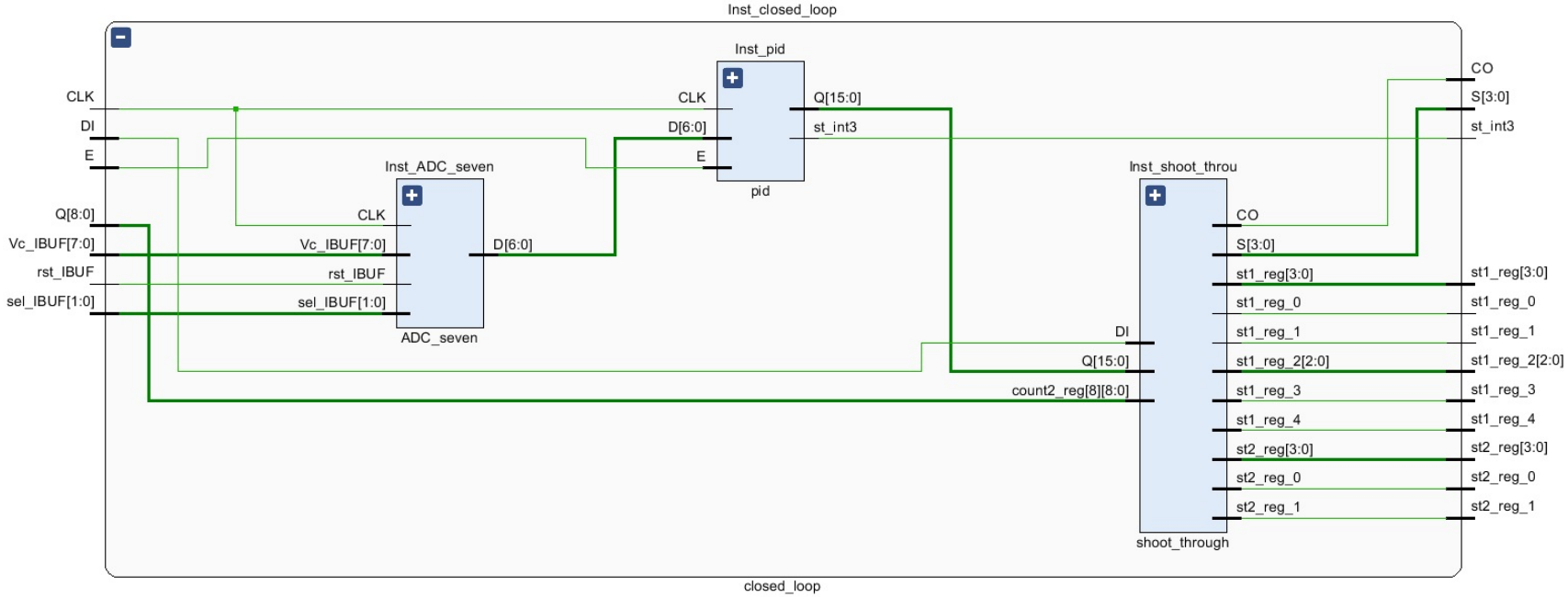
MATLAB/Simulink ortamında tasarlanan kontrol yapısının FPGA üzerinde gerçeklenmesi VIVADO derleyicisi yardımıyla VHDL donanım programlama dili ile yapılmıştır. Yapılan tasarım Xilinx firmasına ait Nexys 4 DDR geliştirme kartı kullanılarak laboratuvar ortamında test edilmiş ve güvenilirliği ispat edilmiştir. Hem PID hem de PWM kontrol yapılarının hazır IP kullanılmadan tek bir FPGA üzerinde gerçeklenmesi ile karmaşık kontrol yapılarından farklı olarak optimum bir tasarım sunulmuştur. Tüm kontrol sisteminin VHDL donanım tanımlama dili kullanılarak modüler bir yaklaşım ile tasarlanması, yapılacak olan benzer çalışmalar için uygun bir zemin hazırlamıştır.

Önerilen IRHA optimizasyon yönteminin, güç elektroniği devreleri için tasarlanan kontrol yapılarının optimizasyonu için kullanılabileceği görülmektedir. İleriye dönük çalışmalarda kontrol sisteminin çevrimiçi optimizasyonu ile bütünüyle adaptif bir yapının oluşturuması amaçlanmaktadır.

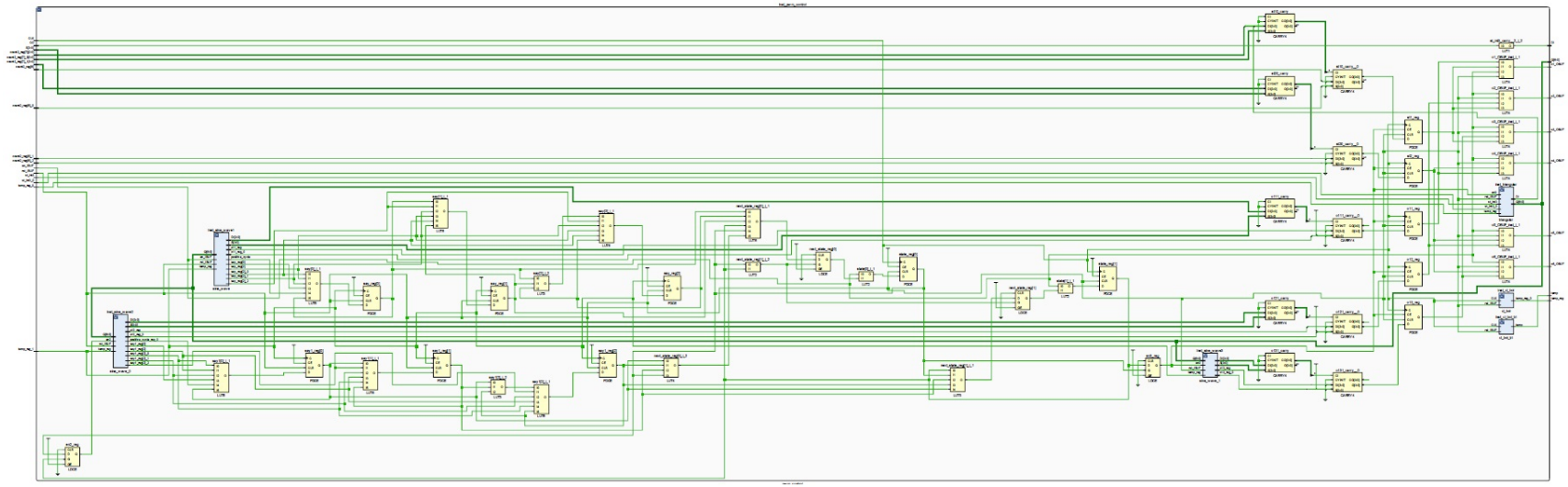
# A
# FPGA Devre Şeması




**Şekil A.1** FPGA gerçeklemesi yapılan PWM ve geri besleme kontrol sistemlerini içerisinde barındıran ana modülün şematik gösterimi.




**Şekil A.2** FPGA gerçeklemesi yapılan kapalı çevrim kontrol sisteminin şematik gösterimi.



**Şekil A.3** FPGA gerçeklemesi yapılan PWM kontrol sisteminin şematik gösterimi.

# Referanslar


[1] F. Z. Peng, "Z-source inverter," *IEEE Transactions on industry applications*, vol. 39, no. 2, pp. 504–510, 2003.

[2] A. R. Sutar, S. R. Jagtap, and J. Tamboli, "Performance analysis of z-source inverter fed induction motor drive," *International Journal of Scientific & Engineering Research*, vol. 3, no. 5, pp. 1–6, 2012.

[3] R. Adle, M. Renge, S. Muley, and P. Shobhane, "Photovoltaic based series z-source ınverter fed ınduction motor drive with ımproved shoot through technique," *Energy Procedia*, vol. 117, pp. 329–335, 2017.

[4] R. Ma, C. Liu, Z. Zheng, F. Gechter, P. Briois, and F. Gao, "Cpu-fpga based real-time simulation of fuel cell electric vehicle," *Energy Conversion and Management*, vol. 174, pp. 983–997, 2018.

[5] O. Ellabban and H. Abu-Rub, "An overview for the z-source converter in motor drive applications," *Renewable and Sustainable Energy Reviews*, vol. 61, pp. 537–555, 2016.

[6] S. S. Sebtahmadi, H. B. Azad, S. H. A. Kaboli, M. D. Islam, and S. Mekhilef, "A pso-dq current control scheme for performance enhancement of z-source matrix converter to drive ım fed by abnormal voltage," *IEEE Transactions on Power Electronics*, vol. 33, no. 2, pp. 1666–1681, 2018.

[7] Y. P. Siwakoti, F. Z. Peng, F. Blaabjerg, P. C. Loh, G. E. Town, and S. Yang, "Impedance-source networks for electric power conversion part ıı: Review of control and modulation techniques," *IEEE Transactions on Power Electronics*, vol. 30, no. 4, pp. 1887–1906, 2015.

[8] Y. P. Siwakoti, F. Z. Peng, F. Blaabjerg, P. C. Loh, and G. E. Town, "Impedance-source networks for electric power conversion part ı: A topological review," *IEEE Transactions on Power Electronics*, vol. 30, no. 2, pp. 699–716, 2015.

[9] B. Erol and A. Delibaşı, "Proportional–integral–derivative type $\mathscr{H}\infty$ controller for quarter car active suspension system," *Journal of Vibration and Control*, p. 1 077 546 316 672 974, 2016.

[10] H. A. Mosalam, R. A. Amer, and G. Morsy, "Fuzzy logic control for a grid-connected pv array through z-source-inverter using maximum constant boost control method," *Ain Shams Engineering Journal*, 2018.

[11] X. Guo, Y. Yang, B. Wang, and F. Blaabjerg, "Leakage current reduction of three-phase z-source three-level four-leg inverter for transformerless pv system," *IEEE Transactions on Power Electronics*, 2018.

[12] A. Florescu, O. Stocklosa, M. Teodorescu, C. Radoi, D. Stoichescu, and S. Rosu, "The advantages, limitations and disadvantages of z-source inverter," in *IEEE International Semiconductor Conference (CAS)*, vol. 2, 2010, pp. 483–486.

[13] G. Sen and M. Elbuluk, "Voltage and current programmed modes in control of the z-source converter," in *IEEE Industry Applications Society Annual Meeting*, 2008, pp. 1–8.

[14] M. Shen, Q. Tang, and F. Z. Peng, "Modeling and controller design of the z-source inverter with inductive load," in *IEEE Power Electronics Specialists Conference*, 2007, pp. 1804–1809.

[15] X. Ding, Z. Qian, S. Yang, B. Cui, and F. Peng, "A pıd control strategy for dc-link boost voltage in z-source inverter," in *IEEE Applied Power Electronics Conference*, 2007, pp. 1145–1148.

[16] W. Mo, P. Loh, and F. Blaabjerg, "Model predictive control for z-source power converter," in *IEEE 8th International Conference on Power Electronics and ECCE Asia (ICPE & ECCE)*, 2011, pp. 3022–3028.

[17] Y. Liu, B. Ge, H. Abu-Rub, and F. Z. Peng, "Control system design of battery-assisted quasi-z-source inverter for grid-tie photovoltaic power generation," *IEEE Transactions on Sustainable Energy*, vol. 4, no. 4, pp. 994–1001, 2013.

[18] O. Ellabban, J. Van Mierlo, and P. Lataire, "A dsp-based dual-loop peak dc-link voltage control strategy of the z-source inverter," *IEEE transactions on Power Electronics*, vol. 27, no. 9, pp. 4088–4097, 2012.

[19] C. J. Gajanayake, D. M. Vilathgamuwa, and P. C. Loh, "Development of a comprehensive model and a multiloop controller for $z$-source ınverter dg systems," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 2352–2359, 2007.

[20] A. Ayad, P. Karamanakos, and R. Kennel, "Direct model predictive current control strategy of quasi-z-source inverters," *IEEE Transactions on Power Electronics*, vol. 32, no. 7, pp. 5786–5801, 2017.

[21] X. Ding, Z. Qian, S. Yang, B. Cui, and F. Peng, "A direct peak dc-link boost voltage control strategy in z-source inverter," in *APEC 07-Twenty-Second Annual IEEE Applied Power Electronics Conference and Exposition*, IEEE, 2007, pp. 648–653.

[22] S. Bennett, "The past of pıd controllers," *Annual Reviews in Control*, vol. 25, pp. 43–53, 2001.

[23] J. G. Ziegler and N. B. Nichols, "Optimum settings for automatic controllers," *trans. ASME*, vol. 64, no. 11, 1942.

[24] K. J. Åström and T. Hägglund, "The future of pıd control," *Control engineering practice*, vol. 9, no. 11, pp. 1163–1175, 2001.

[25] C. C. Hang, K. J. Åström, and W. K. Ho, "Refinements of the ziegler–nichols tuning formula," in *IET IEE Proceedings D (Control Theory and Applications)*, vol. 138, 1991, pp. 111–118.

[26] M. Zhuang and D. Atherton, "Automatic tuning of optimum pıd controllers," in *IET IEE Proceedings D (Control Theory and Applications)*, vol. 140, 1993, pp. 216–224.

[27] W. Tan, J. Liu, and P. Tam, "Pıd tuning based on loop-shaping $\mathscr{H}\infty$ control," *IET IEE Proceedings-Control Theory and Applications*, vol. 145, no. 6, pp. 485–490, 1998.

[28] A. U. Genç and S. T. Impram, "A state-space algorithm for designing $\mathscr{H}\infty$ loop shaping pld controllers," *IFAC Proceedings Volumes*, vol. 36, no. 11, pp. 281–286, 2003.

[29] R. A. Krohling and J. P. Rey, "Design of optimal disturbance rejection pıd controllers using genetic algorithms," *IEEE Transactions on Evolutionary computation*, vol. 5, no. 1, pp. 78–82, 2001.

[30] J.-S. Chiou, S.-H. Tsai, and M.-T. Liu, "A pso-based adaptive fuzzy pıd-controllers," *Simulation Modelling Practice and Theory*, vol. 26, pp. 49–59, 2012.

[31] S. Panda, "Differential evolutionary algorithm for tcsc-based controller design," *Simulation Modelling Practice and Theory*, vol. 17, no. 10, pp. 1618–1634, 2009.

[32] P. de Moura Oliveira, "Modern heuristics review for pıd control optimization: A teaching experiment," in *IEEE International Conference on Control and Automation*, vol. 2, 2005, pp. 828–833.

[33] P. Apkarian and D. Noll, "Nonsmooth $h\infty$ synthesis," *IEEE Transactions on Automatic Control*, vol. 51, no. 1, pp. 71–86, 2006.

[34] D. J. Leith and W. E. Leithead, "Survey of gain-scheduling analysis and design," *International journal of control*, vol. 73, no. 11, pp. 1001–1025, 2000.

[35] W. J. Rugh and J. S. Shamma, "Research on gain scheduling," *Automatica*, vol. 36, no. 10, pp. 1401–1425, 2000.

[36] P. C. Loh, D. M. Vilathgamuwa, C. J. Gajanayake, Y. R. Lim, and C. W. Teo, "Transient modeling and analysis of pulse-width modulated z-source inverter," in *IEEE Industry Applications Conference*, vol. 4, 2005, pp. 2782–2789.

[37] V. P. Galigekere and M. K. Kazimierczuk, "Small-signal modeling of pwm z-source converter by circuit-averaging technique," in *IEEE Circuits and Systems (ISCAS)*, 2011, pp. 1600–1603.

[38] M. Cavalcanti, F. Bradaschia, M. de Melo Neto, G. Azevedo, and T. Cardoso, "Dynamic modeling and control system design of the buck-boost-based three-state three-phase z-source inverter," *International Journal of Electrical Power & Energy Systems*, vol. 104, pp. 654–663, 2019.

[39] J. Liu, J. Hu, and L. Xu, "Dynamic modeling and analysis of $z$ source converter-derivation of ac small signal model and design-oriented analysis," *IEEE Transactions on Power Electronics*, vol. 22, no. 5, pp. 1786–1796, 2007.

[40] Y. Riache and E. S. Hamdi, "A novel switching pattern of modified svpwm for z-source ınverter connected to a multi-source system," in *IEEE 53rd International Universities Power Engineering Conference (UPEC)*, 2018, pp. 1–5.

[41] F. Z. Peng, M. Shen, and Z. Qian, "Maximum boost control of the z-source inverter," *IEEE Transactions on power electronics*, vol. 20, no. 4, pp. 833–838, 2005.

[42] M. Shen, J. Wang, A. Joseph, F. Z. Peng, L. M. Tolbert, and D. J. Adams, "Constant boost control of the z-source inverter to minimize current ripple and voltage stress," *IEEE transactions on industry applications*, vol. 42, no. 3, pp. 770–778, 2006.

[43] T.-W. Chun, Q.-V. Iran, J.-R. Ahn, and J.-S. Lai, "Ac output voltage control with minimization of voltage stress across devices in the z-source inverter using modified svpwm," in *IEEE Power Electronics Specialists Conference*, 2006, pp. 1–5.

[44] Ö. Girgin, V. Erginer, and M. H. Sarul, "Analysis and comparison of control methods of z-source ınverters used in photovoltaic systems," in *Proceedings of the World Congress on Electrical Engineering and Computer Systems and Science (EECSS 2015), Barcelona*, 2015, p. 148.

[45] S.-L. Jung, M.-Y. Chang, J.-Y. Jyang, L.-C. Yeh, and Y.-Y. Tzou, "Design and implementation of an fpga-based control ıc for ac-voltage regulation," *IEEE Transactions on Power Electronics*, vol. 14, no. 3, pp. 522–532, 1999.

[46] S. Ferreira, F. Haffner, L. F. Pereira, and F. Moraes, "Design and prototyping of direct torque control of induction motors in fpgas," in *IEEE 16th Symposium on Integrated Circuits and Systems Design*, 2003, pp. 105–110.

[47] P. Zumel, A. De Castro, O. Garcia, T. Riesgo, and J. Uceda, "Concurrent and simple digital controller of an ac/dc converter with power factor correction," in *Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition*, vol. 1, 2002, pp. 469–475.

[48] F. Ricci and H. Le-Huy, "An fpga-based rapid prototyping platform for variable-speed drives," in *IEEE 2002 28th Annual Conference of the Industrial Electronics Society*, vol. 2, 2002, pp. 1156–1161.

[49] L. Charaabi, E. Monmasson, and I. Slama-Belkhodja, "Presentation of an efficient design methodology for fpga implementation of control systems. application to the design of an antiwindup pı controller," in *IEEE 2002 28th Annual Conference of the Industrial Electronics Society*, vol. 3, 2002, pp. 1942–1947.

[50] M. Shen, A. Joseph, J. Wang, F. Z. Peng, and D. J. Adams, "Comparison of traditional inverters and z-source inverter," in *IEEE 36th Power Electronics Specialists Conference*, 2005, pp. 1692–1698.

[51] M. Hanif, M. Basu, and K. Gaughan, "Understanding the operation of a z-source inverter for photovoltaic application with a design example," *IET Power Electronics*, vol. 4, no. 3, pp. 278–287, 2011.

[52] M. Shen, A. Joseph, Y. Huang, F. Z. Peng, and Z. Qian, "Design and development of a 50kw z-source inverter for fuel cell vehicles," in *IEEE 5th International Power Electronics and Motion Control Conference*, vol. 2, 2006, pp. 1–5.

[53] H. Van der Broeck and M. Miller, "Harmonics in dc to ac converters of single phase uninterruptible power supplies," in *IEEE 17th International Telecommunications Energy Conference*, 1995, pp. 653–658.

[54] K. Rajashekara, "Power conversion and control strategies for fuel cell vehicles," in *IEEE 29th Annual Conference of the IEEE Industrial Electronics Society*, vol. 3, 2003, pp. 2865–2870.

[55] K. Holland, M. Shen, and F. Z. Peng, "Z-source inverter control for traction drive of fuel cell-battery hybrid vehicles," in *IEEE Fourtieth IAS Annual Meeting. Conference Record of the Industry Applications Conference*, vol. 3, 2005, pp. 1651–1656.

[56] V. Erginer, "Fotovoltaik sistemler için yeni bir güç koşullandırma devresinin geliştirilmesi," Master's thesis, Yildiz Technical University, 2015.

[57] D. Nazarpour *et al.*, "Simple boost control method optimized with genetic algorithm for z-source inverter," *Journal of Electric Power & Energy Conversion Systems*, vol. 1, no. 1, pp. 32–36, 2016.

[58] S. Thangaprakash and A. Krishnan, "Modified space vector modulated z source ınverter with effective dc boost and lowest switching stress," *The Journal of Engineering Research [TJER]*, vol. 7, no. 1, pp. 70–77, 2010.

[59] A. R. Yılmaz, "Fpga üzerinde diferansiyel gelişim algoritması ile yapay sinir ağı eğitimi," Master's thesis, Yildiz Technical University, 2014.

[60] R. Storn and K. Price, "Differential evolution–a simple and efficient heuristic for global optimization over continuous spaces," *Journal of global optimization*, vol. 11, no. 4, pp. 341–359, 1997.

[61] M. S. Saad, H. Jamaluddin, and I. Z. Darus, "Pıd controller tuning using evolutionary algorithms," *Wseas transactions on Systems and Control*, vol. 7, no. 4, pp. 139–149, 2012.

[62] E.-T. S. Dokki, "Employing particle swarm optimizer and genetic algorithms for optimal tuning of pıd controllers: A comparative study," in *The International Congress for global Science and Technology*, 2007, p. 49.

[63] G. Zames, "Feedback and optimal sensitivity: Model reference transformations, multiplicative seminorms, and approximate inverses," *IEEE Transactions on automatic control*, vol. 26, no. 2, pp. 301–320, 1981.

[64] P. Gahinet and P. Apkarian, "A linear matrix inequality approach to $\mathscr{H}\infty$ control," *International journal of robust and nonlinear control*, vol. 4, no. 4, pp. 421–448, 1994.

[65] F. Yang, M. Gani, and D. Henrion, "Fixed-order robust $\mathscr{H}\infty$ controller design with regional pole assignment," *IEEE Transactions on Automatic Control*, vol. 52, no. 10, pp. 1959–1963, 2007.

[66] A. R. Yılmaz, B. Erol, A. Delibaşı, and B. Erkmen, "Design of gain-scheduling pıd controllers for z-source inverter using iterative reduction-based heuristic algorithms," *Simulation Modelling Practice and Theory*, vol. 94, pp. 162–176, 2019.

[67] Y. Liu, H. Abu-Rub, B. Ge, F. Blaabjerg, O. Ellabban, and P. C. Loh, *Impedance source power electronic converters*. John Wiley & Sons, 2016.

[68] T. Takagi and M. Sugeno, "Fuzzy identification of systems and its applications to modeling and control," *IEEE transactions on systems, man, and cybernetics*, no. 1, pp. 116–132, 1985.

[69] M. Joler, "How fpgas can help create self-recoverable antenna arrays," *International Journal of Antennas and Propagation*, vol. 2012, 2012.

[70] A. Kushwaha, M. A. Khan, A. Iqbal, and Z. Husain, "Z-source ınverter simulation and harmonic study," *Global Journal of Advanced Engineering Technologies*, vol. 1, no. 1, 2012.

[71] B. Singh, S. Singh, J. Singh, and M. Naim, "Performance evaluation of three phase induction motor drive fed from z-source inverter," *International Journal on Computer Science and Engineering (IJCSE)*, vol. 3, no. 3, 2011.

[72] J. Singh, "Transient analysis of z-source ınverter fed three-phase ınduction motor drive by using pwm technique," *International Electrical Engineering Journal (IEEJ)*, vol. 4, no. 1, pp. 856–863, 2013.

[73] M. Al-Badri, P. Pillay, and P. Angers, "A novel in situ efficiency estimation algorithm for three-phase induction motors operating with distorted unbalanced voltages," *IEEE Transactions on Industry Applications*, vol. 53, no. 6, pp. 5338–5347, 2017.

[74] J. Suganthi and M. Rajaram, "Effective analysis and comparison of ımpedance source ınverter topologies with different control strategies for power conditioning system," *Renewable and Sustainable Energy Reviews*, vol. 51, pp. 821–829, 2015.

[75] X. Xing, C. Zhang, A. Chen, J. He, W. Wang, and C. Du, "Space-vector-modulated method for boosting and neutral voltage balancing in $z$-source three-level t-type ınverter," *IEEE Transactions on Industry Applications*, vol. 52, no. 2, pp. 1621–1631, 2015.

[76] Y. P. Siwakoti, F. Z. Peng, F. Blaabjerg, P. C. Loh, G. E. Town, and S. Yang, "Impedance-source networks for electric power conversion part ıı: Review of control and modulation techniques," *IEEE Transactions on Power Electronics*, vol. 30, no. 4, pp. 1887–1906, 2014.

[77] O. Ellabban, J. Van Mierlo, and P. Lataire, "Experimental study of the shoot-through boost control methods for the z-source inverter," *EPE journal*, vol. 21, no. 2, pp. 18–29, 2011.

[78] J. R. Tibola, H. Pinheiro, and R. F. de Camargo, "Closed loop selective harmonic elimination applied to a grid connected pwm converter with lcl filter," in *IEEE XI Brazilian Power Electronics Conference*, 2011, pp. 746–752.

[79] S. M. Hosseini and Y. A. Beromi, "A multi–objective optimization for performance ımprovement of the z–source active power filter," *Journal of Electrical Engineering*, vol. 67, no. 5, pp. 358–364, 2016.

[80] A. R. Yilmaz and B. Erkmen, "Fpga-based space vector pwm and closed loop controllers design for the z source ınverter," *IEEE Access*, vol. 7, pp. 130 865–130 873, 2019.

[81] Y. F. Chan, M. Moallem, and W. Wang, "Design and implementation of modular fpga-based pıd controllers," *IEEE transactions on Industrial Electronics*, vol. 54, no. 4, pp. 1898–1906, 2007.

[82] G. Oriti and A. L. Julian, "Three-phase vsı with fpga-based multisampled space vector modulation," *IEEE transactions on industry applications*, vol. 47, no. 4, pp. 1813–1820, 2011.

[83] H. Rostami and D. Khaburi, “Voltage gain comparison of different control methods of the z-source inverter,” in *IEEE International Conference on Electrical and Electronics Engineering*, 2009, pp. I–268.

[84] A. Belkheiri, S. Aoughellanet, M. Belkheiri, and A. Rabhi, “Fpga based control of a pwm inverter by the third harmonic injection technique for maximizing dc bus utilization,” in *IEEE 3rd International Conference on Control, Engineering & Information Technology*, 2015, pp. 1–7.

[85] M. J. S. Smith, *Application-specific integrated circuits*. Addison-Wesley Reading, MA, 1997, vol. 7.

[86] S. S. K. N. Raju, “Implementation of fpga based pid controller for dc motor speed control system,” in *Proceedings of the World Congress on Engineering and Computer Science*, vol. 2, 2010, pp. 20–22.

# Tezden Üretilmiş Yayınlar

**İletişim Bilgileri:** alirizaylmaz@gmail.com

## Makale

1. A. R. Yılmaz, B. Erol, A. Delibası, and B. Erkmen," Design of gain-scheduling PID controllers for Z-source inverter using iterative reduction-based heuristic algorithms," Simulation Modelling Practice and Theory, vol. 94, pp. 162–176,2019.

2. A. R. Yilmaz and B. Erkmen, "FPGA-Based Space Vector PWM and Closed Loop Controllers Design for the Z Source Inverter," IEEE Access, vol. 7, pp. 130 865–130 873, 2019.

## Konferans Bildirisi

1. A. R. Yılmaz And B. Erkmen, "Empedans Kaynaklı İnverterler için Çok Seviyeli PID Kontrolör Tasarımı," 4. Uluslararası Bilimsel Araştırmalar Kongresi (UBAK), 2019, Yalova, Turkey, pp.75-80.