KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

YÜKSEK LİSANS TEZİ

H.264/AVC VE HEVC İÇİN BİT DÜZLEMİ UYUMLAMA TEMELLİ HAREKET KESTİRİMİ VE DONANIM MİMARİSİ

MUHAMMAD ASLAM

KOCAELİ 2017

KOCAELİ ÜNİVERSİTESİ

FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ

ANABİLİM DALI

YÜKSEK LİSANS TEZİ

H.264/AVC VE HEVC İÇİN BİT DÜZLEMİ UYUMLAMA TEMELLİ HAREKET KESTİRİMİ VE DONANIM MİMARİSİ

MUHAMMED ASLAM

Yrd. Doç. Dr. Anıl ÇELEBİ
Danışman, Kocaeli Üniv. .....

Yrd. Doç. Dr. Faik BAŞKAYA
Jüri Üyesi, Boğaziçi Üniv. .....

Prof. Dr. Oğuzhan URHAN
Jüri Üyesi, Kocaeli Üniv. .....

Tezin Savunulduğu Tarih: 09.06.2017

ÖNSÖZ VE TEŞEKKÜR

Bu tezde, H.264/AVC ve HEVC video sıkıştırma standartları için düşük bit derinliği gösterimi temelli hareket kestirimi ve onun etkin donanım mimarisi önerilmiştir. Daha sonra, her iki standart için hareket kestirmi algoritmalarının performanslarını karşılaştırmak için kriter olarak PSNR kullanılmıştır. Son olarak, her iki standart için etkin donanım mimarileri gerçekleştirilmiştir ve güç tüketimi ile donanım alanı mevcut literatür ile karşılaştırılmıştır.

Öncelikle yüksek lisans eğitimimi ve araştırmamı sürekli sabrı, motivasyonu, heyecanı ve muazzam bilgisi ile desteklediği için danışmanın Yrd. Doç. Dr. Anıl Çelebi'ye en içten şükranlarımı sunmak isterim. Onun rehberliği, bu tezin araştırma ve yazımının her aşamasında bana yardımcı oldu. Yüksek lisans çalışmam için daha iyi bir danışman ve rehberi hayal bile edemiyordum.

Danışmanımın yanı sıra, teşvik edici ve anlayışlı yorumları ve zor soruları için tez komitesinin geri kalanına teşekkür etmek istiyorum: Prof. Oğuzhan Urhan ve Yrd. Doç. Dr. Faik Başkaya.

Tez çalışmamı, finansal olarak 115E921 numaralı proje kapsamında destekleyen TÜBİTAK'a içten teşekkürlerimi sunuyorum.

KUTSAL araştırma laboratuvarındaki arkadaşlarım Ali Can Karaca, Yücel Çetin ve Seda Yavuz'a teşvik edici tartışmaları ve son iki yılda yaşadığımız tüm eğlenceli zamanlar için teşekkür ediyorum.

Son olarak, ailem Muhammed Shafi ve Bashira Bibi'ye, beni Dünya'ya getirdiği ve manevi desteğini esirgemediği için teşekkür ediyorum.

Haziran – 2017 Muhammad ASLAM

İÇİNDEKİLER

ÖNSÖZ VE TEŞEKKÜR i
İÇİNDEKİLER ii
ŞEKİLLER DİZİNİ iii
TABLOLAR DİZİNİ iv
SİMGELER VE KISALTMALAR DİZİNİ v
ÖZET vii
ABSTRACT viii
GİRİŞ 1
1. VİDEO KODLAMA STANDARTLARINA GENEL BİR BAKIŞ 2
2. HAREKET KESTİRİMİ 5
3. İLGİLİ ÇALIŞMALAR 8
4. DÜŞÜK BİT GÖSTERİMİ TEMELLİ HK METODLARI 10
5. TEZ KATKISI 12
6. H.264/AVC İÇİN ÖNERİLEN BİT DÜZLEMİ TEMELLİ HAREKET KESTİRİMİ YAKLAŞIMI 13
6.1. SGCBP-HK İçin Önerilen Donanım Mimarisi 17
6.1.1. Bellek ünitesi 17
6.1.2. Hızlı arama algoritması desteği 17
6.1.3. Bilgi seçici dizisi 21
6.1.4. PE dizisi 21
6.1.5. Paralel sayıcı ve karşılaştırıcı 21
6.2. VBSGCBP-HK İçin Önerilen Donanım Mimarisi 22
6.2.1. Bellek ünitesi 22
6.2.2. Bilgi seçici dizisi 24
6.2.3. İşlem elemanı 24
6.2.4. Paralel sayıcı ve karşılaştırıcı 24
7. HEVC İÇİN ÖNERİLEN BİT DÜZLEMİ TEMELLİ HAREKET KESTİRİMİ YAKLAŞIMI 26
7.1. Önerilen Donanım Mimarisi 30
7.1.1. Bellek ünitesi 30
7.1.2. İşlem ünitesi 33
8. BULGULAR VE TARTIŞMA 35
SONUÇLAR VE ÖNERİLER 44
KAYNAKLAR 46
KİŞİSEL YAYIN VE ESERLER 50
ÖZGEÇMİŞ 51

ŞEKİLLER DİZİNİ

Şekil 1.1. Genel bir video kodlayıcı blok diyagramı 2
Şekil 1.2. Video Kodlama Standartlarının Evrimi 3
Şekil 2.1. Blok Uyumlamalı Hareket Kestirimi 6
Şekil 6.1. H.264/AVC'te desteklenen farklı blok boyutları 13
Şekil 6.2. 3 Bitlik Düzlemlerin Elde Edilmesi Süreci 14
Şekil 6.3. 8×8 blok için bit düzlemi seçimi yaklaşımı 14
Şekil 6.4. PSNR Hesaplaması için önerilen yöntem 15
Şekil 6.5. Spiral arama diyagramı 16
Şekil 6.6. Önerilen Donanım Mimarisi 18
Şekil 6.7. $[-4, 4)$ arama aralığı için örnek model 19
Şekil 6.8. Veri Yeniden Kullanım Düzeni 20
Şekil 6.9. Bit Düzlem Seçicisi 21
Şekil 6.10. Paralel Sayıcı Mimarisi 22
Şekil 6.11. VBSGCBP-HK için Önerilen Donanım Mimarisi 23
Şekil 6.12. 15|4 4×4 alt makro-blok için paralel sayıcı 25
Şekil 7.1. PU'nun simetrik ve asimetrik bölünmesi 27
Şekil 7.2. a) Önerilen donanım mimarisinin bellek ünitesi b) Önerilen donanım mimarisinin işlem ünitesi 31
Şekil 7.3. Önerilen donanım mimarisinde kullanılan veri yeniden kullanımı düzeni 33
Şekil 7.4. CU boyutu 16 olduğunda paralel sayıcı mimarisi 34

TABLOLAR DİZİNİ

Tablo 6.1. SGCBP-HK kullanılarak elde edilen PSNR değerleri 16
Tablo 6.2. SAD temelli HK kullanılarak elde edilen PSNR değerleri 17
Tablo 7.1. CU = 32 olduğunda SAD temelli HK için PSNR Değerleri 27
Tablo 7.2. CU = 16 olduğunda SAD temelli HK için PSNR Değerleri 28
Tablo 7.3. CU = 8 olduğunda SAD temelli HK için PSNR Değerleri 28
Tablo 7.4. Önerilen SGCBP-HK için CU = 32 olduğunda PSNR Değerleri 29
Tablo 7.5. Önerilen SGCBP-HK için CU = 16 olduğunda PSNR Değerleri 29
Tablo 7.6. Önerilen SGCBP-HK için CU = 8 olduğunda PSNR Değerleri 30
Tablo 8.1. Donanım Mimarilerinin HK Performans Karşılaştırması 36
Tablo 8.2. Güç Tüketimi Karşılaştırması (xc7a200tfbg676-2) 37
Tablo 8.3. Önerilen Donanım Mimarisi İçin Güç Analiz Sonuçları (xc7z100ffv1156-2) 37
Tablo 8.4. VBSGCBP-HK ve SAD temelli HK Metodlarının PSNR Farkları 39
Tablo 8.5. Farklı HK Yöntemlerinin Donanım Mimarisinin Ayrıntılı Karşılaştırması 40
Tablo 8.6. Güç Analizi Sonuçları 40
Tablo 8.7. SAD temelli HK ve önerilen SGCBP-HK arasında ortalama PSNR farkları 41
Tablo 8.8. [31]'de önerilen HK Şeması PSNR Farkı ve önerilen SAD temelli HK ile SGCBP-HK Şeması 41
Tablo 8.9. Önerilen Donanım Mimarisinin Performans Analizi 42
Tablo 8.10. Güç Analiz Sonuçları (28 nm FPGA Teknolojisi) 43
Tablo 8.11. Diğer Mimariler İle Detaylı Karşılaştırma 43

SİMGELER VE KISALTMALAR DİZİNİ

$\oplus$	: XOR
Hz	: Hertz
ms	: Milisaniye
mW	: Miliwatt
ns	: Nanosaniye

Kısaltmalar

2BT	: 2-Bitlik Dönüştürme
AMB	: Alt-Makro-Blok
ASIC	: Application Specific Integrated Circuit (Uygulamaya Özel Entegre Devre)
AVC	: Advance Video Coding (Gelişmiş Video Kodlama)
BHK	: Blok Uyumlamalı Hareket Kestirimi
BRAM	: Block Random Access Memory (Blok Rastgele Erişim Belleği)
BP	: Bit Plane (Bit Düzlemi)
BPM	: Bit Plane Matching (Bit Düzlemi Uyumlama)
BU	: Blok Uyumlama
CABAC	: Context Adaptive Binary Arithmetic Coding (Bağlam Uyarlamalı İkili Aritmetik Kodlama)
CALVC	: Context Adaptive Variable Length Coding (Bağlam Uyarlamalı Değişken Uzunluk Kodlaması)
CRF	: Current Block Register File (Geçerli Blok Kaydedici Dosyası)
CTU	: Coding Tree Unit (Kodlama Ağaç Ünitesi)
CU	: Coding Unit (Kodlama Ünitesi)
ÇB	: Çiçek Bahçesi
DBHK	: Değişken Blok Boyutlu Hareket Kestirimi
FF	: Flip Flop (Yaz-Boz)
FPGA	: Field Programmable Gate Array (Alanda Programlanabilir Kapı Dizisi)
GB	: Güncel Blok
HEVC	: High Efficiency Video Coding (Yüksek Verimli Video Kodlama)
HK	: Hareket Kestirimi
HV	: Hareket Vektörü
ISO	: International Standards Organization (Uluslararası Standartlar Organizasyonu)
ITU	: International Telecommunications Union (Uluslararası Telekomünikasyon Birliği)
ITUT	: International Telecommunication Union-Telecommunication (Uluslararası Telekomünikasyon Birliği-Telekomünikasyon)
LUT	: Look Up Table (Arama Tablosu)
MB	: Makro-Blok

MC	: Motion Compensation (Hareket Dengeleme)
MD	: Mevcut Değil
MPEG	: Moving Picture Experts Group (Hareketli Resim Uzmanları Grubu)
MUX	: Multiplexer (Bilgi Seçici)
M_AVI	: Mobil_AVI
M_YUV	: Mobil_YUV
NAL	: Network Abstraction Layer (Ağ Soyutlama Katmanı)
NNMP	: Number of Non-Matching Points (Eşleşmeyen Nokta Sayısı)
NS	: Not Supported (Desteklenmiyor)
PB	: Prediction Block (Tahmin Bloğu)
PE	: Prediction Element (İşlem Elemanları)
PRED	: Prediction (Tahmin)
PSNR	: Peak Signal To Noise Ratio (Gürültü Oranı En Yüksek Sinyal)
PU	: Prediction Unit (Tahmin Ünitesi)
RB	: Referans Blok
RRF	: Reference Block Register File (Referans Blok Kaydedici Dosyası)
SAD	: Sum Of Absolute Distance (Mutlak Farkın Toplamı)
SGCBP-HK	: Seçimli Gray Kodlanmış Bit Düzlemi Temelli Hareket Kestirimi
SIMD	: Tek Talimatlı Çoklu Veri
SK	: Sahil Koruma
SR	: Shift Register (Kaydırmalı Kaydedici)
SSD	: Sum Of Square Distance (Kare Farkının Toplamı)
TGCBPM	: Kesik Gray Kodlanmış Bit Düzlemi Uyumlama
T_CIF	: Tenis_CIF
T_QCIF	: Tenis_QCIF
VBSGCBP-HK	: Değişken Blok Boyutlu Seçimli Gray Kodlanmış Bit Düzlemi Temelli Hareket Kestirimi
XOR	: Boolean Exclusive-OR (Mantıksal Özel-Veya)

H.264/AVC VE HEVC İÇİN BİT DÜZLEMİ UYUMLAMA TEMELLİ HAREKET KESTİRİMİ VE DONANIM MİMARİSİ

ÖZET

İnternet üzerinden video aktarımı ve video konferans gibi teknolojilerin artan popülaritesi ile; video sıkıştırma, yayın ve eğlence medyasında önemli bir bileşen haline gelmiştir. Ardışık video çerçeveleri arasındaki zamansal artıklığı etkin bir şekilde ortadan kaldıracak hareket kestirimi ve dengeleme teknikleri, H.264/AVC ve HEVC gibi popüler video sıkıştırma kodlama standartlarına yaygın şekilde uygulanmıştır. Önceki video kodlama standartlarının çoğu HK işlemi sırasında sabit boyutlu blok kullanır ve bu nedenle değişken blok boyutunun kullanılduğı yeni video kodlama standartlarına göre daha düşük doğruluğa sahiptirler. H.264/AVC ve HEVC video sıkıştırma standartlarında, zamansal artıklık, sabit blok boyutlu HK kullanan önceki video sıkıştırma standartlarına kıyasla değişken blok boyutlu hareket kestirimi kullanılarak ortadan kaldırılır. HEVC'teki HK karmaşıklığının, 64×64'e kadar artan kodlama bloğu boyutu ve 16×16 boyutunda makro bloğa kadar destekleyen H.264/AVC'e kıyasla asimetrik hareket bölünmesinin kullanımına bağlı olarak, önemli ölçüde artması nedeniyle, gerçek zamanlı uygulamalar için yüksek verimliliğe sahip donanım dostu bir mimariye ihtiyaç duyulmaktadır. Buna ek olarak, HK'nin donanım mimarisinde, referans ve güncel video çerçevesi arasında SAD'yi hesaplayan mutlak fark toplamı mimarisi, kaynak kullanımını verimli kılmak açısından darboğaz oluşturmaktadır. Önerilen çalışmada, bu darboğazı ortadan kaldırmakta ve özgün düşük karmaşıklığa sahip bit düzlemi temelli HK algoritması ve hem H.264/AVC hem de HEVC standartları için etkin bir donanım mimarisi sunulmaktadır. Önerilen HK donanım mimarisinde, hata ölçümü için SAD yerine hesaplama karmaşıklığını önemli ölçüde azaltan mantıksal XOR işlemini kullanılır. Donanım mimarisi, H.264/AVC için saniyede 1280×720 (HD) boyutlu 93 video çerçevesini yalnızca 25 milivat güç tüketerek işleyebilme kabiliyetine sahipken ve HEVC için aynı çerçeve boyutunu 284,9 milivat ortalama güç tüketimi ve saniyede 52 çerçeve performansı ile işleyebilmektedir.

Anahtar Kelimeler: AVC, Düşük Bit Derinliği Temelli Hareket Kestirimi, H.264, H.265, HEVC

LOW BIT DEPTH BASED MOTION ESTIMATION AND ITS HARDWARE ARCHITECTURE FOR H.264/AVC AND HEVC

ABSTRACT

With the increasing popularity of technologies such as internet streaming video and video conferencing, video compression has become an essential component for broadcast, entertainment and consumer electronics markets. Motion Estimation and compensation techniques, which can eliminate temporal redundancy between adjacent frames effectively, have been widely applied to popular video compression coding standards such as H.264/AVC, HEVC, VP9, AV1. Most of the previous video coding standards use fixed sized block through motion estimation (ME) process that makes them less accurate than the recently proposed video coding standards that uses variable block size. In H.264/AVC and HEVC video compression standards, temporal redundancy is removed by using variable block sized motion estimation compared to previous video compression standards that use fixed block sized ME. ME in HEVC has increased complexity due to increased coding block size up to 64×64 and introduction of Asymmetric Motion Partitioning compared to H.264/AVC that supports up to 16×16 sized macro-block. Thus, it demands highly efficient hardware friendly architectures for real time implementation. Furthermore, in hardware architecture of ME, sum of absolute difference architecture scheme which is utilized to calculate SAD between reference and current frame creates a bottleneck that makes it inefficient in terms of resource utilization. The proposed work eliminates this bottleneck and introduces the novel low complexity bit plane matching based ME algorithm and its efficient hardware architecture for both H.264/AVC and HEVC standards. The proposed hardware architecture of ME makes use of logical XOR operation for error measurement in place of SAD, which reduces computational complexity dramatically. The proposed hardware architecture can process 93 1280×720 HD frames per second with only 25 milliwatts of power consumption for H.264/AVC and it can process up to 52 720p HD frames per second with 284,9mW average power consumption for HEVC.

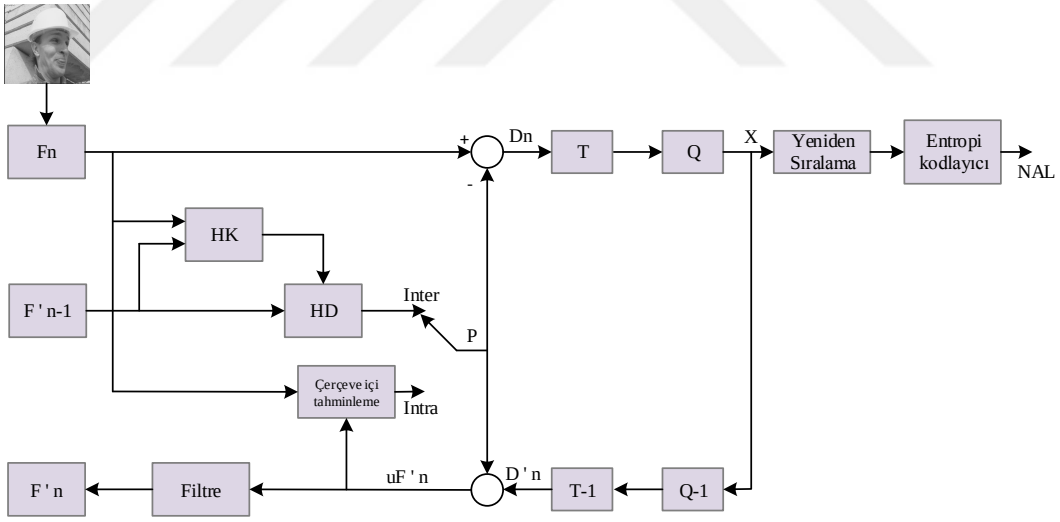
Keywords: AVC, Low Bit Depth Based Motion Estimation, H.264, H.265, HEVC

GİRİŞ

Video sıkıştırma, dijital kütüphaneler, talebe bağlı görüntü hizmeti ve yüksek çözünürlüklü televizyon gibi birçok dijital video uygulamasında önemli bir rol oynamaktadır. Saniyede 30 çerçevede 1280×720 (HD) piksel çerçeve boyutuna sahip ve her bir piksele 24 bit olacak şekilde bir video dizisi, veri hızları tipik olarak 11 Mbps ile sınırlandırılmış standart Wi-Fi(802.11b) hatları üzerinden iletilmesinin pratik olmadığı 663,5 Mbps gibi bir değer gerektirmektedir. Bu örnek, video sıkıştırmanın ne kadar önemli oladuğunu çok basit bir şekilde ifade etmektedir. Etkin bir video sıkıştırma performansı hem uzamsal hem de zamansal artıklığı azaltarak elde edilebilir. Bir video dizisi, bir dizi çerçeveden oluşur. Videoyu etkili bir şekilde saklama ve aktarma kapsamında sıkıştırmak için, ardışık çerçeveler arasındaki zamansal artıklıktan yararlanılmalıdır. Zamansal artıklık, ardışık çerçevelerin benzer olduğuna işaret ederken, uzamsal artıklık ise komşu piksellerin benzer olduğuna işaret eder. Video kodlama, video dizilerini sıkıştırılmış bir bit akışına çevirir. Bu çevirim, video dizisinden gereksiz bilgilerin çıkarılmasını içerir. Video dizisi, uzamsal ve zamansal olmak üzere iki tür artıklık içermektedir. Uzamsal artıklık özelliğinin çıkarılması genellikle çerçeve içi (pikseller arası) kodlama olarak adlandırılır ve zamansal artıklığın giderilmesi, çerçeveler arası kodlama olarak adlandırılır.

1. VİDEO KODLAMA STANDARTLARINA GENEL BİR BAKIŞ

Bir video kodlayıcının genel blok diyagramı Şekil 1.1'de gösterilmektedir. Bir giriş çerçevesi veya alanı Fn, bir makro-blok (MB) biriminde işlenir. Her MB, çerçeve içi veya çerçeveler arası modunda kodlanır ve MB'deki her blok için, yeniden oluşturulmuş görüntü örneklerine dayandırılarak bir PRED (Şekil 1.1'de 'P' olarak işaretlenmiştir) oluşturulur. Çerçeve içi modunda, PRED, daha önce kodlanmış, kodu çözülmüş ve yeniden oluşturulmuş (Şekil 1.1'de uF'n, PRED'yi oluşturmak için filtrelenmemiş örneklerin kullanıldığına dikkat edin) güncel dilimdeki komşu örneklerden uzamsal olarak oluşturulmuştur. Kodlama işlemi, çerçeve içi tahminleme için komşu örneklerin hangisinin ve ne şekilde kullanıldığını seçer; bu da, gönderilen çerçeve içi tahminleme ile ilgili ek bilgileri (mod, en olası modun bayrağı) de kullanarak kodlayıcı ve kod çözücüde eşzamanlı olarak yürütülür [1].



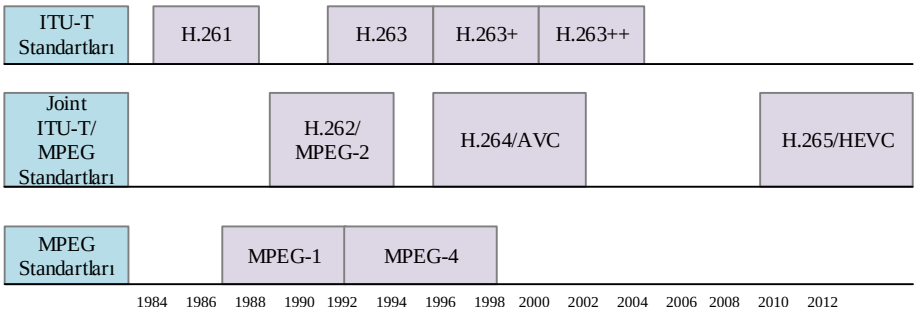
Şekil 1.1. Genel bir video kodlayıcı blok diyagramı [6]

Çerçeveler arası tahminleme modunda, PRED, referans görüntüleri kümesinden seçilen bir veya birden fazla referans görüntü(ler)den HK ve MC blokları tarafından oluşturulur. Şekil 1.1'de, referans görüntü, önceki kodlanmış görüntü F'n-1 olarak gösterilmektedir

PRED, yeniden sıralandırılmış ve entropi kodlanmış bir dizi nicemlenmiş dönüşüm katsayısı olan X'in hesaplanması için nicemlenmiş ve bir blok dönüşümü kullanılarak dönüştürülen artık fark bloğu Dn'nin hesaplanması için güncel bloktan çıkartılır. Entropi kodlanmış katsayılar, MB içindeki her bloğun (tahmin modları, kuantumlama parametresi, hareket vektör bilgisi vb.) çözülmesi için gereken ek bilgi ile birlikte, iletim veya depolama için bir NAL'ye iletilen sıkıştırılmış bit akışını oluşturmaktadır.

Kodlayıcı, her bir bloğu bir MB'de kodlar ve iletirken, diğer tahminler için de bir referans sağlamak üzere kod çözer (yeniden yapılandırır). X katsayıları, bir fark bloğu olan Dn'i üretmek üzere ölçeklenir (Q-1) ve ters dönüştürülür (T-1). PRED tahmin bloğu orijinal bloğun çözülmüş bir versiyonu olan yeniden yapılandırılmış bir blok olan uF'n'i oluşturmak için (u, filtrelenmemiş olduğunu gösterir) D'n'ye eklenir. Blok etkilerini azaltmak (de-blocking) için bir filtre uygulanır ve yeniden oluşturulmuş referans görüntü bir dizi blok F'n'den üretilmiştir.

Bir videonun sıkıştırılma kalitesi, gerekli toplam saklama miktarını belirlediğinden ve iletimini de etkilediği için çok önemlidir. ITU-T standardizasyon birimi, MPEG ve JCT-VC gibi kuruluşlar tarafından getirilen çeşitli video kodlama standartları olmuştur. Her yeni standart bir önceki standarda göre gelişmiş özellikler barındırmaktadır. İki standardizasyon kuruluşu, ISO ve ITU, medya endüstrisinin gelişimini şekillendiren bir dizi standart geliştirmişlerdir. Video kodlama standartlarının tarihsel zaman çizelgesi Şekil 1.2'de gösterilmektedir.



Şekil 1.2. Video Kodlama Standartlarının Evrimi [6]

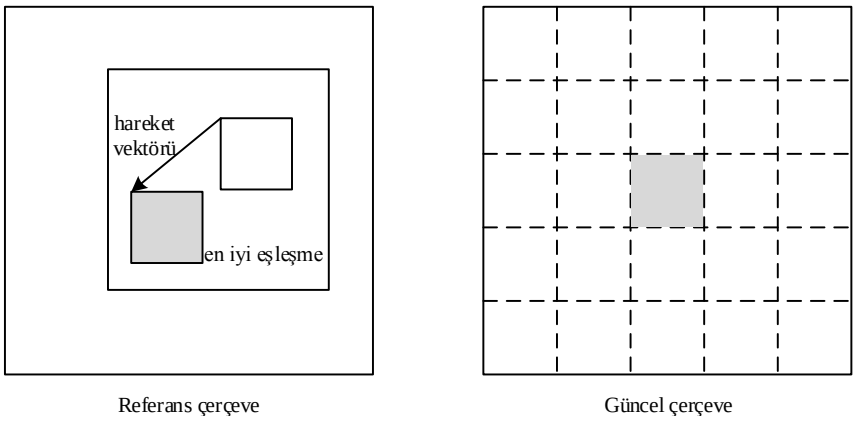
Popüler ISO kodlama standartları MPEG-1 ve MPEG-4'ü içerir. ITU-T; H.261, H.262, H.263 ve H.263+'yi içeren H.26x kodlama standartları satırını yayınlamıştır. ISO ve ITU birlikte H.264/AVC ve H.265/HEVC standartlarını geliştirmişlerdir.

İlk video kodlama standardının başlangıcından hareketle Şekil 1.1'de gösterilen hareket dengelemeli melez kodlama yaklaşımı yaygın bir şekilde kullanılmıştır. Günümüzde H.264/AVC [2] ve yeni gelen HEVC [3] (Yüksek Verimli Video Kodlaması) standartları, aynı zamanda çerçeve içi artıklıkların çerçeve içi tahminleme ve dönüştürme kodlamasıyla kullanıldığı aynı kavrama dayanılarak geliştirilirken, zamansal artıklardan yararlanmak için blok temelli hareket tahmin teknikleri kullanılır. İstatistiksel artıklar, CALVC ve CABAC gibi entropi kodlama tekniklerinden yararlanmaktadır. HK bölümünün genellikle bir video kodlayıcıda en fazla zaman harcayan aşama olduğuna dikkat etmek gerekmektedir [4].

2. HAREKET KESTİRİMİ

Bir video dizisi, gerçek dört boyutlu kesintisiz uzay-zamanın ayrıklaştırılmış üç boyutlu izdüşümü olarak kabul edilebilir. Gerçek dünyadaki nesneler hareket edebilir, döndürülebilir veya deforme olabilir. Hareketler doğrudan gözlemlenemez, bunun yerine nesne yüzeylerinden yansıyan ışık, görüntünün oluştuğu bir düzleme yansıtılır. Işık kaynağı hareket edebilir ve yansıyan ışık bir yüzey ile bir ışık kaynağı arasındaki açıya bağlı olarak değişir. Işık ışınlarını gölgede bırakan nesneler olabilir. Nesneler şeffaf olabilir (böylece bir görüntünün aynı yerinde birkaç bağımsız hareket gözlemlenebilir) veya gözlenen görüntüyü bulanıklaştıran sis, yağmur veya kar olabilir. Ayrıklaştırma, video kodlayıcısının hareket kestirimlerini yaptığı video dizisinde parazite neden olur. Görüntü yakalama cihazında (video kamera gibi) veya elektrik iletim hatlarında da parazitler olabilir. Mükemmel bir hareket modeli, tüm faktörleri hesaba katacak ve gözlemlenen video diziliminden en yüksek ihtimali olan hareketi bulacaktır. Çerçeveler arasındaki değişiklikler esas olarak nesnelerin hareketi nedeniyle oluşur. Kodlayıcı, çerçeveler arasında nesnelerin hareketi modelini kullanarak referans çerçeve ile güncel çerçeve arasında oluşan hareketi tahmin eder. Bu işleme HK denir [5]. Ardından, kodlayıcı, güncel çerçevenin daha iyi bir kestirimini sağlamak amacıyla referans çerçevenin içeriğini taşımak için bu hareket modeli ve bilgilerini kullanır. Bu süreç MC olarak bilinir ve bu şekilde üretilen tahmine, hareket dengelemeli tahmin denir. En sık kullanılan HK yöntemi BHK algoritmasıdır.

Şekil 2.1'te, blok uyumlama algoritmasının bir işlemini göstermektedir. Tipik bir Blok Uyumlama Algoritması'nda, her çerçeve, her biri parlaklık ve renklilik bloklarından oluşan bloklara ayrılmıştır. Genellikle, kodlama verimliliği için, HK sadece parlaklık bloğu üzerinde gerçekleştirilir. Güncel çerçeve içindeki her parlaklık bloğu, referans çerçevesindeki bir arama alanındaki aday bloklara karşı eşleştirilir. Bu aday bloklar, orijinal bloğun yerinden çıkmış halleridir. En iyi aday blok bulunur ve HV kaydedilir.



Şekil 2.1. Blok Uyumlamalı Hareket Kestirimi [6]

Tipik bir çerçeveler arası kodlayıcıda, giriş çerçevesi referans çerçevesinin kestiriminden çıkarılır. Sonuç olarak, HV ve ortaya çıkan hata orijinal parlaklık bloğu yerine iletilebilir; böylece çerçeveler arası artıklık ortadan kaldırılır ve veri sıkıştırması sağlanır. Alıcı sonunda, dekoder, alınan verilerden çerçeve fark sinyali oluşturur ve onu yeniden yapılandırılmış referans çerçevelerine ekler. Bu algoritma, çerçeveler arasındaki nesnelerin hareketinin bir dönüşümsel modeline dayanır. Ayrıca, bir blok içindeki tüm piksellerin aynı dönüşümsel harekete girdiğini varsayar.

Başka pek çok HK yöntemi de vardır, ancak tahmin kalitesi ve hareket geneli arasındaki basitlik ve iyi dengeden dolayı BHK normalde tercih edilmektedir. Bu varsayım kamera vasıtasıyla 3 boyutlu sahneleri yakaladığımızdan ve nesnelerin dönüşümselinden daha fazla serbestlik derecesine sahip olmasından dolayı kesinlikle geçerli değildir. Bununla birlikte, nesnelerin bir çerçevedeki pratik hareketlerini göz önünde bulundurarak, varsayımlar hala mantıklıdır ve bu hesaplamaları daha basit hale getirmektedir. HK için bazılarının frekans veya dalgacık alanlarını kullandığı diğer yaklaşımlar da vardır ve tasarımcılar, bu yöntemin kodlama standartlarında belirtilmesi gerekmediğinden yeni yöntemler icat etmek için bu konuyu göz önünde bulundurmuşlardır. Standartlar yalnızca HV'lerin dekoder tarafından nasıl yorumlanacağını belirlemelidir. BU, HK'nin en yaygın metodudur. Tipik olarak, yeni çerçevedeki her MB (tipik olarak 16×16 piksel), önceki dekode edilmiş çerçeveden aynı boyuta sahip kaydırılmış bölgeler ile karşılaştırılır ve minimum hata ile sonuçlanan kayma, o makro-blok için en iyi HV olarak seçilir. Daha sonra, hareket

dengeleme kestirimi çerçevesi, önceki çözülmüş çerçeveden ve tüm kaydırılmış bölgelerden oluşturulmuştur.

3. İLGİLİ ÇALIŞMALAR

Blok temelli HK'de, güncel çerçeve birbiri ile örtüşmeyen eşit boyutlu bloklara ayrılır. Tam arama HK düzeni için donanım mimarisi, güncel çerçeve içindeki tüm ilgili MB'ler için HV'ler üretmeli ve hesaplamalıdır. Hareket vektörlerini belirlemeye yönelik genel denklem, Denklem (3.1)'de gösterilmiştir.

$$\begin{aligned} &SSD\left(d_x, d_y\right) = \sum_{x=0}^{N-1}\sum_{y=0}^{N-1}\left\{F^c\left(x, y\right) - F^r\left(x + d_x, y + d_y\right)\right\}^2 \\ &-w \le d_x, d_y \ge w \\ &HV = \min\left(SSD\left(d_x, d_y\right)\right) \end{aligned} \tag{3.1}$$

Burada, sırasıyla, $F^c(x,y)$ güncel ve $F^r\left(x + d_x, y + d_y\right)$ referans blok piksellerini göstermektedirler. Ek olarak, (d_x, d_y) ve w, sırasıyla, aday HV'yi ve arama aralığını temsil eder. Minimum SSD'yi sağlayan potansiyel HV, ilgili bloğun HV'sini temsil eder. Literatürde daha önce önerilen HK yöntemleri, Denklem (3.2)'de gösterildiği gibi çoğunlukla SSD yerine uyumlama ölçütü olarak SAD'yi kullanmaktadır [7-9].

$$\begin{aligned} &SAD\left(d_x, d_y\right) = \sum_{x=0}^{N-1}\sum_{y=0}^{N-1}\left|F^c\left(x, y\right) - F^r\left(x + d_x, y + d_y\right)\right| \\ &-w \le d_x, d_y \ge w \\ &HV = \min\left(SAD\left(d_x, d_y\right)\right) \end{aligned} \tag{3.2}$$

Güncel blok, arama aralığı içindeki olası tüm aday konumlarında arandığından, bu işlemin hesapsal karmaşıklığı oldukça yüksektir. Tüm aday konumları kontrol edildiğinden, bu yöntem tam arama temelli HK olarak adlandırılır. Literatürde, tam arama temelli HK yönteminin hesapsal yükünü ve donanım karmaşıklığını azaltmak için birkaç farklı yaklaşım grubu vardır. Birinci grup yaklaşımın ana motivasyonu arama penceresindeki tüm aday konumların yalnızca bir alt kümesini kontrol etmektir.

Üç aşamalı arama [8], elmas arama [9] ve altıgen arama [10] temelli HK yöntemleri, yalnızca önceden tanımlanmış arama konumlarının kontrol edildiği bu kategorideki üyelerdir. [11]'de sunulan yöntem gibi uyarlanabilir arama aralığı belirlemeye dayalı yaklaşımlar, her bloğun önceden belirlenmiş bir arama aralığına dayalı olarak yalnızca sınırlı aday sayısının kontrol edildiği bu gruba dahil edilebilir.

İkinci yaklaşım grubu, çeyrek [12], beşli diziliş [13], sekiz kraliçe [14] ve yeniden yapılandırılabilir sınır [15] gibi belirli bir alt örnekleme örüntüsünden yararlanarak uyumlama kriterinin hesaplanmasında kullanılan piksel sayısını azaltmayı önermektedir.

Üçüncü grup, belirli veya geriye kalan tüm aday konum/konumları için uyumlama kriterinin hesaplanmasını atlamayı hedeflemektedir. Örneğin, [16]'da sunulan yaklaşım gibi ardışık eliminasyon algoritmasına dayanan yöntemler, daha düşük karmaşıklıkta uyumlama kriterinin alt sınırını hesaplar ve böylece bu adaya uyumlama hesaplamadan önce imkansız adayları atlar. [17]'de önerilen plan gibi erken sonlandırma yöntemleri, kısmi uyumlama sonucunu geçerli olan en düşük uyumlama hatasıyla karşılaştırarak aynı hedefi amaçlamaktadır. Bu nedenle, ilgili güncel blok için tam uyumlama kriterini hesaplamadan imkânsız aday yerlerini ortadan kaldırmak olasıdır.

Son yaklaşım grupları [18-29] SSD veya SAD'ye kıyasla daha düşük karmaşıklığa sahip uyumlama ölçütlerini kullanmayı önerir. Bu yöntemler genel olarak BPM tabanlı teknikler olarak adlandırılırlar; burada görüntü çerçeveleri daha düşük bit derinliğinde temsil edilir ve uyumlama kriterlerini hesaplamak için Boolean işlemleri kullanılır. Boolean işlemlerinin, donanım uygulamalarında etkili bir şekilde gerçekleştirilebileceği bilinmektedir. Donanım uygulamaları ile bu grup yaklaşımlar bu tezin odağında olduğu için, daha sonraki bölümlerde ayrıntılı olarak ele alınacaktır. Bununla birlikte, BPM temelli HK yöntemlerini kullanarak mevcut tüketici elektronik cihazlarının neredeyse tüm işlem kaynaklarında bulunan SIMD altyapısının verimliliğini artırmanın mümkün olacağını belirtmek önem arz etmektedir.

4. DÜŞÜK BİT GÖSTERİMİ TEMELLİ HK METODLARI

BPM temelli yöntemlerde, XOR, güç tüketimi ve donanım kaynaklarını önemli ölçüde azaltmak için SAD yerine uyumlama kriteri olarak kullanılır. BPM'de, genel olarak, Denklem (4.1)'de gösterildiği gibi uyumlama için NNMP kriteri kullanılır.

$$\begin{aligned} &\mathrm{NNMP.}\left(d_x, d_y\right) = \sum_{x=0}^{M-1}\sum_{y=0}^{M-1}\left\{B^c\left(x, y\right) \oplus B^r\left(x + d_x, y + d_y\right)\right\} \\ &-w \le d_x, d_y \ge w \\ &\mathrm{HV} = \min\left(\mathrm{NNMP.}\left(d_x, d_y\right)\right) \end{aligned} \tag{4.1}$$

Burada, $B^c(x,y)$ ve $B^c\left(x + d_x, y + d_y\right)$, sırasıyla, güncel bit düzlemindeki ve referans bit düzlemindeki pikselleri temsil eder. Mantıksal XOR işlemi $\oplus$ ile gösterilir. NNMP değerleri, ilgili GB'nin HV'sine karar verir. Minimum NNMP değerini sağlayan aday konum GB'nin HV'si olarak kabul edilir. Denklem (4.1)'de gösterilen işlem oldukça basit görünüyor olsa da, ikilileştirme işlemi, ilgili çalışmalarda genellikle bahsedilmeyen ek donanım gerektirir.

[19]'da olduğu gibi bir BP temelli HK, [23] ve [24]'te HK sürecinde 2 BP'nin kullanıldığı sırasıyla 2BT temelli HK ve kısıtlanmış 1-bit dönüşümü temelli HK yöntemleri gibi birçok düşük karmaşıklığa sahip BPM temelli HK yöntemi sunulmuştur. [23-25]'te olduğu gibi, tek BP veya 2BT temelli HK yaklaşımları için farklı donanım mimarileri önerilir, ancak bunların hiçbiri ikilileştirme için herhangi bir çözüm sunmaz.

TGCBPM yöntemi, ikilileştirme işlemini önemli derecede kolaylaştırmak için sunulmuştur [30]. TGCBPM temelli HK yönteminde, HK'de kullanılan bit düzlemleri, kullanılmayan en değerliksiz Gray kodlanmış bit düzlemlerini kırparak üretilir. TGCBPM yönteminde NNMP değerlerini hesaplamak için Denklem (4.2) kullanılmıştır.

$$
\begin{aligned}
&NNMP_{TGC}\left(d_x, d_y\right) = \sum_{x=0}^{N-1}\sum_{y=0}^{N-1}\sum_{m=NTB}^{M-1} 2^{M-NTB}\left\{g_m^t\left(x, y\right) \oplus g_m^{t-1}\left(x + d_x, y + d_y\right)\right\} \\
&-w \le d_x, d_y \ge w \\
&HV = \min\left(NNMP_{TGC}\left(d_x, d_y\right)\right)
\end{aligned}
\tag{4.2}
$$

M ve NTB sırasıyla, bir pikseldeki bit sayısını ve kırpılmış bit sayısını temsil eder. Deneyler, NTB = 5' i ayarlarken en iyi sonuçların elde edildiğini ortaya koymaktadır; bu da HK'de sadece en değerlikli 3 bit düzlemi kullanıldığı anlamına gelir [26]. Genel olarak, düşük bit derinlikli HK teknikleri, tam bit derinliği temelli HK yöntemlerine kıyasla daha verimli bir donanım mimarisi elde etmeye yardımcı olur [27-31].

Son zamanlarda, 4 en değerlikli bit düzlemi, HK işleminde kullanılan bit düzlemlerinin sayısını daha da azaltmak için [32]'de sunulan bit seçim düzenini kullanarak bir bitlik düzlem elde etmek için kullanılmaktadır. [33]'de, 3 en değerlikli bit düzlemini verimli kullanarak ikili görüntü elde etmek için yeni bir ikilileştirme yöntemi sunulmuştur ve bu yöntem SGCBP-HK olarak adlandırılmıştır. Deneyler SGCBP-HK'nin [32]'de önerilen ikilileştirme yöntemine kıyasla daha verimli olduğunu göstermektedir.

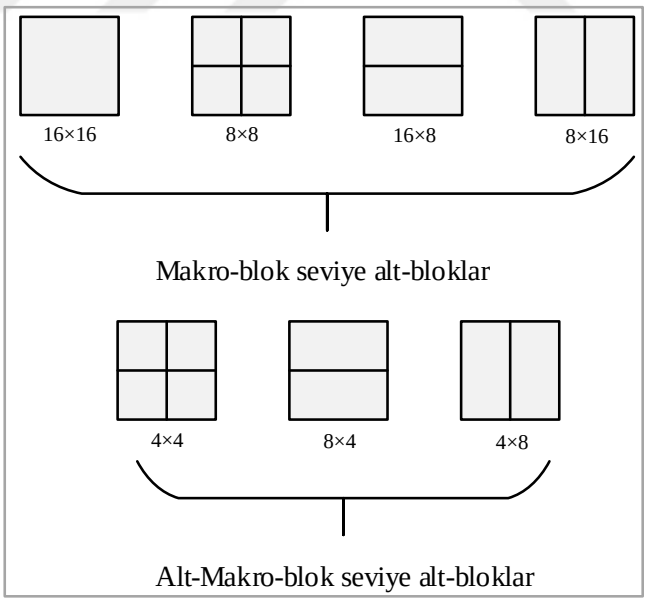
5. TEZ KATKISI

Genel olarak, SAD, BHK işlemi sırasında maliyet fonksiyonu olarak kullanılmaktadır. Bununla birlikte, referans ve güncel çerçeve arasında SAD'yi hesaplayan BHK'deki SAD mimarisi, donanım kaynaklarının kullanımı açısından darboğaz oluşturmaktadır. BHK'yi donanım kullanımı açısından daha verimli hale getirmek için alternatif yaklaşımlar gereklidir. Bu çalışmada, SAD yerine hata ölçümü için mantıksal XOR işlemini kullanan yeni bir binarizasyon yöntemi önerilmektedir. Bu yaklaşım hesapsal karmaşıklığı önemli ölçüde azaltmaktadır.

Bu tezde, [33]'te sunulan SGCBP-HK algoritması H.264/AVC ve HEVC tarafından desteklenen tüm değişken blok boyutları (VBSGCBP-HK) için genişletilmiştir. [33]'te SGCBP-HK ve donanım mimarisi 16×16 sabit boyutlu MB'yi desteklemek için önerilmiştir. Bu çalışmada, öncelikle SGCBP-HK için daha verimli bir donanım mimarisi gerçekleştirilmiştir. Bundan sonra, H.264/AVC'ün tüm değişken blok boyutlarını (16×16, 16×8, 8×16, 8×8, 8×4, 4×8, 4×4) destekleyen VBSGCBP-HK uygulanmaktadır. Buna ek olarak SGCBP-HK de HEVC için kullanılmıştır. Hem H.264/AVC hem de HEVC için verimli donanım mimarileri FPGA'da gerçeklenmiştir.

6. H.264/AVC İÇİN ÖNERİLEN BİT DÜZLEMİ TEMELLİ HAREKET KESTİRİMİ YAKLAŞIMI

DBHK, önceki video kodlama standartlarına kıyasla verimli ve esnek hale getiren H.264/AVC standardında desteklenen bir özelliktir. DBHK'de H.264/AVC standardında uygulanabilen yedi farklı blok boyutu vardır. Bu blokların boyutları 16×16, 16×8, 8×16, 8×8, 8×4, 4×8, 4×4'tür. Bu blok bölümleri, MB ve AMB düzeyi gibi iki biçimde oluşabilir. 16×16 boyut MB, 16×8, 8×16 ve 8×8 AMB'lere bölünebilir. 8×8 boyutlu AMB 8×4, 4×8 ve 4×4 bloklara ayrılabilir [2]. MB ve AMB düzeyinde bölümleme düzeni Şekil 6.1'de gösterilmiştir. DBHK, daha az artıklık hatasına sahip olduğundan, sabit büyüklükteki HK'ye kıyasla daha iyi HK performansı elde edebilir. Açıkçası, DBHK'nin hesapsal karmaşıklığı sabit blok boyutundan (HK) daha yüksektir. Bu çalışmada SGCBP-HK algoritması için H.264/AVC'ün DBHK özelliği kullanılmıştır.



Şekil 6.1. H.264/AVC'te desteklenen farklı blok boyutları

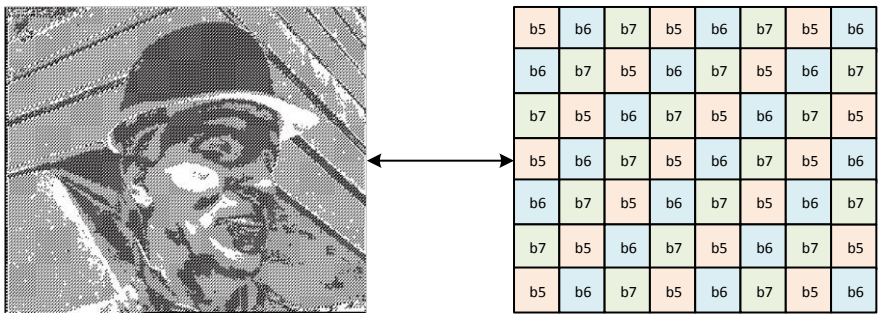
BPM tekniklerinde, 8 bit / piksel video çerçevesi, spesifik ikilileştirme algoritmaları [32-33] kullanılarak ikili görüntüye dönüştürülür.

[33]'te önerilen SGCBP-HK algoritması literatürdeki önerilen en güncel ikilileştirme yöntemlerinden biridir. Bu algoritmada, ilk olarak, en değerliksiz bit düzlemleri düşürülerek 8 bit / piksel video çerçevesinden 3 en değerlikli bit düzlemi çıkarılır ve daha sonra bu 3 en değerlikli bit düzleminden ikili görüntü elde edilir. Şekil 6.2'de, 3 en değerlikli bit düzlemi elde etme süreci görülmektedir. Başlangıçta 8 bit / piksel olan görüntü 8 farklı düzlemde çözünür ve her düzlem 1 bit / piksele sahiptir. Bundan sonra, 3 en değerlikli bit düzlemi kalanlarını atarak filtreler. Sonunda ikili görüntü, Şekil 6.3'de gösterilen düzen kullanılarak 3 en değerlikli bit düzleminden elde edilir.



Şekil 6.2. 3 Bitlik Düzlemlerin Elde Edilmesi Süreci

Şekil 6.3'te, tam bit derinlik görüntüsünün 3 en değerlikli bit'sini kullanarak yeniden yapılandırılmış ikili görüntü elde edilmiş olup; b5, b6 ve b7 sırasıyla beşinci, altıncı ve yedinci bit düzlemlerinden bitleri temsil etmektedir. Bu düzenleme kullanılarak elde edilen ikili çerçeve, her 3 en değerlikli bit bit düzleminin özelliklerine sahiptir. Ayrıca, ikili düzlemler MB'lere bölünmüştür ve aday HV'ler elde etmek için MB'lerde Denklem (4.1) uygulanır.

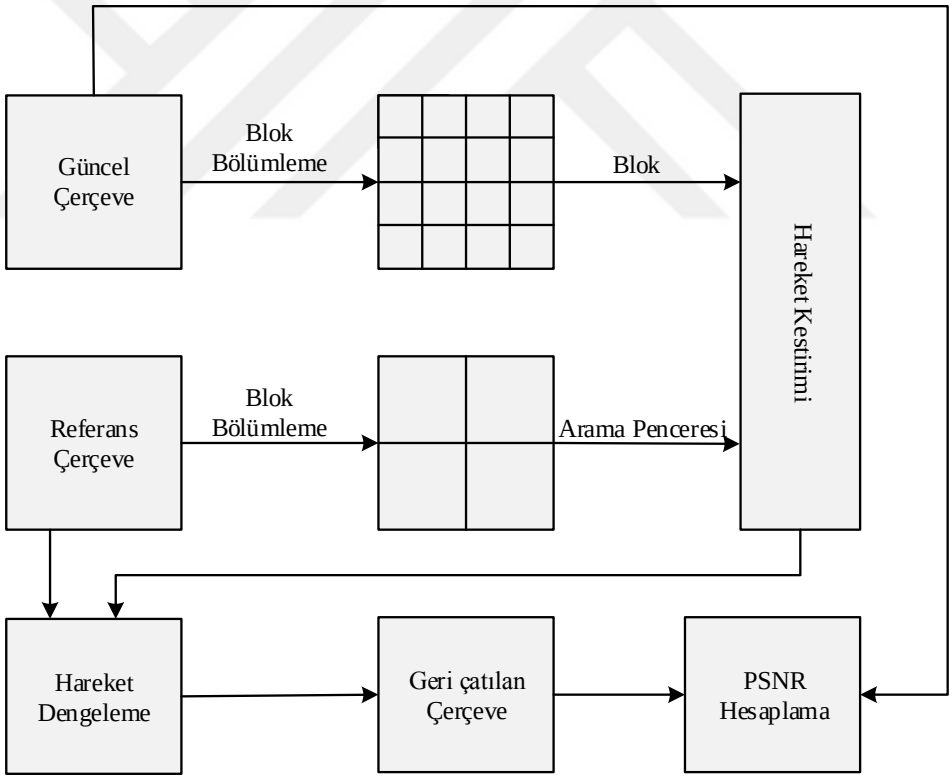


Şekil 6.3. 8×8 blok için bit düzlemi seçimi yaklaşımı [33]

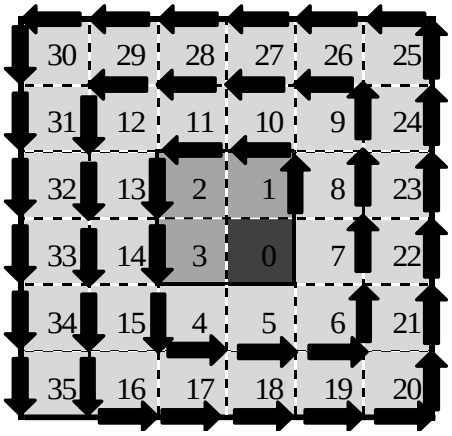
DBHK VBSGCBP-HK yöntemi ile gerçekleştirildiğinden her 16×16 MB için 41 HV elde edilmiştir. VBSGCBP-HK'nin performansını test etmek için 7 farklı video dizisi

kullanılmıştır. PSNR performans metriği olarak kullanılır ve yeniden yapılandırılmış çerçeveler kullanılarak hesaplanır.

Bu tezde PSNR'yi hesaplamak için kullanılan mimarinin blok diyagramı Şekil 6.4'te gösterilmektedir. Çerçeveler ilk etapta bir videodan elde edilir. Buna ek olarak, güncel çerçeve ve referans çerçeveleri sırasıyla bloklara ve arama pencerelerine bölünmüştür. Daha sonra bir blok ve arama penceresi, HK'nin gerçekleştirildiği tamsayı-HK bloğu ve VBSGCBP-HK içine tek tek beslenir. Tam sayı-HK bloğu ve VBSGCBP-HK'de, Şekil 6.5'de gösterildiği gibi arama penceresi merkezinden başlayarak spiral arama kullanılır ve her blok için, SAD ve NNMP, sırasıyla, Denklem (3.2) ve Denklem (4.1) kullanılarak hesaplanır. Spiral arama algoritması merkezden başladığından, gelecekteki çalışmalarda erken sonlandırma için kullanılabilir.



Şekil 6.4. PSNR Hesaplaması için önerilen yöntem



Şekil 6.5. Spiral arama diyagramı

SAD temelli HK durumunda, minimum SAD değerine sahip olan aday, ilgili bloğun HV'sini temsil eder. VBSGCBP-HK için, minimum NNMP değerlerine sahip aday ilgili bloğun HV'sini temsil eder. Sonunda hareket dengeleme bloğu, HV'leri ve referans çerçevesini alır ve daha sonra PSNR hesaplamaları için kullanılan yeniden yapılandırılmış çerçeveyi üretir. Blok bölme esnasında MB ve CU terimleri sırasıyla H.264/AVC ve HEVC'de kullanılır. H.264/AVC'te, 16×16 MB, 16×16, 16×8, 8×16, 8×8, 8×4, 4×8 ve 4×4 olmak üzere yedi olası alt bloğa bölünebilir.

Tüm yedi olası blok boyutları için VBSGCBP-HK yönteminin PSNR performansı Tablo 3.1'de gösterilmiştir. VBSGCBP-HK'nin PSNR değerlerinin daha küçük blok boyutları için bile hala artmakta olduğunu belirtmek önemlidir. Tablo 3.2, SAD temelli HK'nin PSNR performansını göstermektedir. Her iki HK türünün PSNR değerlerinin küçük blok boyutları için bile karşılaştırılabilir olduğu fark edilebilmektedir.

Tablo 6.1. SGCBP-HK kullanılarak elde edilen PSNR değerleri

PSNR değerleri (dB) / (Arama aralığı 48×48 için)								Video Dizileri (Dizi Boyutu)
16×16	16×8	8×16	8×8	8×8	8×4	4×8	4×4	384×256
23,06	22,48	23,57	23,92	23,77	22,06	23,51	22,96	Futbol (125)
31,40	27,79	31,07	30,22	30,34	26,53	29,22	27,92	Foreman (300)
29,55	25,98	29,56	28,80	29,28	25,29	28,06	26,45	Tennis (150)
24,69	24,09	24,78	24,60	25,40	22,72	23,72	20,85	Flower garden (115)
25,18	23,58	25,01	24,23	24,69	21,17	23,26	21,39	Mobile (300)
30,51	28,85	30,09	29,06	29,58	26,10	28,09	26,31	Coastguard (300)
27,39	**25,46**	**27,34**	**26.80**	**2,17**	**23,97**	**25,97**	**24,31**	**Ortalama**

Tablo 6.2. SAD temelli HK kullanılarak elde edilen PSNR değerleri

PSNR değerleri (dB) / (Arama aralığı 48×48 için)								Video Dizileri (Dizi Boyutu)
16×16	16×8	8×16	8×8	8×8	8×4	4×8	4×4	384×256
23,75	23,59	24,83	26,24	25,74	25,13	26,91	28,38	Futbol (125)
32,91	32,14	33,63	34,49	33,90	32,96	34,64	35,57	Foreman (300)
30,68	29,93	31,55	32,53	32,29	31,33	33,07	34,03	Tenis (150)
25,18	25,02	25,65	26,26	26,77	26,46	27,25	27,87	Çiçekbahçesi (115)
25,68	25,41	26,06	26,52	26,73	26,01	27,29	28,04	Mobil (300)
31,27	31,18	31,71	32,22	32,44	31,85	32,93	33,73	Sahil Kurma (300)
28,24	**27,87**	**28,90**	**29,71**	**29,64**	**28,95**	**30,34**	**31,27**	**Ortalama**

Bir sonraki bölümde, SGCBP-HK'nin etkin donanım mimarisi, 16×16 MB'lık sabit blok için önerilmiştir. Bundan sonra, H.264/AVC'ün DBHK özelliği kullanılmış ve VBSGCBP -HK'nin donanım dostu mimarisi hayata geçirilmiştir.

6.1. SGCBP-HK İçin Önerilen Donanım Mimarisi

SGCBP-HK için önerilen donanım mimarisi Şekil 6.6'da gösterilmiştir. Önerilen donanım mimarisi Şekil 6.6'da gösterildiği üzere temel olarak beş bloktan oluşmaktadır: bellek ünitesi, bilgi seçici dizisi, 2 boyutlu PE dizisi, paralel sayıcı ve karşılaştırıcı.

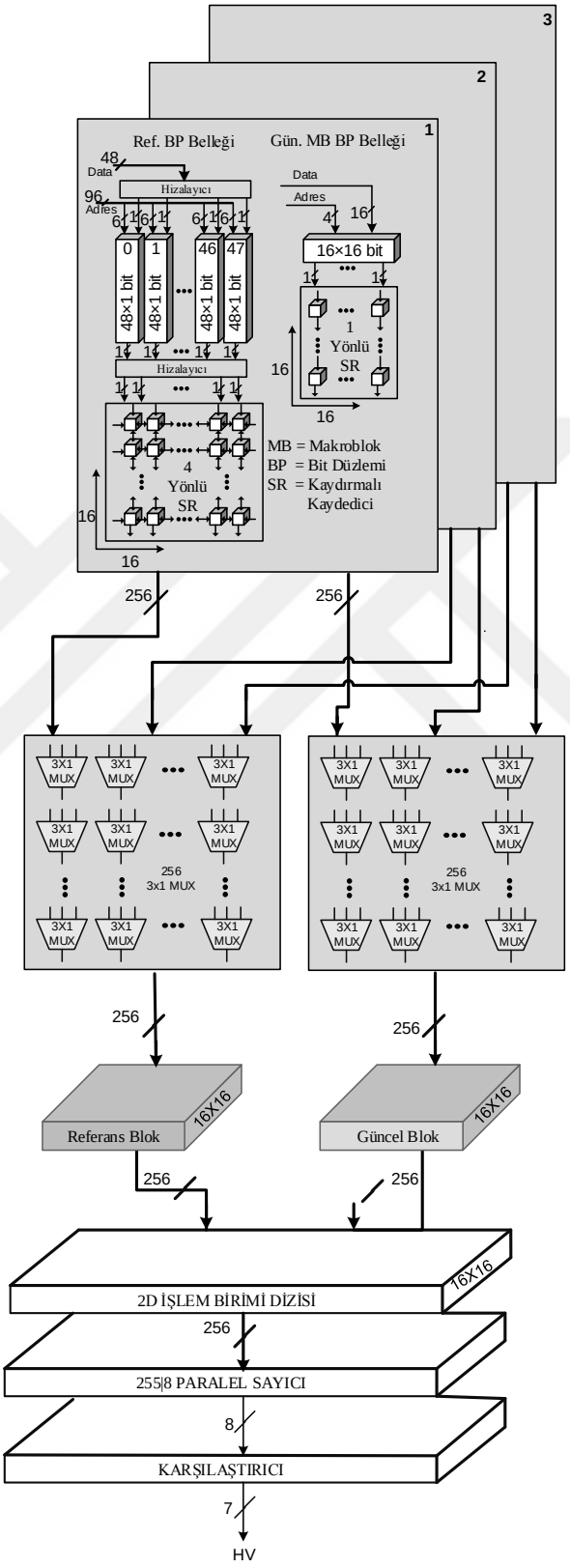
6.1.1. Bellek ünitesi

Bellek ünitesi dört alt bloktan oluşur; Referans pencere belleği, güncel makro-blok bellek, iki veri hizalayıcı bloğu ve iki SR dizisi. Önerilen donanım mimarisinde, bir 16×16 boyutlu RAM ve 48 adet 48×1 RAM güncel blok belleği ve referans penceresi için kullanılmaktadır. Önerilen düzende [33]'te kullanılan 3 en değerlikli bit düzlemleri olduğu için önerilen donanım mimarisinde üç bellek modülü kullanılmaktadır.

6.1.2. Hızlı arama algoritması desteği

Önerilen mimaride, referans penceresi verileri ilgili bellek bloğuna piksel verisini depolamadan önce ilgili hizalayıcıdan geçirilir. Hizalayıcı gelen verilerin [34]'te önerildiği gibi merdiven biçimli bir şekilde depolanmasına izin verir. Bu düzen, tek bir bellekteki herhangi bir satırı veya sütunu tek bir saat işaretinde okumayı sağlar.

Bu tür bellek mimarisi, arama penceresinde dikey ve yatay yönde rastgele bir hareket imkânı sağlar. Başka bir deyişle, hızlı HK algoritmalarını desteklemektedir.



Şekil 6.6. Önerilen Donanım Mimarisi

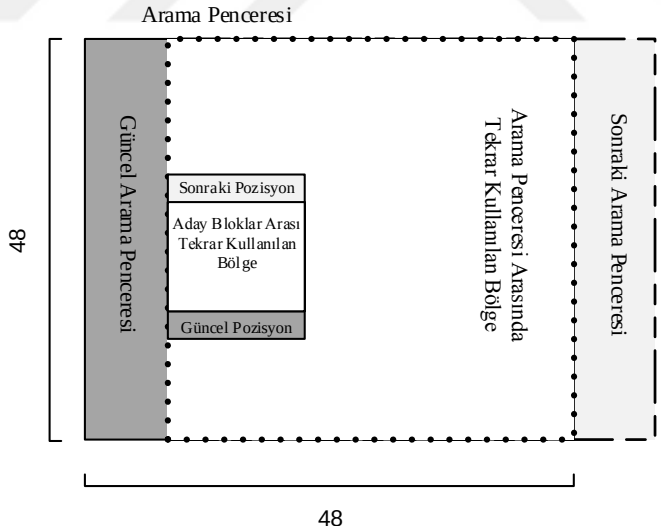
Şekil 6.7, önerilen donanım mimarisinde kullanılan bellek mimarisi için bir örnek veri örüntüsü göstermektedir. [-4,4) arama aralığı için bellek mimarisini gösterir. Koyu renk gölgeli alan 0'ıncı sütunu, hafif gölgeli alan 0'ıncı satırı temsil eder. Kullanılan bellek bloğundaki bu organizasyon sayesinde satır ve sütunların bir saat çevriminde okunabileceği görülebilir. RAM'den okuduktan sonra, veriler verileri uygun bir şekilde yeniden kaydıran başka bir hizalayıcı aracılığıyla geçirilir. Örneğin, 1. satır okunursa, gelen veriler hizalayıcı tarafından bir piksel sola kaydırılır.

Geçerli blok piksellerini saklamak için 16×16 kaydırmalı kaydedici kullanılır. Önerilen yöntemde [33] 3 en değerlikli bit düzlemi kullanıldığından, güncel blok piksellerini depolamak için 3 bit SR dizisi kullanılmaktadır. HK işleminin başlangıcında yükleme işlemi sırasında güncel blok pikselleri SR dizisine kaydırılır. Yükleme işlemi tamamlandıktan sonra güncel blok SR sırası üzerinde hiçbir kaydırma işlemi gerçekleştirilmez.

ADRES	BELLEK0	BELLEK1	BELLEK2	BELLEK3
0	0 0	0 1	0 2	0 3
1	1 3	1 0	1 1	1 2
2	2 2	2 3	2 0	2 1
3	3 1	3 2	3 3	3 0
4	4 0	4 1	4 2	4 3
5	5 3	5 0	5 1	5 2
6	6 2	6 3	6 0	6 1
7	7 1	7 2	7 3	7 0
8	0 4	0 5	0 6	0 7
9	1 7	1 4	1 5	1 6
10	2 6	2 7	2 4	2 5
11	3 5	3 6	3 7	3 4
12	4 4	4 5	4 6	4 7
13	5 7	5 4	5 5	5 6
14	6 6	6 7	6 4	6 5
15	7 5	7 6	7 7	7 4

Şekil 6.7. [-4,4) arama aralığı için örnek model

RB'yi depolamak için kullanılan SR dizisi, verileri yukarı, sağa, sola ve aşağı yönlere hareket ettirme yeteneğine sahiptir. Önerilen mimaride sırasıyla spiral arama düzeni ve merdiven şekilli bellek mimarisi sayesinde birden fazla veri yeniden kullanım düzeni ve hızlı arama algoritması desteklenmektedir. Veri yeniden kullanımının donanım mimarisi üzerindeki etkileri [36]'da detaylı olarak açıklanmıştır. Çeşitli veri yeniden kullanım düzeni, yongayla tümleşik olmayan belleğin bant genişliğini azaltmak için kullanılabilir. Örneğin, GB'ler için HK'nin aynı anda performans sergilenmesi, verilerin tekrar kullanılmasını sağlamak için dolaylı bir yol olmakla birlikte, bu düzen daha fazla PE sayısı gerektirir [28]. Veri tekrar kullanımını gerçekleştirmenin bir başka yolu da [36] daki gibi hızlı arama algoritmalarını kullanmaktır. Sunulan donanım mimarisindeki istifade edilen veri yeniden kullanım düzeni Şekil 6.8'de gösterilmektedir. Bu şekilde gösterildiği gibi, hem yatay hem de dikey hareketler arama penceresinde gerçekleştirilmektedir. Her dikey harekette bellekten bir yeni piksel sırası okunur ve SR diziliminden istifade ederek 15 eski satır tekrar kullanılır. Aynı şekilde, yatay hareket sırasında bellekten bir yeni piksel sütunu okunur ve önceki 15 sütun yeniden kullanılır.

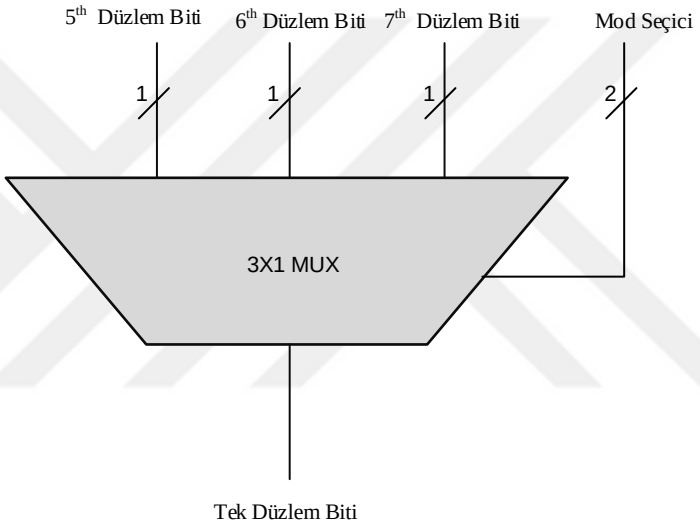


Şekil 6.8. Veri Yeniden Kullanım Düzeni

Önerilen mimaride spiral benzeri hareket Şekil 6.5'te gösterildiği gibi kullanılmaktadır [33]. 4 yönlü SR dizisi, bu tür hareketleri Şekil 6.5'te gösterildiği gibi mümkün kılmaktadır. Spiral hareketin en önemli avantajı, gelecekte erken sonlandırma veya uyarlanabilir arama aralığı teknikleri uygulamasına olanak sağlamasıdır.

6.1.3. Bilgi seçici dizisi

[33]'te, üç Gray kodlanmış bit düzleminde seçici bir yaklaşım kullanarak tek bit düzlemi elde etmek için seçimli Gray kodlanmış bit düzlemi temelli ikilileştirme yaklaşımı sunulmuştur. Şekil 6,6'da gösterildiği gibi önerilen düzeni önerilen donanım mimarisinde uygulamak için 3×1 MUX dizisi kullanılmaktadır. Blok boyutu 16×16 piksel olduğu için önerilen mimaride 256 3×1 bilgi seçici kullanılmıştır. Mod seçici [33]'te önerilen yönteme göre bu bloğa yönlendirilen Gray kodlanmış üç bitten uygun biti seçmek için kullanılan bilgi seçici dizisindeki bir MUX'un ayrıntılı diyagramı Şekil 6.9'da gösterilmiştir.



Şekil 6.9. Bit Düzlem Seçicisi

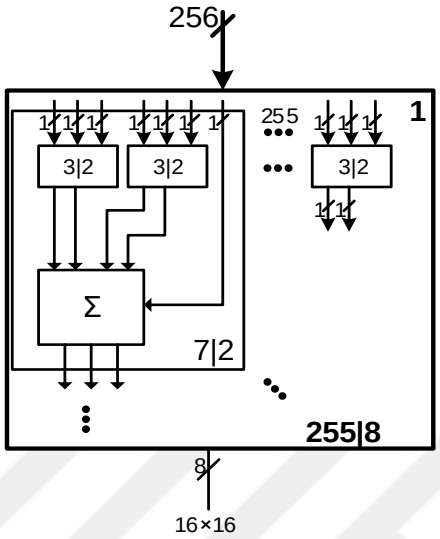
6.1.4. PE dizisi

16×16 piksel boyutunda RB, bilgi seçici bloğu tarafından gerçekleştirilen uygun bit seçiminden sonra Şekil 6.6'da gösterildiği gibi 2D PE dizilimine yönlendirilir. 2D PE dizisinde RB ve GB, Boolean XOR işlemi kullanılarak karşılaştırılmıştır.

6.1.5. Paralel sayıcı ve karşılaştırıcı

paralel sayıcı, RB ve GB arasındaki NNMP'yi hesaplamak için kullanılır. Paralel sayıcının mimarisi, Şekil 6.10'da gösterildiği gibi sırasıyla 3|2, 7|3, 15|4, 31|5, 63|6, 128|7 ve 255|8 boyutlarında alt kademeli kadrolardan oluşmaktadır. Paralel sayıcı, 255 giriş, bir makro-blok 256 pikseldir. Deneyler, bir piksel yokluğunun HK performansı üzerinde önemli bir etkisi olmadığını göstermektedir [31]. Buna ek

olarak, paralel sayıcı mimarisi de nispeten daha basit hale gelir. Sayıcı çıktısı, bu blok tarafından sırayla üretilen NNMP değerlerini karşılaştırarak GB'nin HV'sini bulmak için bir karşılaştırıcı ile takip edilir.



Şekil 6.10. Paralel Sayıcı Mimarisi

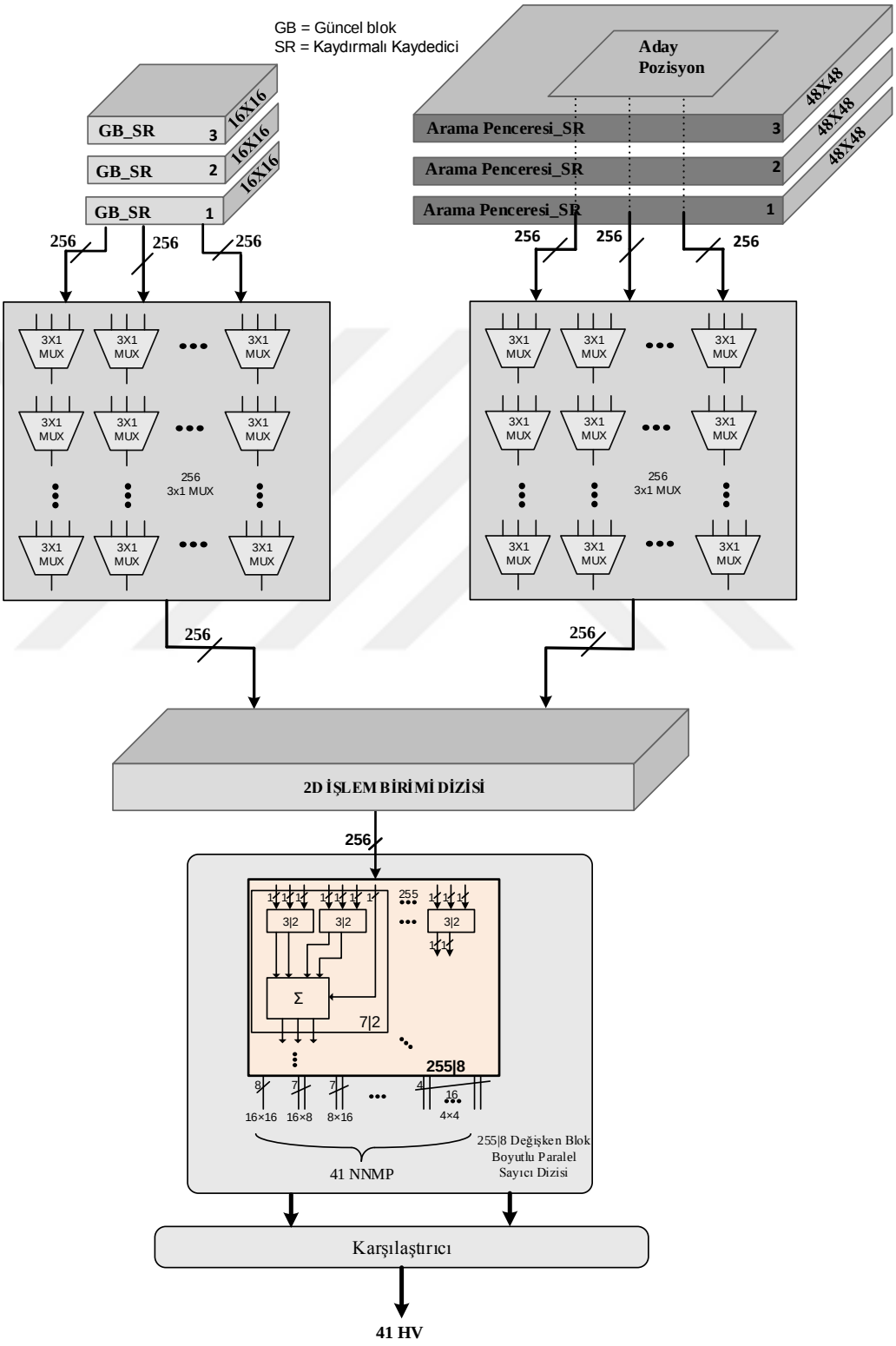
6.2. VBSGCBP-HK İçin Önerilen Donanım Mimarisi

VBSGCBP-HK için önerilen donanım mimarisi Şekil 6.11'de gösterilmiştir. Temelde iki kısım vardır: veri yolu ve kontrol devresi. Veri yolundaki veri akışını kontrol etmek için kontrol devresi kullanılır. Kontrolörün mimarisi, bir sonlu durum makinesi olarak uygulandığı için Şekil 6.11'de gösterilmemiştir. Veri yolu temel olarak bellek ünitesi, 3×1 MUX dizileri, PE, paralel sayıcı ve karşılaştırıcıya sahiptir

6.2.1. Bellek ünitesi

Önerilen mimarinin bellek ünitesi GB ve arama penceresi piksellerini depolamak için kullanılır. Bellek ünitesinde sırasıyla GB ve arama penceresi piksellerini depolamak için 16×16 ve 48×48 SR dizileri kullanılır. arama penceresi için SR düzeni pikselleri yukarı, sağa, aşağı ve sola dört yönde kaydırma özelliğine sahiptir. Bu tür kaydırma sayesinde bir saat çevriminde arama penceresi'nun herhangi bir satırını veya sütununu okumak mümkündür. Veri yeniden kullanma yeteneği, önerilen mimaride Şekil 6.8'de gösterildiği gibi de uygulanmaktadır. Bu yapı sayesinde sırasıyla arama penceresi'daki her yatay veya dikey kaydırma sırasında 15 önceki sütun veya satır tekrar kullanılabilir. GB için SR dizisi verileri yalnızca aşağı yönde taşıyabilir.

VBSGCBP-HK'de üç Gray kodlanmış en değerlikli bit düzlemi kullanıldığından, önerilen her donanım mimarisinde her GB ve arama penceresi için üç set SR kullanılmaktadır.



Şekil 6.11. VBSGCBP-HK için Önerilen Donanım Mimarisi

6.2.2. Bilgi seçici dizisi

[33]'te açıklanan algoritmaya göre 3 en değerlikli bit düzleminden ikili görüntüyü elde etmek için 3×1 MUX dizileri kullanılmaktadır. MUX dizilerinin çıkışında GB ve RB ile ilgili 16×16 piksel elde edilir.

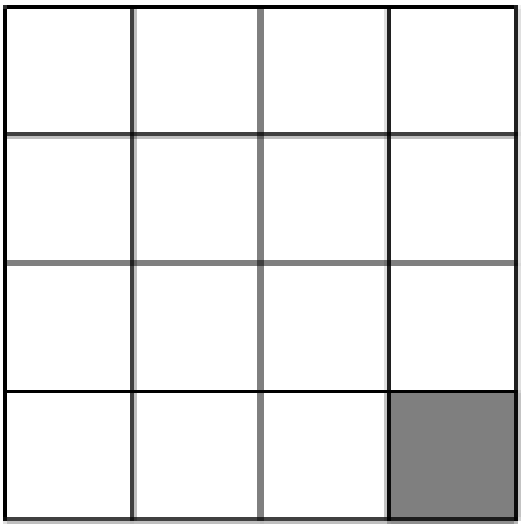
6.2.3. İşlem elemanı

PE'de, GB ve RB pikselleri üzerinde XOR işlemi gerçekleştirilir. XOR işlemi, Denklem (4.1)'de gösterilmiştir. XOR işlemi sonrası 0 ve 1'i içeren 16×16 blok elde edilir. 0 ve 1, sırasıyla GB ve RB arasındaki eşleşen ve eşleşmeyen pikselleri temsil eder.

6.2.4. Paralel sayıcı ve karşılaştırıcı

Paralel sayıcı, XOR işleminin çıktısında 1 sayısını saymak için kullanılmıştır. Önerilen donanım mimarisinde kullanılan paralel sayıcı Şekil 6.11'de gösterilmektedir. 16×16 MB'de bir 16×16, iki 16×8, iki 8×16, dört 8×8, sekiz 8×4, sekiz 4×8 ve on altı 4×4 AMB olduğundan; önerilen donanım mimarisinde 41 paralel sayıcı uygulanmaktadır. Her paralel sayıcının temel birimi 3|2 paralel sayıcıdır, burada 2 ve 3 sayaçların sırasıyla giriş ve çıkış bit genişliklerini temsil eder.

Her bir AMB'nin paralel sayıcısı, AMB'deki 1 sayısını sayarken son bitleri yoksayar. Örneğin, 4×4 AMB'de maksimum 1 sayısı on altı olabilir, ancak bu AMB için kullanılan sayaç 15|4'tür ve Şekil 6.12'de gösterildiği gibi 15'e kadar sayabilir. Şekil 6.12'deki gölgeli alan, paralel sayıcı tarafından dikkate alınmayan biti göstermektedir. Deneyler, herhangi bir AMB'deki son bitleri yok saymanın HK performansı üzerinde önemli bir etkisi olmadığını, ancak donanım alanını azalttığını göstermektedir [31]. Her bir AMB için paralel sayıcının blok çıkışında elde edilen NNMP, karşılaştırıcılara yönlendirir. Karşılaştırma bloğunun çıkışında 41 HV üretilir.

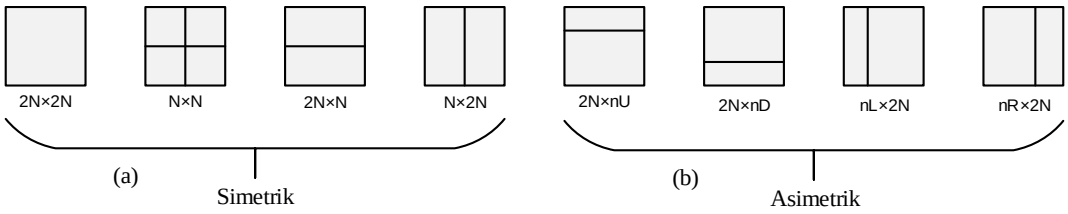


Şekil 6.12. 15|4 4×4 alt makro-blok için paralel sayıcı

7. HEVC İÇİN ÖNERİLEN BİT DÜZLEMİ TEMELLİ HAREKET KESTİRİMİ YAKLAŞIMI

HEVC standardı, yeniden yapılandırılmış videonun aynı kalitesiyle H.264/AVC'e kıyasla %35 ila 50 daha iyi sıkıştırma verimi elde etmekte olup; 2013'te piyasaya sürülmüştür [3].

HEVC standardı, CTU olarak adlandırılan yeni blok bölümü konseptini sunar ve H.264/AVC'de 16×16 piksel boyut MB'ye kıyasla boyutu 64×64 piksele kadar olabilir [3]. HEVC, hiyerarşik kodlama düzenini destekler; burada her CTU, kare şekilli CU'lara daha da bölünebilir. Bir CU'nun boyutu 2N×2N ise, o zaman N, 4, 8, 16 veya 32 olabilir. CU düzeyinde, çerçeve içi veya çerçeveler arası tahminlemenin o belirli blok boyutu üzerinde gerçekleştirileceğine karar verilir. Çerçeveler arası tahminlemede her 2N×2N boyutlu CU, simetrik (2N×2N, N×N, 2N×N ve N×2N) ve asimetrik (2N×nU, 2N×nD, nL×2N, ve nR×2N) modlarında Şekil 7.1'de gösterildiği gibi iki mod aracılığıyla PU'lara alt bölümlere ayrılabilir [3]. N, 4, 8, 16 veya 32 olabildiği ve n, N/2'ye eşit olduğu yerde; R, L, U ve D sırasıyla sağ, sol, yukarı ve aşağı bölümleri temsil eder. PU, HK'nin gerçekleştirildiği ve her bir PU'nun, HK işleminin çıktısında [3] kendi HV'sine sahip olduğu noktadır. HEVC'de önceki herhangi bir video kodlayıcı gibi, BHK de video çerçeveleri arasındaki zamansal artıklığı kaldırmak için kullanılmıştır.



Şekil 7.1. PU'nun simetrik ve asimetrik bölünmesi

HEVC'de, MB'ler PU ile gösterilir. Birkaç SAD temelli HK algoritması vardır ve donanım mimarileri HEVC için literatürde önerilmiştir [40-43].

Bu tezde, [33]'te sunulan SGCBP-HK algoritması HEVC için daha da genişletilmiştir. [33]'te, SGCBP-HK sabit 16×16 boyutlu MB'ler için kısıtlanmıştır. Bu çalışmada önerilen bu yöntem ve mimari HEVC için SGCBP-HK yaklaşımını kullanmakta; 8, 16 ve 32 CU boyutlarını desteklemekte ve her CU için Şekil 7.1'de gösterildiği gibi PU'nun sekiz boyutunu desteklemektedir. SGCBP-HK ve SAD temelli HK sekiz farklı video dizisi üzerinde gerçekleştirilir ve sırasıyla 8, 16 ve 32 CU boyutları için yeniden yapılandırılmış video dizilerinin PSNR değerleri hesaplanır. PSNR değerlerini hesaplamak için önerilen yöntem Şekil 6.4'te gösterilmektedir.

Tablo.7.1. CU = 32 olduğunda SAD temelli HK için PSNR Değerleri

CU Boyutu	PSNR değerleri (dB) / (Arama aralığı 96×96 için)								Video Dizileri (Dizi Uzunluğu)
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N	672×480
32	21,52	21,52	22,41	23,66	22,21	22,18	22,20	22,22	Futbol(125)
32	30,97	30,79	31,61	32,52	31,48	31,51	31,62	31,48	Foreman (300)
32	28,35	27,86	29,30	30,23	29,05	29,00	28,94	28,90	T_QCIF (150)
32	23,20	22,98	23,59	24,07	23,50	23,54	23,44	23,42	ÇB (115)
32	24,68	24,58	24,92	25,17	24,91	24,86	24,80	24,80	M_AVI (300)
32	29,87	29,72	30,41	30,79	30,21	30,43	30,08	30,08	SK (300)
32	24,09	24,06	24,41	24,64	24,39	24,28	24,22	24,22	M_YUV (140)
32	29,10	28,62	29,87	30,76	29,70	29,70	29,66	29,62	T_CIF (112)
32	**26,47**	**26,27**	**27,06**	**27,73**	**26,93**	**26,94**	**26,87**	**26,84**	**Ortalama**

Tablo 7.1. SAD temelli HK kullanılarak elde edilen PSNR değerlerini göstermektedir. CU boyutunun azalmasıyla birlikte PSNR cinsinden HK performansının arttığı görülebilir. SGCBP-HK kullanılarak elde edilen PSNR

değerleri Tablo 7.4'de gösterilmektedir. Blok büyüklüğü azaltıldığında PSNR değerleri açısından HK performansının düştüğü [21-24]'te sunulan diğer BPM temelli HK yöntemlerine kıyasla bu yöntemde blok boyutu azaldığında PSNR değerlerinin de önemli ölçüde arttığını belirtmek önemlidir.

Tablo 7.2 CU = 16 olduğunda SAD temelli HK için PSNR Değerleri

CU Boyutu	PSNR değerleri (dB) / (Arama aralığı 48×48 için)								Video Dizileri (Dizi Uzunluğu)
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N	384×256
16	23,75	23,59	24,83	26,24	24,60	24,58	24,59	24,58	Futbol (125)
16	32,91	32,14	33,63	34,49	33,37	33,48	33,49	33,37	Foreman (300)
16	30,68	29,93	31,55	32,53	31,35	31,35	31,30	31,28	T_QCIF (150)
16	25,18	25,02	25,65	26,26	25,56	25,59	25,52	25,53	ÇB (115)
16	25,68	25,41	26,06	26,52	26,01	26,03	25,94	25,93	M_AVI (300)
16	31,27	31,18	31,71	32,22	31,62	31,58	31,57	31,54	SK (300)
16	25,14	24,96	25,49	25,96	25,46	25,47	25,38	25,39	M_YUV (140)
16	31,14	30,45	31,97	32,89	31,78	31,80	31,75	31,72	T_CIF (112)
16	**28,22**	**27,83**	**28,86**	**29,64**	**28,72**	**28,73**	**28,69**	**28,67**	**Ortalama**

Tablo 7.3 CU = 8 olduğunda SAD temelli HK için PSNR Değerleri

CU Boyutu	PSNR değerleri (dB) / (Arama aralığı 24×24 için)								Video Dizileri (Dizi Uzunluğu)
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N	384×256
8	25,74	25,13	26,91	NS	NS	NS	NS	NS	Futbol (125)
8	33,90	32,96	34,64	NS	NS	NS	NS	NS	Foreman (300)
8	32,29	31,33	33,07	NS	NS	NS	NS	NS	T_QCIF (150)
8	26,77	26,46	27,25	NS	NS	NS	NS	NS	ÇB (115)
8	26,73	26,01	27,29	NS	NS	NS	NS	NS	M_AVI (300)
8	32,44	31,85	32,93	NS	NS	NS	NS	NS	SK (300)
8	26.21	25,61	26,76	NS	NS	NS	NS	NS	M_YUV (140)
8	32.62	31,68	33,37	NS	NS	NS	NS	NS	T_CIF (112)
8	**29,59**	**28,88**	**30,28**	**NS**	**NS**	**NS**	**NS**	**NS**	**Ortalama**

Tablo 7.4 Önerilen SGCBP-HK için CU = 32 olduğunda PSNR Değerleri

CU Boyutu	PSNR değerleri (dB) / (Arama aralığı 96×96 için)								Video Dizileri (Dizi Uzunluğu)
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N	672×480
32	21,21	21,16	21,93	22,90	21,75	21,76	21,75	21,77	Futbol (125)
32	30,47	29,27	30,72	30,90	30,65	30,69	30,86	30,64	Foreman (300)
32	27,81	26,12	28,47	28,95	28,24	28,27	28,21	28,17	T_QCIF (150)
32	22,99	22,59	23,19	23,43	23,14	23,18	23,11	23,09	ÇB (115)
32	24,57	24,23	24,67	24,60	24,66	24,62	24,56	24,56	M_AVI (300)
32	29,65	29,14	29,97	29,97	29,76	30,00	29,70	29,73	SK (300)
32	23,98	23,87	24,17	24,16	24,17	24,07	24,03	23,99	M_YUV (140)
32	28,65	26,94	29,12	29,44	28,96	28,99	28.97	28,95	T_CIF (112)
32	**26,17**	**25,41**	**26,53**	**26,80**	**26,42**	**26,45**	**26,40**	**26,36**	**Ortalama**

Tablo 7.5 Önerilen SGCBP-HK için CU = 16 olduğunda PSNR Değerleri

CU Boyutu	PSNR değerleri (dB) / (Arama aralığı 48×48 için)								Video Dizileri (Dizi Uzunluğu)
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N	384×256
16	23,06	22,48	23,57	23,92	23,40	23,39	23,39	23,40	Futbol (125)
16	31,40	27,79	31,07	30,22	30,91	31,03	31,00	30,92	Foreman (300)
16	29,55	25,98	29,56	28,80	29,32	29,34	29,28	29,29	T_QCIF (150)
16	24,69	24,09	24,78	24,60	24,68	24,68	24,68	24,67	ÇB (115)
16	25,18	23,58	25,01	24,23	24,87	24,84	24,80	24,78	M_AVI (300)
16	30,51	28,85	30,09	29,06	30,01	29,97	29,99	29,97	SK (300)
16	24,69	23,27	24,56	23,76	24,36	24,36	24,32	24,32	M_YUV (140)
16	29,99	26,42	29,87	28,98	29,62	29,68	29,68	29,66	T_CIF (112)
16	**27,38**	**25,31**	**27,31**	**26,70**	**27,15**	**27,16**	**27,14**	**27,13**	**Ortalama**

Tablo 7.6 Önerilen SGCBP-HK için CU = 8 olduğunda PSNR Değerleri

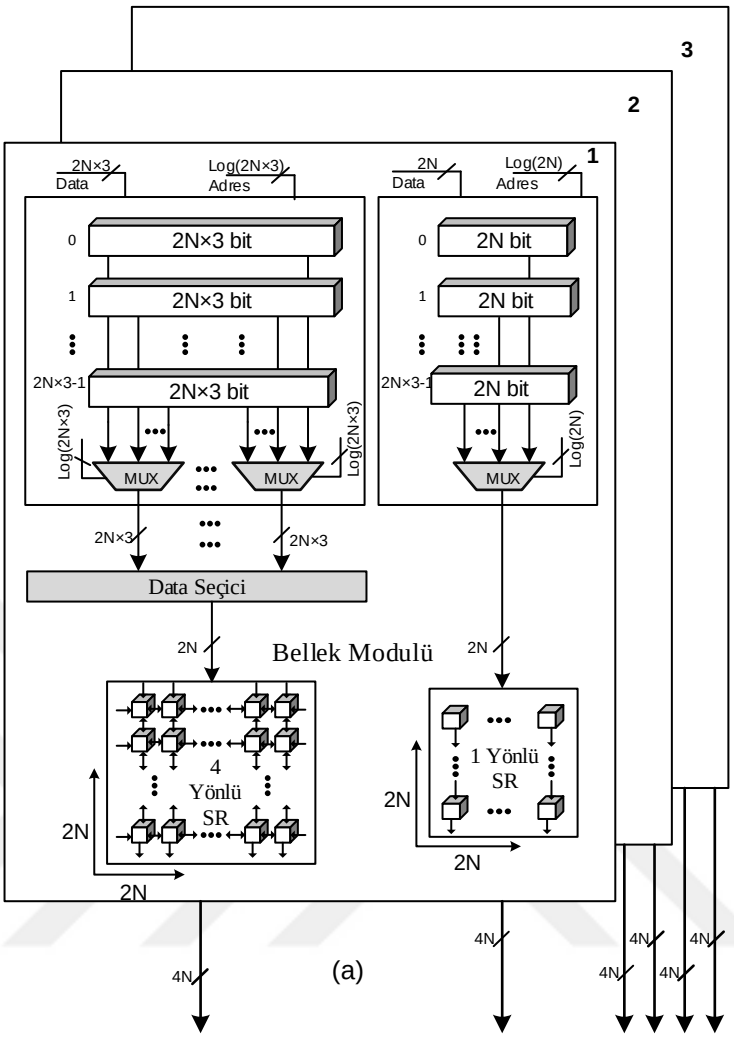
CU Boyutu	PSNR değerleri (dB) / (Arama aralığı 24×24 için)								Video Dizileri (Dizi Uzunluğu)
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N	384×256
8	23,77	22,06	23,51	NS	NS	NS	NS	NS	Futbol (125)
8	30,34	26,53	29,22	NS	NS	NS	NS	NS	Foreman (300)
8	29,28	25,29	28,06	NS	NS	NS	NS	NS	T_QCIF (150)
8	25,40	22,72	23,72	NS	NS	NS	NS	NS	ÇB (115)
8	24,69	21,17	23,26	NS	NS	NS	NS	NS	M_AVI (300)
8	29,58	26,10	28,09	NS	NS	NS	NS	NS	SK (300)
8	24,25	20,65	22,60	NS	NS	NS	NS	NS	M_YUV (140)
8	29,46	25,43	28,11	NS	NS	NS	NS	NS	T_CIF (112)
8	**27,10**	**23,74**	**25,82**	**NS**	**NS**	**NS**	**NS**	**NS**	**Ortalama**

7.1. Önerilen Donanım Mimarisi

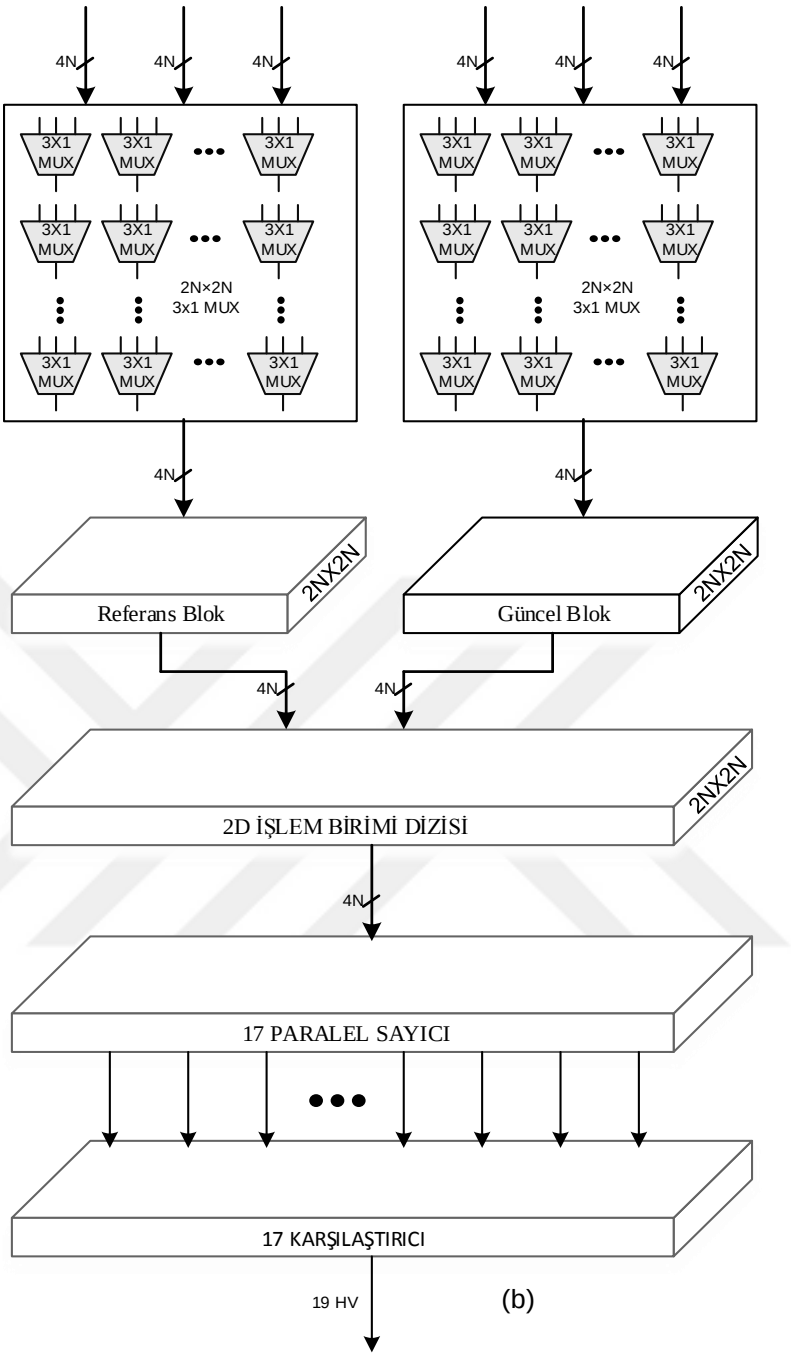
HEVC için SGCBP-HK algoritması için önerilen donanım mimarisi Şekil 7.2 (a) ve (b)'de gösterilmiştir. Şekil 7.2 (a) ve (b), sırasıyla GB ve arama arama penceresi piksellerinin depolanması için kullanılan bellek ünitesini ve bellek ünitesinden veri alan ve çıkışta HV'ler üreten işleme ünitesini göstermektedir.

7.1.1. Bellek ünitesi

Mimarinin bellek ünitesi beş alt bileşene ayrılmıştır: RRF, CRF, veri seçici, referans blok SR dizisi ve güncel blok SR dizisi. Sırasıyla 2N×2N×3 arama penceresi ve 2N×2N GB piksellerini depolamak için RRF ve CRF kullanılır. Burada 2N; 8, 16 veya 32 olabilen CU boyutunu temsil eder. Kaydedici dosyaları, yaz-boz'ları ve bilgi seçicileri kullanarak gerçekleştirilir. Gelen pikselleri saklamak için fazladan bellek kullanılmaz. Mimariyi daha hızlı hale getiren merdiven şekilli kaydedici dosyası organizasyon yapısı sayesinde bir saat çevriminde arama penceresi'nin herhangi bir satır veya sütunu okunabilir. Veri seçici, RRF'den 2N×3 piksel alır, daha sonraki işlem için 2N piksellere dönüştürür ve SR dizi referans bloğuna aktarır. 2N×2N referans bloğu SR dizisinde, pikseller veri yeniden kullanım düzenini mümkün kılan dört yöne kaydırılabilir: sağ, yukarı, sol ve aşağı.



Şekil 7.2. a) Önerilen donanım mimarisinin bellek ünitesi b) Önerilen donanım mimarisinin işlem ünitesi



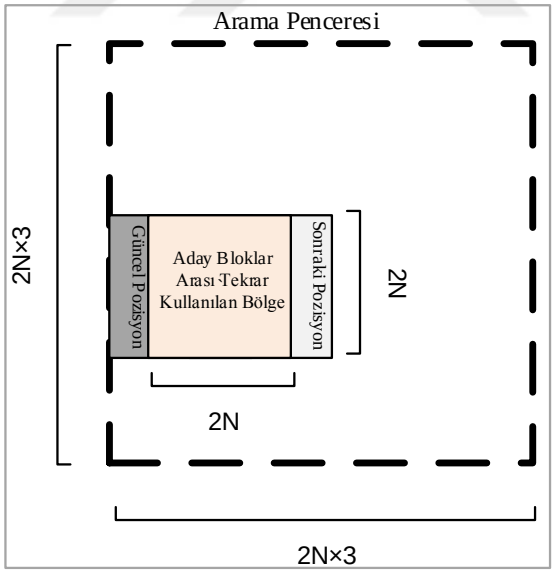
Şekil 7.2. (Devam) a) Önerilen donanım mimarisinin bellek ünitesi b) Önerilen donanım mimarisinin işlem ünitesi

Önerilen mimaride kullanılan veri yeniden kullanım düzeninin genel diyagramı Şekil 7.3'te gösterilmektedir. Her yatay harekette, RRF'den bir yeni piksel sütunu okunur ve SR dizi yapısını kullanarak 2N-1 eski sütunlar yeniden kullanılır. CRF, doğrudan pikselleri aşağı yönde kaydıran güncel SR dizisine piksel iletir. [33]'teki önerilen düzende 3 en değerlikli bit düzlemi kullanıldığı için, önerilen donanım mimarisinde bellek ünitesinin üç örneği kullanılmaktadır. Önerilen donanım mimarisinde spiral

arama düzeni kullanılmaktadır. arama penceresi merkezinden spiral arama başladığı için, erken sonlandırma bu yaklaşımı kullanarak uygulanabilir.

7.1.2. İşlem ünitesi

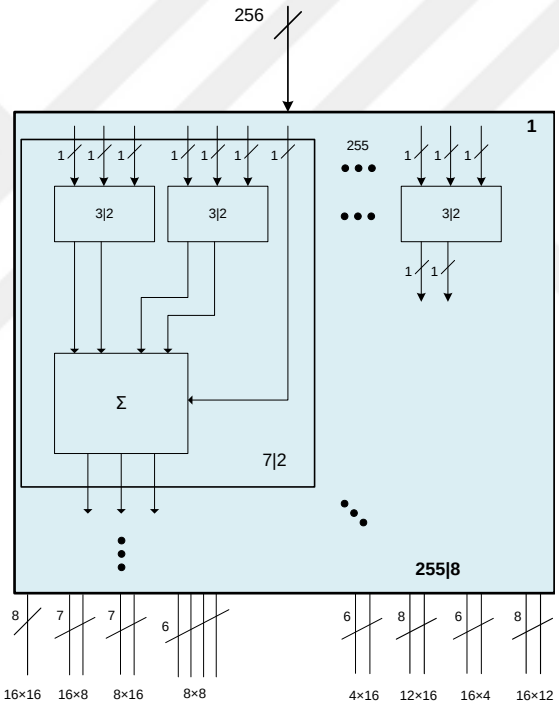
İşlem ünitesi, Şekil 7.2 (b)'de gösterildiği gibi 3×1 bilgi seçici dizileri, 2 boyutlu işlem elemanı dizisi, paralel sayıcı ve karşılaştırıcıdan oluşur. 3 en değerlikli bit düzlemi, Şekil 2'de gösterilen ikilileştirme düzenini kullanarak ikili görüntü elde etmek için kullanılmaktadır. Bu ikilileştirme düzeni, 3×1 MUX dizilerinden yararlanılarak uygulanmaktadır. Blok boyutu 2N×2N piksel olduğundan, işlem ünitesinde 2N×2N 3×1 bilgi seçicileri kullanılmaktadır. Örneğin, CU boyutu 16 ise, GB için 256 3×1 bilgi seçicisi kullanılır ve aynı sayıda RB için bilgi seçici kullanılır. Bilgi seçici dizilerinin çıktısı 2D PE dizisine yönlendirilir. RB ve GB pikselleri, eşitlik 4.2 kullanılarak PE dizisinde karşılaştırılmaktadır. Bu karşılaştırma, eşleşen pikselleri hesaplayan basit XOR işlemi kullanılarak yapılır. HEVC'de, GB ve RB, sırasıyla, güncel PB ve referans PB ile temsil edilir. Basitlik açısından, bu tezde PB'ler yerine GB ve RB terimleri kullanılmıştır.



Şekil 7.3. Önerilen donanım mimarisinde kullanılan veri yeniden kullanımı düzeni

RB ve GB arasındaki NNMP'ler paralel sayıcı kullanılarak hesaplanır. Önerilen mimaride 2D PE diziliminin çıktısı (2N×2N)-1 bit genişliğine sahiptir. Bir bit göz ardı edilir, çünkü [21]'de, bir pikselin yokluğunun HK performansını önemli

derecede etkilemediği kanıtlanmıştır. 8, 16 ve 32'nin CU boyutları için, 2D PE dizisinin çıkış genişliği sırasıyla 63, 255 ve 1023 bittir. Bu yaklaşım, paralel sayıcı uygulamasını donanım kullanımı açısından daha verimli hale getirir. Bir paralel sayıcı p|q olarak gösterilir, burada p, 2q-1'e eşittir. Önerilen mimaride, CU boyutuna göre q değeri 6, 8 veya 10 olabilir. Her CU için 17 olası paralel sayıcı bileşeni olduğundan, mimaride 17 paralel sayıcı kullanılmaktadır. Paralel sayıcı için bir örnek, CU boyutu 16 olduğunda, Şekil 7.4'te gösterilmektedir. Paralel sayıcının mimarisi sırasıyla 3|2, 7|3, 15|4, 31|5, 63|6, 127|7 ve 255|8 boyutlarında alt kademeli paralel sayıcılardan oluşmaktadır. Her CU için 17 farklı NNMP değeri üretilir. Karşılaştırıcı bu NNMP değerlerini karşılaştırır ve ilgili bloklar için 17 HV üretir.



Şekil 7.4. CU boyutu 16 olduğunda paralel sayıcı mimarisi

8. BULGULAR VE TARTIŞMA

Bu çalışmada öncelikle, 16×16 sabit boyutlu MB için HK'nin etkin donanım mimarisi uygulanmıştır. 28 nm (Xilinx Zynq 7000 - Paket Kodu: xc7a200tfbg676-2) önerilen donanım mimarisini uygulamak için FPGA cihazı kullanılır. [14]'te kullanılan FPGA de budur, böylece doğru bir karşılaştırma yapılır. Sentez sonuçları, önerilen mimarinin 7587 LUT, 2219 DFF ve 24 BRAM içerdiğini göstermektedir ki bu da sırasıyla hedef FPGA cihazının mevcut toplam kaynaklarının %5,64, %0,83 ve %6,58'idir. Önerilen mimarinin çalışabileceği maksimum frekans, seçilen FPGA cihazı için 150 MHz'dir. Önerilen donanım mimarisinin ve [27, 33, 37-38]'de önerilen mimariler ile kapsamlı bir karşılaştırması Tablo 8.1'de gösterilmektedir. Önerilen algoritma [37-38]'de önerilen algoritmadan daha iyi PSNR performansına sahiptir. Futbol video dizisi için örnek PSNR değerleri Tablo 8.1'de gösterilmiştir. Önerilen mimari sayesinde, LUT'lerin ve DFF'lerin kullanım oranı, [33] ile karşılaştırıldığında Tablo 8.1'de gösterildiği gibi sırasıyla %6.62 ve %69.82 azalmıştır.

Önerilen mimarinin güç analizi, doğru bir karşılaştırma yapmak için [33]'te kullanılan aynı blok sayıları için uygulama sonrası işlevsel simülasyon sonrasında gerçekleştirilir. Lojik ve sinyal sütunları sırasıyla hedef FPGA'nin lojik kaynaklarının ve yönlendirme kaynaklarının güç tüketimine karşılık gelir. Örneğin, FPGA'de yapılandırılabilir bir lojik blok lojik bir kaynaktır, öte yandan bir anahtar matrisi bir yönlendirme kaynağıdır. Güç tahmini aracı güç verilerini lojik, sinyal, saat gibi belirli donanım kaynaklarının özelliklerine göre gruplayabilir.

Tablo 8.1. Donanım Mimarilerinin HK Performans Karşılaştırması

	Önerilen	[33]	[27]	[37]	[38]
Bit Derinliği	3	3	1	1	2
Yongayla tümleşik bellek	6912	0	24064	4096	0
Alan	7587 LUTs/ 2219 DFFs	8125 LUTs/ 7353 DFFs	1121LUTs/ MD	3914 LUTs/ 2517 DFFs	5413 LUTs/ MD
Güç	15,78 mW 50 MHz	17 mW 50 MHz	35,3 mW 50 MHz	MD	30,7 mW 50 MHz
Maksimum Frekans	150MHz	243 MHz	218 MHz	192 MHz	275 MHz
Teknoloji	FPGA 28 nm	FPGA 28 nm	FPGA 45nm	FPGA 65nm	FPGA 45nm
Arama Aralığı	[-16 16]	[-16 16]	[-16,16]	[-16,16]	[-1,1] to [-16,16]
Arama Metodu	Spiral arama	Spiral arama	Tam arama	Tam arama	Spiral arama
Performans 720p @# fps	37	61	MD	MD	MD
Performans 480i @# fps	111	185	MD	MD	MD
PSNR(dB) (Futbol)	23,06	23,06	MD	22,25	22,06

D tipi yaz boz temelli SR dizisi ve BRAM, [33] ve bu çalışmada önerilen donanım mimarisinde sırasıyla GB ve referans pencere piksellerini depolamak için kullanılmıştır. Önerilen mimari ile [33] arasındaki güç tüketimi karşılaştırması Tablo 1'de gösterilmiştir. Önerilen donanım mimarisi ve [33] için ortalama güç tüketim değerleri 20 ns zaman periyodunda sırasıyla $8+7,78 = 15,78$ mW ve $9,11+7,89 = 17$ mW 'dır. Önerilen mimarinin ortalama güç tüketiminin [33] ile karşılaştırıldığında %7,18 oranında azaldığı görülmektedir. Benzer şekilde, ortalama güç tüketiminin azalması 10 ns'de %35,44'tür. Güç tüketiminin azaltılmasının başlıca nedeni, D tipi yaz boz'ların (DFF) kullanıldığı kaydırmalı kaydedici dizisinin ortadan kaldırılmasıdır. 1 bit BRAM bellek hücresinin 3 kat daha büyük DFF tabanlı 1 bitlik bellek hücresine kıyasla daha az güç tükettiği bilinen bir gerçektir. Farklı FPGA'lerin güç tüketimine olan etkilerini gözlemlemek için önerilen donanım mimarisinin güç analizi için 28 nm (Xilinx Zynq 7000-Paket Kodu:

xc7z100ffv1156 2) kullanılmıştır ve sonuçlar Tablo 8.3'te gösterilmiştir. Tablo 8.2 ve Tablo 8.3 önemli bir güç tüketimi farkı olmadığını göstermektedir. Bu sonuçlardan, önerilen donanım mimarisinin donanımsal karmaşıklığının farklı FPGA'ler arasında önemli ölçüde değişmediği sonucuna varılabilir.

Tablo 8.2. Güç Tüketimi Karşılaştırması (xc7a200tfbg676-2)

Video Dizisi: Futbol Çerçeve Numarası: 09 Çerçeve Boyutu: 352×240							
Blok Yerleri		Hareket Vektörleri		Güç Tüketimi (mW) 20 ns/10 ns			
Dikey	Yatay	hv_x	hv_y	Sinyaller		Lojik	
---	---	---	---	Önerilen	[14]	Önerilen	[14]
7	6	-3	-3	09/09	10/14	08/08	08/12
9	17	3	2	09/09	12/17	09/08	10/14
4	12	4	0	07/08	08/10	07/07	07/09
7	16	8	7	09/10	11/16	09/09	10/14
4	14	9	-7	07/08	08/12	07/07	07/10
2	6	9	9	07/07	06/10	06/06	05/08
13	16	-15	-11	09/10	12/19	09/08	11/16
4	20	14	-14	08/09	09/12	08/07	08/11
2	7	-12	12	07/07	06/10	07/06	05/08
-------		**Ortalama**		**8,00/8,55**	**9,11/13,3**	**7,78/7,33**	**7,89/11,3**

Tablo 8.3. Önerilen Donanım Mimarisi İçin Güç Analiz Sonuçları (xc7z100ffv1156-2)

Video Dizisi: Futbol Çerçeve Numarası: 09 Çerçeve Boyutu: 352×240					
Blok Yerleri		Hareket Vektörleri		Güç Tüketimi (mW) 20 ns/10 ns	
Dikey	Yatay	hv_x	hv_y	Sinyaller	Lojik
7	6	-3	-3	09/09	08/08
9	17	3	2	09/10	09/09
4	12	4	0	07/08	07/07
7	16	8	7	10/10	09/09
4	14	9	-7	07/08	07/07
2	6	9	9	07/07	07/06
13	16	-15	-11	09/10	09/08
4	20	14	-14	08/08	08/07
2	7	-12	12	07/07	07/07
-------		**Ortalama**		**8,11/8,56**	**7,89/7,56**

Hedef FPGA'in BRAM kaynakları önerilen bir mimaride verileri bir merdiven biçiminde depolamak için kullanılır, bu sayede bir sıra veya sütun bir saat

çevriminde okunabilir. Bu özellik, [33]'te DFF'ler temelli kaydırmalı kaydediciler ile sağlanır. DFF'lere dayalı kaydırmalı kaydedicileri içeren mimari için sentez işlemi, yüksek kablo yığılması nedeniyle nispeten daha yüksektir. Önerilen mimariye göre [33]'te önerilen mimarinin sentez süresinin yaklaşık üç kat daha fazla olduğu gözlemlenmektedir. Blok boyutunda bir artış ile kabloların sayısı katlanarak arttığı için, iki mimari arasındaki sentez zaman oranının katlanarak artması beklenmektedir. Sonuç olarak önerilen mimari, sentez, yerleştirme ve yönlendirme aşamaları için gereken CPU zamanı açısından daha umut verici görünmektedir. Böylece, önerilen mimari [33] ile karşılaştırıldığında daha kolay olarak bir HEVC kodlayıcı içine entegre edilebilir. Önerilen mimarinin sentez için toplam işlemci zamanı 95 saniye iken, bu sayı [33]'te önerilen mimaride 16×16 'lık bir blok boyutu için 325'tir. Sentez için kullanılan paralel sayıcı, Intel i7 CPU çekirdeği ve 16GB RAM'li bir MAC Book Pro'dur.

Önerilen donanım mimarisinde, başlangıçta gerekli pikseller BRAM'lardan 16 saat çevriminde PE dizisine yüklenir. [-16, 16] arama aralığı nedeniyle 1089 arama konumu vardır. Ayrıca, küme komut işleme mimarisi nedeniyle 16 saat çevrimi bir gecikme vardır. Bu nedenle, [33]'te önerilen algoritmayı uygulamak için önerilen donanım mimarisi tarafından 16 + 1089 + 16 = 1121 saat çevrimi gereklidir. Önerilen donanım mimarisi 150 MHz'de çalışabileceğinden, 37 1280×720 full HD fps işleyebilir. Tablo 8.1'de, [33]'te önerilen donanım mimarisinin, bu tezde önerilen donanım mimarisi ile karşılaştırıldığında daha fazla fps işleyebileceğini fakat önemli miktarda güç tükettiğini belirtmek gerekir.

İkinci olarak, bu tez çalışmasında H.264/AVC'ün DBHK özellikleri, düşük bit derinlikli HK'den yararlanmaktadır. PSNR, tüm AMB'ler için VBSGCBP-HK performansını analiz etmek için kriter olarak kullanılır. VBSGCBP-HK ve SAD temelli HK tabanlı hareket dengelemesi, yedi farklı video dizisi üzerinde uygulanır ve VBSGCBP-HK ve SAD temelli HK yöntemleri arasındaki tüm AMB'ler için PSNR farklılıkları Tablo 8.4'te gösterilmektedir. 16×16 boyutlu görüntüleme için PSNR farkının ihmal edilebilir olması dikkat çekicidir. 8×8, 8×16 ve 16×8 boyutlu bloklar için, PSNR değerlerinde anlamlı bir fark bulunmamaktadır. 4×4 boyutlu blok maksimum PSNR farkına sahiptir. Tablo 8.4'ten VBSGCBP-HK'nin performansının

daha küçük blok boyutlarında dahi SAD temelli HK yöntemi ile karşılaştırılabilir olduğu sonucuna varılabilir.

Tablo 8.4. VBSGCBP-HK ve SAD temelli HK Metodlarının PSNR Farkları

PSNR Fark Değerleri (dB) / (Arama aralığı 48×48 için)							Video Dizisi (Dizi Uzunluğu)
16×16	16×8	8×16	8×8	8×4	4×8	4×4	384×256
-0,69	-1,11	-1,26	-1,97	-3,07	-3,39	-5,43	Futbol (125)
-1,51	-4,34	-2,56	-3,56	-6,42	-5,42	-7,64	Foreman (300)
-1,12	-3,95	-1,99	-3,01	-6,04	-5,01	-7,58	Tenis (150)
-0,49	-0,92	-0,87	-1,38	-3,74	-3,53	-7,02	Çiçek Bahçesi (115)
-0,50	-1,83	-1,05	-2,04	-4,84	-4,03	-6,65	Mobil (300)
-0,76	-2,33	-1,62	-2,85	-5,75	-4,84	-7,42	Sahil Kurma (300)

Önerilen donanım mimarisini uygulamak için 28 nm FPGA kullanılmıştır. Sentez sonuçları, önerilen donanım mimarisinin 8838 LUT ve 8919 DFF'yi kapladığını göstermektedir. [39]'da önerilen donanım mimarisi ile karşılaştırıldığında, önerilen donanım mimarisinde kullanılan yongayla tümleşik bellek (on chip bellek) yoktur. Önerilen donanım mimarisinin çalışabileceği azami frekans 28 nm FPGA için 370 MHz olup [33]'te sunulan donanım mimarisinden daha yüksektir. Önerilen donanım mimarisi ile [30, 33, 39]'da sunulan donanım mimarileri arasındaki ayrıntılı karşılaştırma Tablo 8.5'te gösterilmektedir. Güç analizi, simülasyon aracının uygulama sonrası zamanlama simülasyon özelliğini kullanarak farklı MB'ler için yapılmıştır ve sonuçlar Tablo 8.6'da gösterilmiştir. Önerilen donanım mimarisi, HK değişken bloğunu desteklediğinden, [33]'te önerilen donanım mimarisine kıyasla güç tüketimi yüksektir. Bununla birlikte, bu fark önemsizdir.

Başlangıçta gerekli pikseller GB ve arama penceresi'den kaydırmalı kaydedici mimarisi sayesinde bir saat çevriminde ilgili PE dizilerine yüklenir. Önerilen donanım mimarisinde sırasıyla [-16,16] arama aralığı ve küme komut işleme mimarisi nedeniyle 1089 arama konumu ve 5 saat çevrimi gecikmesi vardır. Sonuç olarak, önerilen DBHK algoritmasını uygulamak için önerilen donanım mimarisi tarafından $5 + 1089 + 1 = 1094$ saat çevrimi kullanılmıştır. Önerilen donanım mimarisinin maksimum çalışma frekansı 370 MHz olduğundan, 93 1280×720 full HD fps işleyebilir.

Tablo 8.5. Farklı HK Yöntemlerinin Donanım Mimarisinin Ayrıntılı Karşılaştırması

	Önerilen	[33] Tekrar Derlenmiş	[39]	[28]
Bit Derinliği	3	3	1-3 arasında yeniden yapılandırılabilir.	1
On chip bellek	0	0	6092	4608
Alan	8838 LUTs/ 8919 DFFs	8670 LUTs/ 7877 DFFs	4097 LUTs/ 5362 DFFs	8702 LUTs/ 6401 DFFs
Güç	25 mW@ 50 MHz	21 mW@ 50 MHz	MD	MD
Maksimum Frekans	370 MHz	327 MHz	250 MHz	113 MHz
Teknoloji	FPGA 28 nm	FPGA 28 nm	FPGA 65 nm	FPGA .13 µm
Arama Aralığı	[-16 16]	[-16 16]	[-16 16]	[-16 15]
Arama Metodu	Spiral search	Spiral search	MD	MD
Desteklenen MB Bölümleri	4×4, 4×8, 8×4, 8×8, 8×16, 16×8, 16×16	16×16	4×4, 4×8, 8×4, 8×8, 8×16, 16×8, 16×16	4×4, 4×8, 8×4, 8×8, 8×16, 16×8, 16×16
Performans 720p @# fps	93	83	26	13

Son olarak, SGCBP-HK HEVC için kullanılır. Hareket kompansatörü, SAD temelli HK ve önerilen SGCBP-HK düzeni ile elde edilen HV'leri kullanarak video dizilerini yeniden oluşturmak için kullanılır. Tablo 8.7, SGCBP-HK ve SAD temelli HK kullanılarak elde edilen sekiz video dizisinin ortalama PSNR'leri arasındaki farkı göstermektedir. Önerilen HK'nin doğruluğunun, CU'nun boyutu daha büyük olduğunda SAD temelli HK'ye göre daha yakın olduğuna dikkat etmek önemlidir. Tablo 8.8, [31]'de önerilen HK düzeninin PSNR farkını ve bu tezde önerilen

SGCBP-HK çerçevesini göstermektedir. Burada CU boyutu 16 ve 8 için karşılaştırma yapılır. Sonuçlar, önerilen SGCBP-HK yönteminin PSNR değerleri ve doğruluğu açısından [31]'de önerilen HK yönteminden daha iyi olduğunu göstermektedir.

Tablo 8.6. Güç Analizi Sonuçları

Video Dizisi: Futbol Çerçeve Numarası: 09 Çerçeve Boyutu: 352×240							
Blok Yerleri		Hareket Vektörleri		Güç Tüketimi (mW) 20 ns/10 ns			
Dikey	Yatay	hv_x	hv_y	Sinyaller		Lojik	
---	---	---	---	Önerilen	[13]	Önerilen	[13]
7	6	-3	-3	15/30	12/23	12/24	11/22
9	17	3	2	18/36	14/28	15/30	13/27
4	12	4	0	12/23	09/19	09/19	09/18
7	16	8	7	17/35	14/27	14/28	13/26
4	14	9	-7	13/25	10/20	10/20	09/18
2	6	9	9	09/18	07/14	07/14	07/13
13	16	-15	-11	20/39	15/31	16/32	15/29
4	20	14	-14	13/26	11/22	11/21	10/20
2	7	-12	12	10/19	08/15	08/15	07/14
-------		**Ortalama**		**14/27**	**11/22**	**11/22**	**10/20**

Tablo 8.7. SAD temelli HK ve önerilen SGCBP-HK arasında ortalama PSNR farkları

Coding Unit's size	Average PSNR difference in dB							
CU	2N×2N	2N×N	N×2N	N×N	2N×nU	2N×nD	nL×2N	nR×2N
32	-0,30	-0,85	-0,53	-0,93	-0,51	-0,48	-0,47	-0,48
16	-0,83	-2,52	-1,54	-2,94	-1,57	-1,57	-1,55	-1,54
8	-2,49	-5,13	-4,45	NS	NS	NS	NS	NS

Önerilen HK'nin donanım mimarisi 28 nm FPGA teknolojisi için sentezlenmiştir. Önerilen donanım mimarisinin farklı CU boyutlarındaki sentez sonuçları Tablo 8.9'da gösterilmiştir. Hesaplama işleminin başlangıcında, kaydedici dosyaları mimarisi sayesinde gerekli pikseller ilgili PE dizilerine bir saat çevrimi içinde yüklenir. CU boyutu 8 için önerilen donanım mimarisinde sırasıyla [-8, 8] arama aralığı ve küme komut işleme mimarisi nedeniyle 289 arama konumu ve 7 saat çevrimi gecikmesi vardır. Sonuç olarak, önerilen SGCBP-HK algoritmasını uygulamak için önerilen donanım mimarisi tarafından $7 + 289 + 1 = 297$ saat çevrimi kullanılmıştır. Önerilen donanım mimarisinin maksimum çalışma frekansı 200 MHz

olduğundan, 46 1280×720 tam HD fps işleyebilir. Önerilen donanım mimarisi sırasıyla CU boyutu 16 ve 32 olduğunda 50 ve 52 720p full HD fps işleyebilir.

Tablo 8.8. [31]'de önerilen HK Şeması PSNR Farkı ve önerilen SAD temelli HK ile SGCBP-HK Şeması

PSNR Farkı (SAD temelli HK ve [31] (NTB=7) için)	PSNR Farkı (SAD temelli HK ve [31] (NTB=7) için)	PSNR Farkı (SAD temelli HK ve önerilen SGCBP-HK)	PSNR Farkı (SAD temelli HK ve önerilen SGCBP-HK)	Video Dizileri
16×16	8×8	16×16	8×8	----
-1,24 dB	-2,96 dB	-0,69 dB	-1,97 dB	Futbol (125)
-3,67 dB	-5,90 dB	-1,51 dB	-3,56 dB	Foreman (300)
-3,95 dB	-6,16 dB	-0,76 dB	-2,85 dB	SK (300)
-0,53 dB	-1,96 dB	-0,49 dB	-1,38 dB	ÇB (115)
-0,66 dB	-1,91 dB	-0,45 dB	-1,96 dB	M_AVI (300)

Tablo 8.9. Önerilen Donanım Mimarisinin Performans Analizi

CU Boyutu	Dilim Lojik Kullanımı	Dilim Kayıt Kullanımı	Dinamik Güç Kullanımı(mW)	Performans 720p @#fps
32	138905	36856	484.9	52
16	23533	9712	149	50
8	4963	2801	19.67	46

Önerilen donanım mimarisinin güç analizi, post-sentez ve uygulama simülasyonunu kullanarak 50 MHz'de gerçekleştirilir. Güç analizi sırasında, tüm referans arama penceresini kapsamak için güncel çerçevenin 9 farklı blok boyutu kullanılır. Tablo 8.10. 9 farklı blok boyutunun ortalama güç tüketimini gösterir. Önerilen donanım mimarisi için minimum ve maksimum güç tüketimi değerleri sırasıyla 20 mW ve 485 mW olup SAD temelli HK'den [5]'te olduğu gibi oldukça düşüktür. Önerilen donanım mimarisinin güç tüketimi, SAD temelli HK donanım mimarisine kıyasla çok düşük olduğundan, düşük güçlü tüketici elektroniği cihazlarında kullanılabilir.

HEVC için HK'nin donanım mimarilerinin çoğu ASIC'de uygulanmaktadır, bu nedenle önerilen donanım mimarisinin performansını tam olarak karşılaştırmak zordur. Önerilen donanım mimarisinin diğer SAD temelli donanım mimarileriyle ayrıntılı karşılaştırması Tablo 8.11'de gösterilmektedir. Önerilen donanım mimarisinin LUT ve FF kullanım oranları diğerleriyle kıyaslandığında çok

düşüktür [40]. Mimarinin maksimum frekansı 200 MHz olup; [40-42]'nin frekansından daha yüksektir. Önerilen donanım mimarisi, sekiz simetrik ve asimetrik kestirim modül modlarını desteklerken, Tablo 8.11'de gösterilen donanım mimarilerinin hiçbiri bu özelliği desteklemez.

Tablo 8.10. Güç Analiz Sonuçları (28 nm FPGA Teknolojisi)

Video Dizisi: Futbol Çerçeve Numarası: 09 Çerçeve Boyutu: 480×672		
CU Boyutu	20ns saat periyodunda Ortalama Güç Tüketimi (mW)	
	Sinyal	Lojik
32	263,5	221,4
16	78,33	70,67
8	9,890	9,78

Tablo 8.11. Diğer Mimariler İle Detaylı Karşılaştırma

--	Önerilen	[41]	[42]	[43]	[40] (H64 P8)
Bellek(KB)	0	208	17,4	MD	272 (BRAM)
Alan	139K LUT/ 37K FF	1830K Kapı	778,7K Kapı	585,4K Kapı	210K LUTs/ 199K FF
Güç	484,9 mW	MD	MD	MD	1360 mW
Maksimum Frekans	200MHz	200 MHz	270 MHz	198,3 MHz	125 MHz
Teknoloji	FPGA 28 nm	65 nm ASIC	90 nm ASIC	65 nm ASIC	FPGA 65 nm
Maksimum Desteklenen CU Boyutu	32×32	64×64	64×64	64×64	64×64
Desteklenen PU Boyutu	2N×2N,N×N, 2N×N,N×2N, 2N×nU,2N×nD, nL×2N, nR×2N	16×16, 32×32, 64×64	8×8, 8×4, 4×8, 16×16, 16×8, 8×16, 32×32, 64×64	2N×2N, 2N×N,N×2N	2N×2N, N×N
Referans Çerçeve Sayısı	1	1	1	1	1

SONUÇLAR VE ÖNERİLER

Bu çalışmada, [33]'te önerilen SGCBP-HK algoritması, H.264/AVC tarafından desteklenen DBHK özelliği için genişletilmiştir ve ayrıca HEVC video kodlama standardı için de uygulanmıştır.

İlk olarak, yakın geçmişte sunulan düşük karmaşıklığa sahip HK algoritması için etkin donanım mimarisi önerilmiştir [33]. Önerilen donanım mimarisi, alan ve güç tüketimi bakımından [33]'te önerilen mimariden nispeten daha etkilidir ve bellek bileşenleri açısından [33]'teki DFF temelli bellek yapısına kıyasla daha basit hiyerarşiden dolayı daha büyük blok boyutları için daha uygundur. Buna ek olarak, merdiven biçimli bellek düzeni sayesinde hızlı arama algoritması desteği sağlanır [35].

İkinci olarak, [33]'te önerilen SGCBP-HK algoritması, H.264/AVC standardının tüm MB'lerini ve AMB'lerini destekleyen VBSGCBP-HK olarak genişletilmiştir. Önerilen DBHK performansı SAD temelli HK ile karşılaştırılmıştır. PSNR sonuçları, önerilen DBHK'nin performansının, daha küçük blok boyutlarında bile SAD temelli HK ile karşılaştırılabilir olduğunu göstermektedir. DBHK'nin etkin donanım mimarisi kapsamında ortaya konan ve önerilen donanım mimarisinin ayrıntılı karşılaştırması [30, 33, 39]'de önerilen farklı donanım mimarileri ile gerçekleştirilmiştir. Karşılaştırma sonuçları, önerilen donanım mimarisinin maksimum çalışma frekansı ve güç tüketimi açısından daha verimli olduğunu göstermektedir. Sonuç olarak, önerilen donanım mimarisi yalnızca 25 mW'lık güç tüketimi ile 1280×720 (HD) videoda saniyede 93 çerçeve işleyebilmektedir. DBHK'nin güç analizi ve PSNR sonuçları, düşük güçlü cihazlarda video kodlayıcı için ideal bir algoritma olduğunu göstermektedir.

Son olarak, HEVC için [33]'te önerilen BPM temelli HK düzeni kullanılmıştır. PSNR kriteri, farklı CU boyutları için önerilen HK yönteminin performansını SAD temelli HK ile karşılaştırmak için kullanılır. Bu arada [31]'de önerilen BPM temelli HK'nin performansı da önerilen HK yöntemi ile karşılaştırılmıştır. Deneysel olarak, sunulan HK yönteminin diğer BPM temelli HK yöntemlerinden daha iyi performans gösterdiği kanıtlanmıştır.

HK yöntemi için de etkin bir donanım mimarisi önerilmektedir. Donanım mimarisinin güç tüketimi, maksimum çalışma frekansı ve alan açısından daha iyi olduğu gösterilmiştir. Önerilen donanım mimarisi, sırasıyla, en az 19,67 mW ve 484,9 mW tahmini güç tüketimi değerleri ile minimum 46 ve maksimum 52 720p tam HD fps işleyebilir.

Spiral arama algoritmasının HK işlemi sırasında kullanılması, daha yüksek çerçeve hızlarına ulaşılabileceği için ilerideki çalışmalarda uygulanması için erken sonlandırma yaklaşımını mümkün kılmaktadır. Ayrıca, bu tezdeki HK süreci piksel seviyesinde uygulanmakta, daha doğru HV sağlayan alt piksel seviyesi HK, hem H.264/AVC hem de HEVC video sıkıştırma standartları için gelecekteki bir çalışma olarak uygulanabilir.

KAYNAKLAR

[1] Malvar H. S., Hallapuro A., Karczewicz M., Kerofsky L., Low-complexity transform and quantization in H. 264/AVC, *IEEE Transactions on circuits and systems for video technology*, 2003, **13**(7), 598-603.

[2] JVT of ISO/IEC and ITU-T, Recommendation ITU-T H.264 | International Standard ISO/IEC 14496-10 (ISO/IEC 14496-10:2012), *Joint Video Team(JVT) of ITU Telecommunication Standardization Sector (ITU-T) and International Organization for Standardization (ISO)*, Geneva, 2012.

[3] JVT of ISO/IEC and ITU-T, Recommendation ITU-T H.265 (ISO/IEC 23008-2:2013), *Joint Video Team(JVT) of ITU Telecommunication Standardization Sector (ITU-T) and International Organization for Standardization (ISO)*, Geneva, 2013.

[4] Kuhn P. M., Motion Estimation Algorithms, Editors: Peter M. K., *Algorithms, Complexity Analysis and VLSI Architectures for MPEG-4 Motion Estimation*, 1st ed., Kluwer Academic Publishers, Norwell, MA, USA, 17-60, 1999.

[5] Jain J., Jain A., Displacement measurement and its application in interframe image coding, *IEEE Transactions on communications*, 1981, **29**(12), 1799-808.

[6] Richardson I. E.,*The H.264 Advanced Video Compression Standard*, 2nd ed., John Wiley & Sons, UK, 2010.

[7] Chen T. C., Chen Y. H., Tsai S. F., Chien S. Y., Chen L. G., Fast algorithm and architecture design of low-power integer motion estimation, *IEEE Transactions on Circuits and Systems for Video Technology*, 2007, **17**(5), 568-577.

[8] Koga T., Linuma K., Hirano A., Lijima Y., Ishiguro T., Motion compensated interframe coding for video conferencing, *Proceedings of National Telecommunication Conference*, New Orleans, LA, 29 November-3 December 1981.

[9] Zhu S., Ma K. K., A new diamond search algorithm for fast block-matching motion estimation, *IEEE Transactions on Image Processing*, 2000, **9**(2), 287-290.

[10] Zhu C., Lin X., Chau L. P., Hexagon-based search pattern for fast block motion estimation, *IEEE transactions on circuits and systems for video technology*, 2002, **12**(5), 349-55.

[11] Lee J., Choi M., Cho Y., Kim J., Cho W. K., Fast H.264/AVC motion estimation algorithm using adaptive search range, *Proceedings of the 12th International Symposium on Integrated Circuits (ISIC '09)*, Singapore, 14-16 December 2009.

[12] Bierling M., Displacement estimation by hierarchical block matching, *Proceedings of the SPIE Conference on Visual Communications and Image Processing*, San Jose, CA, USA, 3-7 October 1998.

[13] Lengwehasatit K., Ortega A., Probabilistic partial-distance fast matching algorithms for motion estimation, *IEEE transactions on circuits and systems for video technology*, 2001, **11**(2), 139-152.

[14] Wang C. N., Yang S. W., Liu C. M., Chiang T., A hierarchical n-queen decimation lattice and hardware architecture for motion estimation, *IEEE transactions on circuits and systems for video technology*, 2004, **14**(4), 429-440.

[15] Saha A., Mukherjee J., Sural S., New pixel-decimation patterns for block matching in motion estimation, *Signal Processing: Image Communication*, 2008, **23**(10), 725-738.

[16] Li W., Salari E., Successive elimination algorithm for notion estimation, *IEEE transactions on image processing*, 1995, **4**(1), 105-107.

[17] Yang L., Yu K., Li J., Li S., An effective variable block-size early termination algorithm for H.264 video coding, *IEEE transactions on circuits and systems for video technology*, 2005, **15**(6), 784-788.

[18] Feng J., Lo K. T., Mehrpour H., Karbowiak A. E., Adaptive block matching motion estimation algorithm using bit plane matching, *Proceedings 1995 IEEE International Conference on Image Processing (ICIP'95)*, Washington DC, USA,20-23 October 1995.

[19] Natarajan B., Bhaskaran V., Konstantinides K., Low-complexity block-based motion estimation via one-bit transforms, *IEEE transactions on circuits and systems for video technology*, 1997, **7**(4), 702-706.

[20] Ertürk S., Multiplication-free one-bit transform for low-complexity block-based motion estimation, *IEEE Signal Processing Letters*, 2007, **14**(2), 109-112.

[21] Ertürk A., Ertürk S., Two-bit transform for binary block motion estimation, *IEEE transactions on circuits and systems for video technology*, 2005, **15**(7), 938- 946.

[22] Urhan O., Ertürk S., Constrained one-bit transform for low-complexity block motion estimation, *IEEE transactions on circuits and systems for video technology*, 2007, **17**(4), 478-482.

[23] Choi C., Jeong J., Enhanced two-bit transform based motion estimation via Extension of matching criterion, *IEEE Transactions on Consumer Electronics*, 2010, **56**(3), 1883-1889.

[24] Güllü M. K., Weighted constrained one-bit Transform based fast block motion estimation, *IEEE Transactions on Consumer Electronics*, 2011, **57**(2), 751-755.

[25] Ko S. J., Lee S. H., Lee K. H., Fast digital image stabilizer based on Gray-coded bit-plane matching, *IEEE Transactions on Consumer Electronics*, 1999, **45**(3), 598-603.

[26] Urhan O., Ertürk S., Gray coded bit-plane matching for block based motion estimation, *Proceedings of 10th Signal Processing and Communication Applications Conference (SIU)*, Pamukkale, Denizli, Turkey, 12-14 June 2002.

[27] Çelebi A., Urhan O., Hamzaoğlu I., Ertürk S., Efficient hardware implementations of low bit depth motion estimation algorithms, *IEEE Signal Processing Letters*, 2009, **16**(6), 513-516.

[28] Akın A., Doğan Y., Hamzaoğlu I., High performance hardware architectures for one bit transform based motion estimation, *IEEE Transactions on Consumer Electronics*, 2009, **55**(2), 941-949.

[29] Çelebi A., Akbulut O., Urhan O., Hamzaoğlu I., Ertürk S., An all binary sub-pixel motion estimation approach and its hardware architecture, *IEEE Transactions on Consumer Electronics*, 2008, **54**(4), 1928-1937.

[30] Çelebi A., Akbulut O., Urhan O., Ertürk S., Truncated gray-coded bit-plane matching based motion estimation and its hardware architecture, *IEEE Transactions on Consumer Electronics*, 2009, **55**(3), 1530-1536.

[31] Çelebi A., Lee H. J., Ertürk S., Bit plane matching based variable block size motion estimation method and its hardware architecture, *IEEE Transactions on Consumer Electronics*, 2010, **56**(3), 1625-1633.

[32] Kuo T. Y., Wang C. H., Fast local motion estimation and robust global motion decision for digital image stabilization, *Intelligent Information Hiding and Multimedia Signal Processing, IIHMSP '08 International Conference*, Harbin, China, 15-17 August 2008.

[33] Yavuz S., Çelebi A., Aslam M., Urhan O., Selective Gray-Coded Bit-Plane Based Low-Complexity Motion Estimation and its Hardware Architecture, *IEEE Transactions on Consumer Electronics*, 2016, **62**(1), 76-84.

[34] Kuo T. Y., Chan C. H., Fast variable block size motion estimation for H.264 using likelihood and correlation of motion field. *IEEE transactions on circuits and systems for video technology*, 2006, **16**(10), 1185-1195.

[35] Chen T. C., Chen Y. H., Tsai S. F., Chien S. Y., Chen L. G., Fast Algorithm and Architecture Design of Low-Power Integer Motion Estimation for H.264/AVC, *IEEE transactions on circuits and systems for video technology*, 2007, **17**(5), 568-577.

[36] Tuan J. C., Chang T. S., Jen C. W., On the data reuse and memory bandwidth analysis for full-search block-matching VLSI architecture, *IEEE transactions on circuits and systems for video technology*, 2002, **12**(1), 61-72.

[37] Akın A., Sayılar G., Hamzaoğlu I., High performance hardware architectures for one bit transform based single and multiple reference frame motion estimation, *IEEE Transactions on Consumer Electronics*, 2010, **56**(2), 1144-1152.

[38] Çelebi A., Urhan O., High performance hardware architecture for constrained one-bit transform based motion estimation, *19th European Signal Processing Conference (EUSIPCO-2011),* , Barcelona, Spain, 29 August-2 September 2011.

[39] Celebi A., Lee H. J., Erturk S., Bit plane matching based variable block size motion estimation method and its hardware architecture, *IEEE Transactions on Consumer Electronics*, 2010, **56**(3), 1625-1633 .

[40] D'huys T., Momcilovic S., Pratas F., Sousa L., Reconfigurable data flow engine for hevc motion estimation. *2014 IEEE International Conference on Image Processing (ICIP)*, Paris, France, 27-30 October 2014.

[41] Sinangil M. E., Sze V., Zhou M., Chandrakasan A. P., Cost and coding efficient motion estimation design considerations for high efficiency video coding (HEVC) standard, *IEEE Journal of selected topics in signal processing*, 2013, **7**(6), 1017-28.

[42] Jou S. Y., Chang S. J., Chang T. S., Fast motion estimation algorithm and design for real time QFHD high efficiency video coding. *IEEE Transactions on Circuits and Systems for Video Technology*, 2015, **25**(9), 1533-44.

[43] Kim T. S., Rhee C. E., Lee H. J., Merge Mode Estimation for a Hardware-Based HEVC Encoder, *IEEE Transactions on Circuits and Systems for Video Technology*, 2016, **26**(1),195-209.

KİŞİSEL YAYIN VE ESERLER

[1] Yavuz S., Çelebi A., **Aslam M.**, Urhan O., Selective Gray-Coded Bit-Plane Based Low-Complexity Motion Estimation and its Hardware Architecture, *IEEE Transaction on Consumer Electronics*, 2016, **62**(1), 76-84.

[2] **Aslam M.**, Çelebi A., Efficient Hardware Architecture For Selective Gray Coded Bit Plane Based Low Complexity Motion Estimation. *Gazi University Journal of Science*, 2017, **30**(1), 69-78.

[3] **Aslam M.**, Çelebi A., Hybrid Hardware Architecture For Low Complexity Motion Estimation Algorithm, *IP-SoC Conference 2016*, Grenoble, France, 6-7 December 2016.

[4] **Aslam M.**, Çelebi A., Reusable Verification Model for Low Complexity Motion Estimation Hardware, *IP-SoC Conference 2016*, Grenoble, France, 6-7 December 2016.

ÖZGEÇMİŞ

Muhammad Aslam, Pakistan Bahawalpur'da doğdu. Elektronik Mühendisliği alanında lisans derecesini 2014 yılında Pakistan Islamabad'da bulunan Uluslararası İslam Üniversitesinden aldı. 2015 yılından bu yana Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği Bölümü'nde yüksek lisans öğrencisidir. Mevcut araştırma ilgi alanları arasında video kodlama/hareket kestirimi: algoritması ve FPGA kullanarak uygulaması bulunmaktadır.