



T.C.

SELÇUK ÜNİVERSİTESİ

FEN BİLİMLERİ ENSTİTÜSÜ

ANAHTAR SAYISI AZALTILMIŞ ÇOK SEVİYELİ İNVERTERLERDE SEÇİCİ HARMONİK ELİMİNASYONU

Enes BEKTAŞ

YÜKSEK LİSANS TEZİ

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Aralık-2015
KONYA
Her Hakkı Saklıdır

TEZ BİLDİRİMİ

Bu tezdeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edildiğini ve tez yazım kurallarına uygun olarak hazırlanan bu çalışmada bana ait olmayan her türlü ifade ve bilginin kaynağına eksiksiz atıf yapıldığını bildiririm.

DECLARATION PAGE

I hereby declare that all information in this document has been obtained and presented in accordance with academic rules and ethical conduct. I also declare that, as required by these rules and conduct, I have fully cited and referenced all material and results that are not original to this work.

Enes BEKTAŞ

Tarih: 29 / 12 / 2015

ÖZET

YÜKSEK LİSANS TEZİ

ANAHTAR SAYISI AZALTILMIŞ ÇOK SEVİYELİ İNVERTERLERDE SEÇİCİ HARMONİK ELİMİNASYONU

Enes BEKTAŞ

Selçuk Üniversitesi Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman: Yrd. Doç. Dr. Hulusi KARACA

2015, 93 Sayfa

Jüri
Yrd. Doç. Dr. Hulusi KARACA
Doç. Dr. Ramazan AKKAYA
Yrd. Doç. Dr. Mümtaz MUTLUER

Elektrik enerjisinin farklı şekillere dönüştürülmesi güç elektroniğinin en temel çalışma alanıdır. Dönüştürücü türlerinden biri olan DC-AC inverterlerde sabit DC gerilim, değişken frekanslı ve genlikli AC gerilime dönüştürülmektedir. İnverter çıkışında talep edilen güç ve gerilimin artması ile klasik inverterde yarı iletken anahtar üzerindeki gerilim stresi artmakta ve bu durum giriş gerilimi ve akımında dalgalanmalara yol açmaktadır. Bu nedenle orta gerilim seviyesine dayanabilen anahtar çeşidi üretilemediği için özellikle yüksek güç ve orta gerilim seviyesinde çok seviyeli inverter kullanımı yaygınlaşmıştır. Çok seviyeli inverterlerde seviye sayısının artması ile çıkış gerilimi saf sinüzoidal forma daha da yaklaşmaktadır. Ancak seviye sayısının artması, çok seviyeli inverter bünyesinde bulunan yarı iletken elemanın sayısının artmasına ve dolayısıyla sürücü donanımının daha karmaşık olmasına yol açmaktadır. Bunun sonucu olarak inverter boyutu ve maliyeti artmaktadır. Bu dezavantajın üstesinden gelmek için çok seviyeli inverterlerde anahtar sayısının azaltılması üzerinde yoğun çalışmalar yapılmaktadır. İnverter maliyetini ve boyutunu olumsuz etkileyen faktörlerden biri de çıkışta ihtiyaç duyulan alçak geçiren filtrelerdir. Çıkışta harmoniksiz saf bir sinüzoidal gerilim üretilmesi için filtre kullanımı zorunludur. Seçici harmonik eliminasyonu (SHE) tekniği, çıkıştaki bazı istenilen harmoniklerin yok edilmesine olanak sağlar. Bir fazlı gerilim için 3 ve sonrasındaki tek harmoniklerin yok edilmesi sayesinde çıkışta ihtiyaç duyulan filtre kondansatör değeri düşürülebilir.

Bu tez çalışmasında, öncelikle literatürde kullanılan anahtar sayısı azaltılmış çok seviyeli inverter devre yapıları incelenmiş ve yarım köprü modüllü çok seviyeli inverter yapısının pratik olarak gerçekleştirilmesi amaçlanmıştır. Harmonik minimizasyonlu darbe genişlik modülasyonu (HMDGM) ve SHEDGM tekniği uygulanan devre yapısı için çıkış geriliminin toplam harmonik distorsiyonu (THD) ölçülmüştür. HMDGM metodu için gerekli olan anahtarlama açıları trigonometrik bir denklem ile hesaplanırken SHEDGM metodu için anahtarlama açıları genetik algoritma (GA) kullanılarak elde edilmiştir. GA tabanlı SHEDGM'nin THD açısından daha iyi bir performans verdiği simülasyon ve deneysel sonuçlar ile kanıtlanmıştır.

Anahtar Kelimeler: Anahtar sayısı azaltma, çok seviyeli inverter, harmonik minimizasyonlu darbe genişlik modülasyonu (HMDGM), seçici harmonik eliminasyonu (SHE)

ABSTRACT

MS THESIS

SELECTIVE HARMONIC ELIMINATION IN MULTILEVEL INVERTERS WITH REDUCED NUMBER OF SWITCHES

Enes BEKTAŞ

THE GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCEOF SELÇUK UNIVERSITY
THE DEGREE OF MASTER OF SCIENCE
IN ELECTRICAL&ELECTRONICS ENGINEERING

Advisor: Asst. Prof. Dr. Hulusi KARACA

2015, 93 Pages

Jury
Asst. Prof. Dr. Hulusi KARACA
Assoc. Prof. Dr. Ramazan AKKAYA
Asst. Prof. Dr. Mümtaz MUTLUER

Transforming electric power to different forms is the basic working area of power electronics. In DC-AC inverter which is type of power converters, constant DC voltage is converted to AC voltage having variable frequency and amplitude. With rising of desired power and voltage in the output, voltage stress on semiconductor switches increases and this event causes to distortion in input voltage and current. Therefore, especially in high power and medium voltage levels multilevel inverter usage have become popular because type of semiconductor switch which withstands the medium voltage levels can't be produced. The output voltage approaches to pure sinusoidal waveform with level rising mostly, in multilevel inverters. But increment of level leads to improvement of semiconductor power switches and so, makes hardware more complicated. For this reason, the hardware cost and size of inverter has multiplied. To overcome this disadvantage, intensive research have been done on reducing of switches number with multilevel inverters. One of the consideration that affects inverter cost and size is low pass filters needed in output. Using of filters is obligation so as to generate pure sinusoidal voltage with non-harmonic contents. Selective harmonic elimination (SHE) technique make elimination of desired harmonics possible. For 1- phase voltage, capacitor rate in filter needed in output can be reduced by elimination of 3. and other odd harmonics.

In this thesis, structures of multilevel inverter with reduced number of switches used in literature have been analyzed and it has been aimed at implementation of multilevel inverter with half bridge modules practically. Total harmonic distortion (THD) results have been measured for structure of inverter to which Harmonic minimization technique pulse width modulation (HMPWM) and Selective harmonic elimination pulse width modulation (SHEPWM) is applied. Switching angles needed for SHEPWM has been obtained by using genetic algorithm (GA) while switching angles needed for HMPWM is calculated by trigonometric equation . It has been observed with simulations and experimental results that GA based SHEPWM provides better performance in THD.

Keywords: Reduced number of switches, multilevel inverter, harmonic minimization pulse width modulation (HMPWM), selective harmonic elimination (SHE)

ÖNSÖZ

Bu tezin hazırlanmasının her aşamasında çalışmalarımı büyük bir titizlikle yönlendiren danışmanım Yrd. Doç. Dr. Hulusi KARACA'ya, tez jürisi üyeleri Doç. Dr. Ramazan AKKAYA'ya ve Yrd. Doç. Dr. Mümtaz MUTLUER'e, bilgi ve tecrübelerinden yararlandığım bölümümüz öğretim elemanlarına ve özellikle yardımlarını esirgemeyen Yrd. Doç. Dr. İsmail TOPALOĞLU'na teşekkürlerimi sunarım.

Çalışmalarım boyunca bana destek veren eşime, maddi ve manevi her türlü desteği ile yanımda olan aileme teşekkürü bir borç bilirim.

Enes BEKTAŞ
KONYA-2015

İÇİNDEKİLER

ÖZET ..... **iv**

ABSTRACT ..... **v**

ÖNSÖZ ..... **vi**

İÇİNDEKİLER ..... **vii**

SİMGELER VE KISALTMALAR ..... **x**

1. GİRİŞ **1**

1.1. Tezin Amacı ve Önemi 3
1.2. Tezin Organizasyonu 4

2. KAYNAK ARAŞTIRMASI **6**

3. ÇOK SEVİYELİ İNVERTERLER **11**

3.1. Temel Çok Seviyeli İnverterler 11
3.1.1. Kaskat bağlı h-köprü modüllü çok seviyeli inverterler 11
3.1.2. Diyot kenetlemeli çok seviyeli inverterler 12
3.1.3. Kondansatör kenetlemeli çok seviyeli inverterler 14
3.2. Geleneksel Çok Seviyeli İnverter Topolojilerinin Karşılaştırılması 16
3.3. Anahtar Sayısı Azaltılmış Çok Seviyeli İnverter Çeşitleri 17
3.3.1. I. yapı 18
3.3.2. II. yapı 20
3.3.3. III. yapı 21
3.3.4. IV. yapı 22
3.3.5. V. yapı 23
3.3.6. VI. yapı 24
3.3.7. VII. yapı 26
3.4. Anahtar Sayısı Azaltılmış Kaskat Bağlı Yarım Köprü Modüllü Çok Seviyeli İnverter 27
3.4.1. Anahtar sayısı azaltılmış kaskat bağlı yarım köprü modüllü çok seviyeli inverter çalışma prensibi 28
3.5. Çok Seviyeli İnverterlerde Kullanılan Anahtarlama Teknikleri 32
3.5.1. Harmonik minimizasyonlu darbe genişlik modülasyonu (HMDGM) 32
3.5.2. Uzay vektör darbe genişlik modülasyonu (UVDGM) 35
3.5.3. Sinüzoidal darbe genişlik modülasyonu (SDGM) 37
3.5.4. Seçici harmonik eliminasyonlu darbe genişlik modülasyonu (SHEDGM) 38

4.SEÇİCİ HARMONİK ELİMİNASYONU (SHE) **39**

4.1. Çok Seviyeli İnverter Çıkış Geriliminin Analizi 39
4.1.1. Çok seviyeli temel anahtarlama frekanslı SHEDGM 39
4.1.2. Çok seviyeli yüksek anahtarlama frekanslı SHEDGM 40

5. GENETİK ALGORİTMALAR 43

5.1. Optimizasyon Kavramı 43
5.2. Genetik Algoritma Operatörleri 44
5.2.1. Başlangıç popülasyonu 45
5.2.2. Seçim 45
5.2.3. Çaprazlama 46
5.2.4. Mutasyon 47
5.2.5. Uygunluk fonksiyonu 47
5.3. Genetik Algoritma Tabanlı Seçici Harmonik Eliminasyonu 48
5.3.1. 5 seviye'de SHEDGM denklemleri ve çözümü 48
5.3.2. 9 seviye'de SHEDGM denklemleri ve çözümü 49
5.3.3. 13 seviye'de SHEDGM denklemleri ve çözümü 49

6. ANAHTAR SAYISI AZALTILMIŞ ÇOK SEVİYELİ İNVERTERİN SİMÜLASYONU VE DENEYSEL GERÇEKLEŞTİRİLMESİ 51

6.1. Simülasyonun Gerçekleştirilmesi 51
6.2. Deneysel Tasarım ve Gerçekleştirilmesi 54
6.2.1. Mikroişlemci kartı 55
6.2.2. 5 seviye gerilim kartı 57
6.2.3. H-köprü inverter kartı 59
6.2.4. Yarım köprü sürücü devre 60
6.2.4.1. Sinyal izolasyonu 61
6.2.4.2. MOSFET sürücü entegre 61
6.2.5. Besleme devresi 62
6.3. HMDGM ve SHEDGM İçin Anahtarlama Sürelerinin Hesaplanması 63
6.4. Deneysel Harmonik Analizi 63

7. HMDGM VE SHEDGM METODLARI İÇİN SİMÜLASYON VE DENEY SONUÇLARI 65

7.1. 5-Seviyeli İnverterin Simülasyon ve Deney Sonuçları 65
7.1.1. HMDGM ve SHEDGM metodu ile kontrol edilen inverterin simülasyon sonuçları 65
7.1.2. 5-seviyeli inverter simülasyonunun harmonik analizi 66
7.1.3. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel sonuçları 67
7.1.4. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel harmonik analizi 68
7.2. 9-Seviyeli İnverterin Simülasyon ve Deney Sonuçları 69
7.2.1. HMDGM ve SHEDGM metodu ile kontrol edilen inverterin simülasyon sonuçları 69
7.2.2. 9-seviyeli inverter simülasyonunun harmonik analizi 70
7.2.3. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel sonuçları 71
7.2.4. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel harmonik analizi 72
7.3. 13- Seviyeli İnverterin Simülasyon ve Deney Sonuçları 73
7.3.1. HMDGM ve SHEDGM metodu ile kontrol edilen inverterin simülasyon sonuçları 73

7.3.2. 13-seviyeli inverter simülasyonunun harmonik analizi 74
7.3.3. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel sonuçları 75
7.3.4. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel harmonik analizi 76
7.4. Farklı Seviyelerde HMDGM ve SHEDGM'nin Karşılaştırılması 77
7.4.1. THD değerinin karşılaştırılması 77
7.4.2. Modülasyon değerinin karşılaştırılması 79

8. SONUÇLAR VE ÖNERİLER 80

KAYNAKLAR 82

ÖZGEÇMİŞ 93

SİMGELER VE KISALTMALAR

Simgeler

α_i : i. anahtarlama açısı sayısı

α : Anahtarlama açısı

H_n : n. derece harmonik genliği

i_L : Yük akımı

k : Yarım köprü modül sayısı

m_a : SDGM modülasyon indeksi

N_α : Anahtarlama açısı sayısı

N_{seviye} : Seviye sayısı

p : Çaprazlama oranı

T : Anahtarlama periyodu

t : Zaman

t_i : HMDGM ve SHEDGM metodu modül anahtarlama süresi

V_{DC} : Modül besleme gerilimi

V_L : Yük gerilimi

V_0 : Seri bağlı modül çıkış gerilimi

V_{ref} : Uzay vektör referans gerilimi

V_{sin} : Referans sinüs sinyali

Kısaltmalar

AC : Alternatif akım

DC : Doğru akım

ÇSİ : Çok seviyeli inverter

DGM : Darbe genişlik modülasyonu

DSP : Sayısal işaret işlemci

HMDGM : Harmonik minimizasyonlu DGM

IGBT : İzole kapılı bipolar transistör

MOSFET : Metal oksit yarı iletkenli alan etkili transistör

PIC : Çevresel ünite denetleme birimi

SDGM : Sinüzoidal DGM

SHE	: Seçici harmonik eliminasyonu
SHEDGM	: Seçici harmonik eliminasyonlu DGM
THD	: Toplam harmonik distorsiyonu
UVDGM	: Uzay vektör DGM

1. GİRİŞ

İnverterler (eviriciler) temel yapı olarak, doğru gerilimden genliği ve frekansı bir birinden bağımsız olarak ayarlanabilen alternatif gerilim üreten güç elektroniği çeviricileridir. İnverterler AC motor kontrolü, akü şarjı, endüksiyonla ısıtma, rüzgar türbinleri, AC gerilim kaynakları vb. sistemlerde yaygın olarak kullanılmaktadır.

İnverterlerde, DC giriş gerilimi ilk yarım periyot süresince yüke pozitif yönde ikinci yarım periyot süresinde ise yüke negatif yönde uygulanmaktadır. Bahsedilen bu iki yarım periyot, inverter çalışma periyodunu ve frekansını belirlemektedir.

DC giriş gerilimin çıkışta AC gerilime dönüştürülmesi, inverter yapısında bulunan yarı iletken anahtarlar ile gerçekleştirilmektedir. Genellikle bu yarı iletken elemanlar DGM anahtarlama yöntemi ile kontrol edilmekte olup, çıkış gerilim seviyesi ve frekansına göre kullanılan yarı iletken güç elemanı çeşitlilik göstermektedir. Düşük frekans ve yüksek güç uygulamalarında tristör, orta frekans ve orta güçlerde transistör, yüksek frekans ve düşük güç uygulamalarında ise MOSFET kullanılmaktadır. Ancak son yıllarda 10 kW'ın üstünde çıkış gücü gerektiren uygulamalarda IGBT, 10 kW ve altında güç gerektiren uygulamalarda inverter devrelerinde MOSFET güç elemanının kullanıldığı görülmektedir (Bodur, 2010).

Son yıllarda, çok sayıda endüstriyel uygulamalar daha yüksek güçte bileşenlere ihtiyaç duymaya başlamıştır. Fakat, orta gerilime dayanabilen yarı iletken güç anahtarları henüz üretilmemiştir. Bundan dolayı, orta gerilim seviyesindeki bir gerilim kaynağı doğrudan bir güç anahtarına bağlanamaz. Sonuç olarak çok seviyeli inverter topolojisi, orta gerilim ve yüksek güçte çalışmak için farklı bir seçenek olarak ortaya çıkmaktadır (Karaca, 2013).

İnverterin çıkışında elde edilmek istenen saf sinüzoidal bir alternatif gerilimdir. Ancak doğru gerilim formunun değiştirilmesi ile inverter çıkışında saf sinüzoidal bir gerilim elde etmek mümkün değildir. Elde edilen gerilimin çıkış dalga şekli, belli bir frekansı ve genliği olan sinüzoidal gerilimin yanında bu frekansın katlarına sahip ve belli genlikleri olan sinüzoidal gerilimlerden (harmonikler) oluşur (Yalçın, 2009). Çok seviyeli inverterlerde, seviye sayısı artması ile çıkış gerilimi sinüs sinyaline daha çok benzemektedir ve böylece çıkış gerilimi üzerindeki harmonik bileşenler azalmaktadır. Bu nedenle de kaliteli akım ve gerilim sinyallerine ulaşmak için çok seviyeli inverterlere olan ilgi artmış ve bu topoloji üzerinde yapılan çalışmalar yoğunlaşmıştır.

Orta ve yüksek güçlü uygulamalarda klasik inverterler; düşük verim, büyük transformatörlerin kullanılması nedeni ile yüksek fiyat, dv/dt ve di/dt'nin bir sonucu olarak da anahtarlama elemanları üzerinde büyük akım-gerilim darbeleri gibi dezavantajlara sahiptirler (Tuncer, 2004). Çok seviyeli inverterler, klasik inverterlerdeki bu dezavantajların üstesinden gelmektedirler.

Diğer güç dönüştürücüleri ile karşılaştırıldığında çok seviyeli inverterler aşağıdaki üstün özelliklere sahiptir.

- Çok seviyeli inverterler seviye sayısının artması ile birlikte çıkış gerilim sinüse daha da yaklaşır ve harmonik bileşenler azalır. Klasik inverterler yerine ÇSİ kullanılarak harmonik filtre boyutları azaltılabilir ve dolayısıyla inverterin hacmi azalarak modüler olmasına olanak sağlanabilir.
- Çok seviyeli inverterler, devre yapıları aynı olan inverter modüllerinden oluştukları için tasarımları kolaydır ve basittir.
- Çıkış gerilimi basamaklı olduğu için anahtarlama elemanları üzerindeki dv/dt gerilim stresi daha azdır böylece anahtarlama kayıpları da azalacaktır.

Çok seviyeli inverterlerin bahsedilen avantajlarının yanında en önemli dezavantajı çok sayıda yarı iletken anahtar ve sürme devresi kullanımı gerektirmesidir. Seviye sayısının artması harmonik bileşenlerin azalmasına ve harmonik filtre boyutunun küçülmesine olanak sağlasa da, seviye sayısının artması ile anahtar sayısı da artmaktadır. Artan anahtar sayısı inverter donanımındaki izole DC gerilim sayısını da attırmakta olup, inverterin maliyetini ve boyutunu da büyütmektedir. Bu yüzden çok seviyeli inverterlerin devre yapılarında anahtar sayısının azaltılması çok büyük önem taşımaktadır (Karaca ve Bektaş, 2015).

Çok seviyeli inverter devre yapısı geliştirilmeye müsait bir yapıdır ve literatürde çok seviyeli çıkış gerilimi veren, daha az anahtar kullanan devre yapıları mevcuttur. İnverterlerde çıkış geriliminin harmonik içeriklerinin minimum olması, güç kalitesi bakımından çok önemlidir. Uygulamalarda düşük harmonikli gerilime ihtiyaç duyulmaktadır. Bu yüzden inverterde harmonik eliminasyonu oldukça önem kazanmaktadır. Kaliteli bir güç dönüştürücüsü istenilen çıkış genlik değerini üretebilmenin yanında üretilen gerilimin toplam harmonik bozunumununda düşük olmasını sağlamalıdır. Çok seviyeli inverterlerde gerilim seviyesinin arttırılması ile uygulamada güç kalitesi de arttırılabilir.

Çok seviyeli inverter çıkış gerilimi harmonik bileşen değerleri, invertere uygulanan modülasyon teknikleri ile farklılık göstermektedir. Literatürde HMDGM

(Harmonik minimizasyonlu darbe genişlik modülasyonu), yüksek frekanslı DGM, UVDGM (Uzay vektör darbe genişlik modülasyonu) kontrol metodlarını kullanan çok seviyeli inverter çalışmaları mevcuttur. Bu metotlar her ne kadar birbirinden farklılık gösterse de hepsinin birleştiği ortak nokta harmonik bileşenlerin azalmasına olanak sağlayarak çıkış gerilimi THD değerini düşürmektir. Ancak bu modülasyon tekniklerinde harmonik bileşenler tamamen yok edilemez. Elimine edilmek istenen harmonik bileşenlerin tamamen yok edilmesine olanak sağlayan kontrol metodu SHEDGM olarak adlandırılmaktadır ve diğer modülasyon tekniklerinden farklı bir başlık adı altı incelenmelidir. SHE metodu, çıkış gerilimi harmoniklerinin fourier transformuna dönüştürülmesi yardımıyla türetilen denklemlerin oluşturulması, çözülmesi ve bunun sonucunda bulunan anahtarlama açılarının kullanılan modülasyon tekniğine uyarlanması aşamalarından oluşmaktadır.

SHE ile oluşturan harmonik denklemleri matematiksel olarak Newthon Rapshon metodu ya da bu metodu kullanan Yapay Sinir Ağları (YSA) gibi iteratif teknikler ile çözülebilir. Ancak bu metotlar tam olarak doğru çözümü sunmayabilir ve çözümden uzaklaşabilir. Aynı zamanda iteratif metotların başlangıç değeri tabloları gerektirmesi çözümü daha da zorlaştırmaktadır. İstenilen optimal anahtarlama açılarının bu metotlar yardımıyla hesaplanması zordur ve hatta optimal anahtarlama açıları elde edilemeyebilir (Chapra ve Canale, 2008). İteratif tekniklerin bu dezavantajını Genetik Algoritmalar vb. yapay zeka yaklaşımı algoritmaları ile ortadan kaldırmak mümkündür. Literatürde aynı zamanda Yapay Arı Kolonisi Algoritması (Artificial Bee Colony Algorithm, ABC Algorithm), Parçacık Sürü Optimizasyonu (Particle Swarm Optimization, PSO) vb. yaklaşımlar ile yapılmış optimizasyon çalışmaları da yaygındır.

1.1. Tezin Amacı ve Önemi

Çok seviyeli inverterler, DC gerilimden sinüzoidal gerilime benzer çıkış gerilimi üreten güç dönüştürücüleridir. Anahtarlama frekansı değiştirilmeden, gerilim seviyesinin artması ile çıkıştaki harmoniklerin azalması çok seviyeli inverterlerin en önemli avantajıdır. En önemli dezavantaj ise çok seviyeli inverter donanımın çok sayıda yarı iletken kullanımı gerektirmesidir.

Bu tez çalışmasında anahtar sayısı azaltılmış çok seviyeli inverterin pratik olarak gerçekleştirilmesi amaçlanmaktadır. Bu çok seviyeli inverter, DGM tekniği kullanılarak kontrol edilecektir. Ayrıca çok seviyeli invertere seçici harmonik eliminasyonu

algoritması uygulanarak, çıkış gerilim harmoniklerinin incelenmesi, harmonik denklemlerinin Genetik Algoritma ile çözülerek harmoniklerin elimine edilmesi hedeflenmektedir.

Tezin amaçları aşağıdaki başlıklar altında toplanabilir:

- Çok seviyeli inverterlerin en yaygın olarak kullanılan çeşidi H- köprülerin seri bağlanması ile oluşan kaskat bağlı H-köprü çok seviyeli inverterlerdir. Anahtar sayısını azaltmak için H-köprüler yerine yarım H-köprü kullanılması amaçlanmaktadır.
- Çok seviyeli inverterlerde gerilim seviyesi arttıkça çıkış gerilimi THD değerinin azalması durumunun, çeşitli gerilim seviyeleri için simülasyonları ve deneysel çalışmaları yapılarak doğrulanması hedeflenmektedir.
- SHEDGM metodu ile elimine edilecek olan harmonik denklemlerinin oluşturulması ve bu denklemlerin Genetik Algoritma kullanılarak çözülmesi amaçlanmaktadır.
- HMDGM ve SHEDGM modülasyon teknikleri uygulanmış 5, 9, 13-seviyeli inverterler için harmonik bileşenlerin karşılaştırılması, SHEDGM metodu yardımıyla istenilen harmoniklerin elimine edilmesi, sonuçlarının simülasyon ve pratik uygulama üzerinde karşılaştırılması amaçlanmaktadır.

Klasik çok seviyeli inverterlere göre aynı gerilim seviyesinde daha az anahtar kullanılması, inverter donanımının azaltılması tez çalışmasında üzerinde durulan en önemli noktadır. Aynı zamanda kullanılan inverter yapısına harmonik eliminasyonu uygulanarak girişteki büyük harmoniklerin yok edilmesi, harmonik filtre ihtiyacının minimuma indirilmesi, klasik inverterlere oranla devre boyutları ve maliyetinde azalma sağlanması hedeflenmektedir.

1.2. Tezin Organizasyonu

Tezin birinci bölümünde, inverterler, kullanım alanları, çok seviyeli inverterler konuları üzerinde durulmuştur. Ayrıca tezin amacı ve önemi ile tezin organizasyonu bu bölümde verilmiştir.

İkinci bölümde, yayınlandığı tarih sırasına göre çok seviyeli inverter çeşitleri, bu inverter yapısına uygulanan kontrol yöntemleri ve çıkış gerilim harmoniklerinin elimine edilebilmesi için geliştirilen algoritmalar hakkındaki çalışmalar incelenmiştir.

Üçüncü bölümde, temel çok seviyeli inverter yapılarına ve çeşitlerine değinilmiştir. Çok seviyeli inverterde anahtar sayısının azaltılmasının önemi ve tez çalışmasında uygulaması yapılacak olan anahtar sayısı azaltılmış çok seviyeli inverter yapısı hakkında bilgiler verilmiştir. Ayrıca literatürde yer alan anahtar sayısı azaltılmış çok seviyeli inverter yapıları üzerinde durulmuştur.

Dördüncü bölümde seçici harmonik eliminasyonu, çıkış sinyali harmonik denklemlerinin fourier serileri kullanılarak çıkarılması konuları ele alınmıştır.

Beşinci bölümde genetik algoritmalar, genetik algoritmanın temel yapısı, genetik algoritma operatörleri ve harmonik denklem çözümü için tez uygulamasında kullanılan genetik algoritma yazılımı konuları üzerinde durulmuştur.

Altıncı bölümde, anahtar sayısı azaltılmış çok seviyeli inverterin Matlab&Simulink ortamında oluşturulan sistem modeli detaylı bir şekilde anlatılmıştır. Anahtar sayısı azaltılmış çok seviyeli inverter yapısının deneysel olarak gerçekleştirilmesinde kullanılan devreler ve inverter donanımını oluşturan kartlar hakkında bilgi verilmiştir. İlk olarak inverter kontrol sinyallerinin üretildiği mikroişlemci kartı üzerinde durulmuştur. Daha sonra 2 adet seri bağlı yarım köprü inverterden oluşan 5 seviye gerilim kartı, H-köprü inverter kartı, MOSFET sürme devresi ve donanımı oluşturan kartların besleme devreleri anlatılmıştır. Aynı zamanda HMDGM ve SHEDGM metotları için anahtarlama sürelerinin hesaplanması ve deneysel harmonik analizi konuları ele alınmıştır.

Yedinci bölümde, HMDGM ve SHEDGM metotları ile kontrol edilen anahtar sayısı azaltılmış çok seviyeli inverterin deneysel ve simülasyon sonuçlarına yer verilmiştir. Daha sonra belirlenen elimine edilen harmonik değerleri iki farklı metot için elde edilen simülasyon ve deneysel sonuçları karşılaştırılmıştır.

Sekizinci bölümde, tez çalışmasında elde edilen sonuçlar tartışılmış ve gelecekte çok seviyeli inverter hakkında çalışma yapacak araştırmacılara öneriler sunulmuştur.

2. KAYNAK ARAŞTIRMASI

Bu bölümde öncelikle çok seviyeli inverterlerde seçici harmonik eliminasyonu içeren çalışmalar ve özellikle harmonik denklemlerin çözümünde kullanılan algoritmalar hakkındaki çalışmalar incelenmiştir.

J.Rodrígues, J.-Sheng Lai ve F. Zheng Peng, 2002, çok seviyeli inverter çeşitleri, bu inverterlerin kontrol düzenleri ve uygulamaları konularını kapsayan bir çalışma yapmışlardır. Bu çalışma çok seviyeli inverterler hakkında çok geniş kapsamda bilgi içermesi bakımından dikkat çekmektedir.

Burak Özpineci, Leon M. Tolbert ve John N. Chiasson, 2005, yaptıkları çalışmada 7-seviyeli, 3 adet kaskat bağlı H-Köprü modüllü inverter topolojsi üzerinde SHEDGM metodunu kullanarak 2 adet harmonik (5. ve 7.) eliminasyonu uygulaması yapmışlardır. Aynı zamanda 11 seviye inverter için 5., 7., 11. ve 13. harmonikleri yok eden simülasyon sonuçlarını ortaya koymuşlardır. Bu çalışmada genetik algoritma toolbox yardımı ile anahtarlama açıları belirlenmekte olup, genetik algoritmaların çalışması ve harmonik optimizasyon problemlerine uyarlanması açık bir şekilde anlatılmaktadır.

John N. Chiasson, Leon M. Tolbert, Keith J. McKenzie ve Zhong Du, 2005, 11-seviyeli kaskat bağlı H-Köprü modüllü inverter topolojsi ve her modül için kısmi kare dalga modülasyonunu kullanarak 5., 7., 11. ve 13. harmoniklerin eliminasyonu uygulaması yapmışlardır. Elde edilen harmonik denklemleri simetrik polinom yapısı kullanılarak sadeleştirilmiş ve MATHEMATİCA programında bu teknik ile denklemlerin çözülme adımları anlatılmıştır. Bu çözümlerden elde edilen açı değerleri ile simülasyon yapılarak, istenilen harmoniklerin elimine edildiği doğrulanmıştır. Bu çalışma harmonik denklemlerin çözümünde farklı bir metot uygulanması ve çözümlerin kolaylaştığını göstermesi açısından önemli bir çalışmadır.

Jason R. Wells, Xin Geng, Patrick L. Chapman, Philip T. Krein ve Brett M. Nee, 2007, yaptıkları çalışmada, harmonik eliminasyonunu en çok hangi faktörün etkilediğini araştırmışlardır. Bunun sonucunda DGM ile sürülen tam köprü modüllü çok seviyeli

inverterde, harmonik denklemlerin ve açı değerlerinin optimizasyonunun yanında doğru bir DGM sinyalinin üretilmesinin daha önemli olduğu sonucuna varmışlardır.

Jagdish Kumar, Biswarup Das ve Pramod Agarwal, 2008, 5 adet kaskat bağlı H-köprü modüllü inverter topolojsi üzerinde SHEDGM metodunu kullanmışlardır. 5., 7., 11. ve 13. harmonik denklemlerini oluşturarak sıfıra eşitlemişlerdir. Bu denklemlerin, Newton-Raphson metodu ile çözümü yapılmış ve bu çözümlerden elde edilen açı değerleri ile simülasyon yapılarak, istenilen harmoniklerin eleminize edildiği doğrulanmıştır. Aynı zamanda farklı çıkış gerilim seviyelerine göre açıların değişimi grafikleri ile anlatımı daha da zenginleştirmişlerdir.

Ebrahim Babaei ve S. Hossein Hosseini, 2009, yaptıkları çalışmada, geliştirdikleri minimum anahtar sayılı kaskat bağlı çok seviyeli inverter topolojisinin çalışması anahtarlanması konuları üzerinde durmuşlardır. Bu topoloji kaskat bağlı H-Köprü modüllü inverterler yerine kaskat bağlı Yarım köprü modüllü inverterleri ve bu modüllerin çıkışında bir adet H-Köprü inverteri içermektedir.

Ersoy Beşer, 2009, yaptığı çalışmada kısa bir tarihsel inceleme ile anahtar sayısı azaltılmış çok seviyeli inverter yapılarını araştırarak, kendine özgü tasarladığı anahtar sayısı azaltılmış çok seviyeli inverter üzerinde harmonik optimizasyonu yapmıştır. Tasarlanan çok seviyeli inverter deneysel düzeneği üzerinde farklı seviyeler için giriş akımı, çıkış akımı, çıkış gerilimi gibi değerler omik, endüktif ve kapasitif yükler üzerinde incelenmiştir. Aynı zamanda kaskat bağlı kendine özgü modülleri her biri birbirinin 2 katı DC giriş gerilimi ile besleyerek yüksek gerilim seviyelerini çıkmayı hedefleyen yazar, inverter yapısındaki yarı iletken elemanları için kullanılacak olan tetikleme açılarını elde etmek amaçlı bir formül geliştirmiştir. Bu formül ile hesaplanan tetikleme açıları kullanılarak uygulama yapılmış ve THD değerleri elde edilmiştir. Aynı zamanda çıkış gerilimindeki THD değerini 4 farklı yöntem için inceleyerek, minimum THD değerini veren tetikleme açılarını elde etmiş ve bu THD değerlerini kendi geliştirdiği formül sonucundaki THD değerleri ile karşılaştırmıştır. Bunun sonucunda önerilen inverter yapısı için geliştirilen formülün optimizasyon için kullanabileceği sonucuna varmıştır. Bu doktora tezi, anahtar sayısının azaltılması için öne sürdüğü

Wanmin Fei, Xiaoli Du ve Bin Wu, 2010, 5-seviyeli kaskat bağlı H-Köprü modüllü inverter topolojsi ile harmonik eliminasyonu yapmışlardır. Bu çalışmada yüksek frekanslı SHEDGM metodu kullanılmıştır. Bu metot yarım dalgada 1. modül için 8, 2. modül için 12 adet açı değeri içermektedir. Aynı zamanda oluşturulan denklemleri Genetik Algoritmada başlangıç değer tekniğini kullanarak çözmüşlerdir. Bunun sonucunda da 9 adet harmonik eliminasyonu yapılabildiğini simülasyon sonuçları ile doğrulamışlardır.

Mohamed S.A. Dahidah, Georgios Konstantinou ve Vassilios G. Agelidis, 2010, SHEDGM tekniğini kullanarak 2 adet kaskat bağlı H-Köprü modüllü inverter topolojsinde çıkış gerilim harmoniklerini yok etmişlerdir. Kullandıkları modülasyon tekniği çeyrek dalgada 1.modül için 3, 2. modül için 5 adet açı değeri içermektedir. Bunun sonucunda da 7 adet harmonik eliminasyonu yapılabildiğini simülasyon sonuçları ile doğrulamışlardır. Yüksek frekanslı SHEDGM metodunun kullanıldığı bu çalışma 5-seviyeli inverter için denklemlerin oluşturulması hakkında detaylı bilgiler sunmaktadır.

Mariusz Malinowski, K. Gopakumar, J. Rodrígues ve Marcelo A. Pérez, 2010, kaskat bağlı çok seviyeli inverterler ile ilgili bir tarama makalesi yayınlamışlardır. Bu çalışma H-Köprü inverter modüllü çok seviyeli inverter tipinin kullanım alanları, kullanılan modülasyon teknikleri ile alakalı önemli bilgiler içermektedir.

Filho, 2012, 11-seviyeli, 5 adet kaskat bağlı H-Köprü modüllü inverter topolojsi üzerinde her modül için kısmi kare darbe modülasyonunu kullanarak 4 adet harmonik eliminasyonu uygulaması yapmıştır. Bu çalışmada, modüller farklı DC gerilim üreten güneş enerji panelleri ile beslenmiştir. Elde edilen harmonik denklemlerinin Yapay Sinir Ağları ile gerçek zamanlı çözümü yapılmış ve bu çözümlerden elde edilen açı değerleri ile simülasyon ve çok seviyeli inverter devresinin uygulaması yapılarak, istenilen harmoniklerin elimine edildiği doğrulanmıştır. Bu doktora tezi, çok seviyeli inverterler hakkında en geniş bilgi içeren çalışma olması bakımından dikkat çekmektedir.

Suman Debnanth ve R. Narayan Ray, 2012, yaptıkları çalışmada, kaskat bağlı H-Köprü modüllü inverter topolojisinin harmonik denklemlerinin PSO ve Genetik

Algoritma ile çözümü yapılmış ve bu çözümlerden elde edilen açı değerleri ile simülasyon yapılarak, istenilen harmoniklerin eleminize edildiği doğrulanmıştır. Bu çalışmada PSO ve Genetik Algoritma'nın denklem çözümündeki uygulanabilirliği karşılaştırılmış ve Genetik Algoritmanın daha iyi THD sonuçları verdiği görülmüştür.

J. Baskaran, S. Thamizharasan ve R. Rajtilak, 2012, SHEDGM metodunu kullanarak 3-seviyeli inverterde harmonik eliminasyonu çalışması yapmışlardır. Kullandıkları modülasyon tekniği çeyrek dalgada 3 adet açı değeri içermektedir. Bunun sonucunda da 2 adet harmonik (3. ve 5.harmonikler) eliminasyonu uygulaması yapmışlardır. Elde edilen harmonik denklemlerinin MATLAB GATOOL'da çözümünün yapılmasının mümkün olduğunu göstermişlerdir.

Mohammad Nilkar, Ebrahim Babaei ve Mehran Sabahi, 2012, 4 farklı gerilim seviyesine sahip yeni bir modül yapısı geliştirerek çok seviyeli inverter uygulaması yapmışlardır. Geliştirdikleri modüllerin kaskat bağlanması ile seviye sayısının arttırılabilmesi, önerilen devre yapısının modüler olduğunu göstermektedir. Simülasyon sonuçları ile klasik kaskat bağlı H-köprü modüllü çok seviyeli invertere göre aynı anahtar sayısı ile daha fazla gerilim seviyesi üretildiğini doğrulamışlardır. Her modülü besleyen DC gerilim değerlerini birbiriden faklı seçerek asimetrik çıkış gerilimi elde eden yazarlar çıkışta daha yüksek gerilim elde edilebileceğini simülasyon sonuçları ile doğrulamışlardır.

M. Farhadi Kangarlu ve Ebrahim Babaei, 2013, kaskat bağlı H-Köprü modüllü inverter topolojsinde simetrik ve asimetrik inverterleri konu alan bir çalışma yapmışlardır. Çok seviyeli inverterlerde seviye sayısı arttıkça harmonik bozulmanın azaldığını simülasyon sonuçları ve deneysel sonuçlar ile desteklemişlerdir. Ayrıca literatürde daha önce kullanılmamış, yeni bir devre tasarlayarak, bu devre yapısında anahtar kayıplarının az olmasından dolayı harmonik bozulmanın daha az olacağı fikrini öne sürüp, bu fikri simülasyon sonuçları ile doğrulamışlardır.

O. Bouhali, F. Bouaziz, N. Rizoug ve A. Talha, 2013, 4 adet kaskat bağlı H-Köprü modüllü inverter topolojsi üzerinde her modül için kısmi kare darbe modülasyonunu kullanarak 3 adet harmonik (5. 7. ve 11.harmonikler) eliminasyonu uygulaması yapmışlardır. Elde edilen harmonik denklemlerinin Yapay Sinir Ağları ile

çözümü yapılmış ve bu çözümlerden elde edilen açı değerleri ile simülasyon yapılarak, istenilen harmoniklerin eleminize edildiği doğrulanmıştır. Aynı zamanda bu çalışma elde edilen harmonik denklemlerinin Yapay Sinir Ağları ile çözdürülebilinmesi için ağın eğitimi hakkında önemli noktalara değinmesi bakımından önemlidir.

Ebrahim Babaei, Sara Laali ve Zahra Bayat, 2015, literatürde yer alan çok seviyeli inverter topolojileri için seviye sayısına göre kullanılan yarı iletken eleman sayısı, DC gerilim kaynağı sayısı, yarı iletken eleman üzerine kesim durumunda iken düşen gerilim değerlerini 4 farklı grafik üzerinde göstererek karşılaştırmalar yapmışlardır. Aynı zamanda önerdikleri çok seviyeli inverter topolojisi için kullandıkları modül sayılarına göre seviye sayısını, yarı iletken eleman sayısını ve anahtarların bloklayacakları gerilimleri matematiksel olarak ifade eden 4 farklı algoritma geliştirmişlerdir. Bu algoritmaların ve literatürdeki inverter topolojilerin karşılaştırmasını yapmışlardır. Geliştirdikleri 4 farklı algoritmadan anahtar sayısını daha fazla optimize eden algoritmanın, literatürde anahtar sayısını optimize eden çok seviyeli inverterler ile karşılaştırmasını yaparak, büyük çapta anahtar sayısı kullanımın azaltıldığını ortaya çıkarmışlardır. Bu çalışma çok seviyeli inverter çalışmaları içerisinde minimum anahtar sayısı kullanan çalışma olarak öne çıkmaktadır.

3. ÇOK SEVİYELİ İNVERTERLER

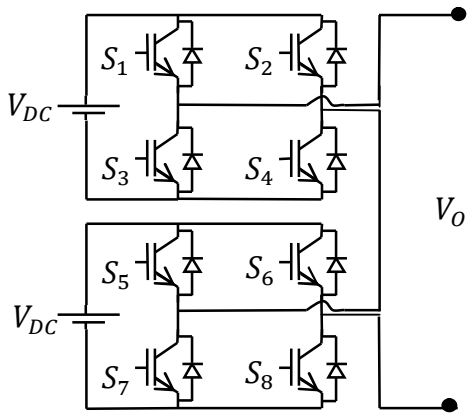
Bu bölümde, bir fazlı çok seviyeli inverterlerin tarihçesi, çok seviyeli inverter çeşitleri ve yapıları, çok seviyeli inverter yapılarının çalışması konularına yer verilmiştir. Ayrıca çok seviyeli inverter çeşitleri, kullanılan yarı iletken eleman sayıları bakımından karşılaştırılmıştır. Tezde kullanılacak olan ve aynı zamanda sistem maliyetini düşüren anahtar sayısı azaltılmış çok seviyeli inverter devre yapısı üzerinde durulmuştur.

3.1. Temel Çok Seviyeli İnverterler

Çok seviyeli inverter topolojisi ilk olarak 1975 yılında R. H. Baker tarafından kullanılmış ve patenti alınmıştır. Kullanılan ilk çeşit, izole DC kaynaklar ile beslenen ve tam köprü inverterlerin birbirine seri bağlanması ile oluşan inverter yapısıdır. Daha sonra diyot kenetlemeli çok seviyeli inverter yapısı, 1980 yılında yine R.H.Baker tarafından ortaya çıkarılmıştır. Fakat gerilim seviyesi arttıkça kontrolünün oldukça zorlaştığı görülür. Son olarak kapasite kenetlemeli yapı 1990 yılında J.P. Lavieville tarafından geliştirilmiştir.

3.1.1. Kaskat bağlı h-köprü modüllü çok seviyeli inverterler

Bu inverter çeşidi tam köprü inverter modüllerinin birbirine seri bağlanması ile meydana gelir. $2k+1$ seviyeli topoloji için k adet H-köprü modülün birbirine bağlı olması gerekmektedir. Her modül Şekil 3.1'den de görüldüğü üzere izole DC gerilim kaynağı ile beslenmektedir ve 4 adet yarı iletken elemandan oluşmaktadır.



Şekil 3.1. Kaskat bağlı 5-seviyeli inverter

Çizelge 3.1'de 5-seviyeli çıkış gerilimi elde etmek için anahtarlama konumları verilmiştir.

Çizelge 3.1. Kaskat bağlı H-köprü modüllü 5-seviyeli inverter anahtarlama durumlarına göre çıkış geriliminin değişimi

Çıkış Gerilimi	**Anahtarlama durumları**							
	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8
V_{DC}	1	0	0	1	0	0	1	1
$2V_{DC}$	1	0	0	1	1	0	0	1
0	0	1	1	0	1	0	0	1
$-V_{DC}$	0	0	1	1	0	1	1	0
$-2V_{DC}$	0	1	1	0	0	1	1	0

Bu inverter tipinin en önemli avantajı modüler olmasıdır. Devre yapısı olarak bir birinin aynısı olan modüller, anahtar kombinasyonları ile seri bağlanabilir. Bu sayede inverter devre prototipinin tasarlanması ve pratik olarak uygulanabilirliği diğer topolojilere göre daha kolaydır. Aynı zamanda diyot kenetlemeli ve kapasitör kenetlemeli inverter tipine göre anahtarlanması daha basittir.

En önemli dezavantaj ise her modülün birbirinden izole DC kaynaklar ile beslenmesi gerekliliği ve dolayısı ile DC kaynak sayısının artmasıdır. Ancak bu dezavantaj, çıkış dalga şeklinin oluşturulmasında diyot kenetlemeli ve kondansatör kenetlemeli çok seviyeli inverterlere göre farklı kombinasyonlar oluşturmasına olanak sağlar. Birbirinden izole farklı gerilim seviyesine sahip DC kaynaklar kullanılarak asimetrik yapılı daha çok gerilim seviyeli çıkış gerilimi dalga şekli oluşturulabilir.

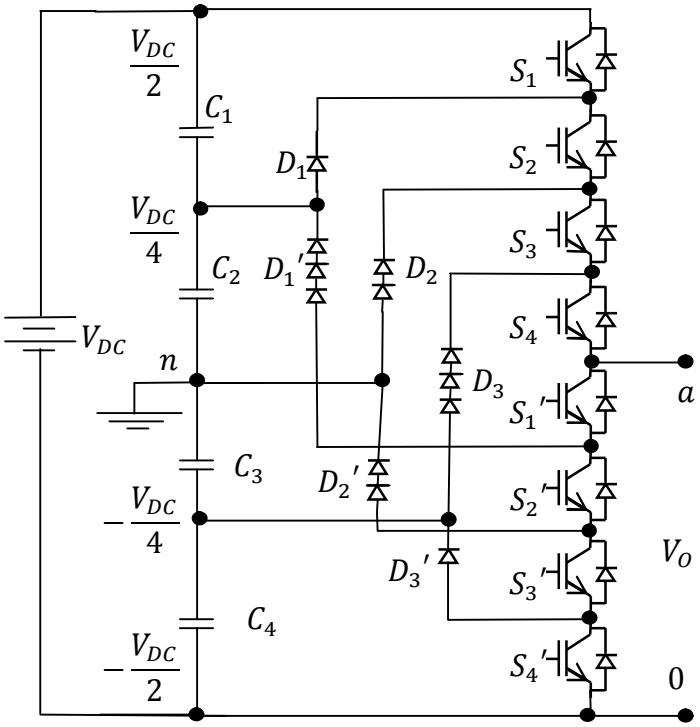
3.1.2. Diyot kenetlemeli çok seviyeli inverterler

Şekil 3.2'de 5-seviyeli diyot kenetlemeli inverter devre yapısı görülmektedir. Beş adet gerilim seviyesi DC baraya bağlı, DC barayı 4 eş DC gerilim seviyesine bölen eş kapasiteli kondansatörler ile sağlanır. DC gerilime bağlanan 4 adet kondansatörlerin orta noktası nötr'e bağlanır ve böylece negatif gerilim tarafı elde edilmiş olunur.

Diyot kenetlemeli inverter devresinde en önemli nokta çıkış geriliminin a ile n noktaları arasından alınmasıdır. V_{an} AC gerilim iken, a ile 0 noktaları arasındaki gerilimin (V_{a0}) DC gerilim olmasıdır. Eğer çıkış gerilimi a-n arasından değil de a-0 arasından alınırsa inverter, DC-DC konvertere dönüşür.

Diyot kenetlemeli beş seviyeli inverter devresinin merdiven şeklindeki seviyeli gerilimi oluşturma biçimini açıklayabilmek için Çizelge 3.2'den de görüleceği üzere diyot kenetlemeli 5-seviyeli inverter devresi $\frac{V_{DC}}{2}$, $\frac{V_{DC}}{4}$, 0, $-\frac{V_{DC}}{4}$ ve $-\frac{V_{DC}}{2}$ olmak üzere 5

adet farklı gerilim seviyesi üretirler. Aynı zamanda anahtarların üzerine düşen gerilim $\frac{V_{DC}}{4}$ tür (Rodrígues ve ark., 2002).



Şekil 3.2. Diyot kenetlemeli 5-seviyeli inverter

Bu inverter çeşidinde farklı ters dayanma gerilimlerine sahip kenetleme diyotlarına ihtiyaç duyulur. D_1' diyotu $\frac{3V_{DC}}{4}$ gerilimini, D_2 ve D_2' diyotları $\frac{2V_{DC}}{4}$ gerilimini, D_3 diyotu ise $\frac{3V_{DC}}{4}$ gerilimini keserek , V_{DC}'den sırası ile arta kalan $\frac{V_{DC}}{4}$, $\frac{2V_{DC}}{4}$, $\frac{V_{DC}}{4}$ gerilimlerini çıkışa kenetler. Ters dayanma gerilimleri farklı olan diyotlar ise çoğu devre topolojisinde aynı ters dayanma gerilimi ve akım değerine sahip diyotların seri bağlanması ile oluşturulur ve uygulamada yer bulur (Tuncer, 2004).

Çizelge 3.2. Diyot kenetlemeli 5-seviyeli inverterin anahtarlama durumlarına göre çıkış geriliminin değişimi

Çıkış Gerilimi	**Anahtarlama durumları**							
	S_1	S_2	S_3	S_4	S_1'	S_2'	S_3'	S_4'
$V_{DC}/2$	1	1	1	1	0	0	0	0
$V_{DC}/4$	0	1	1	1	1	0	0	0
0	0	0	1	1	1	1	0	0
$-V_{DC}/4$	0	0	0	1	1	1	1	0
$-V_{DC}/2$	0	0	0	0	1	1	1	1

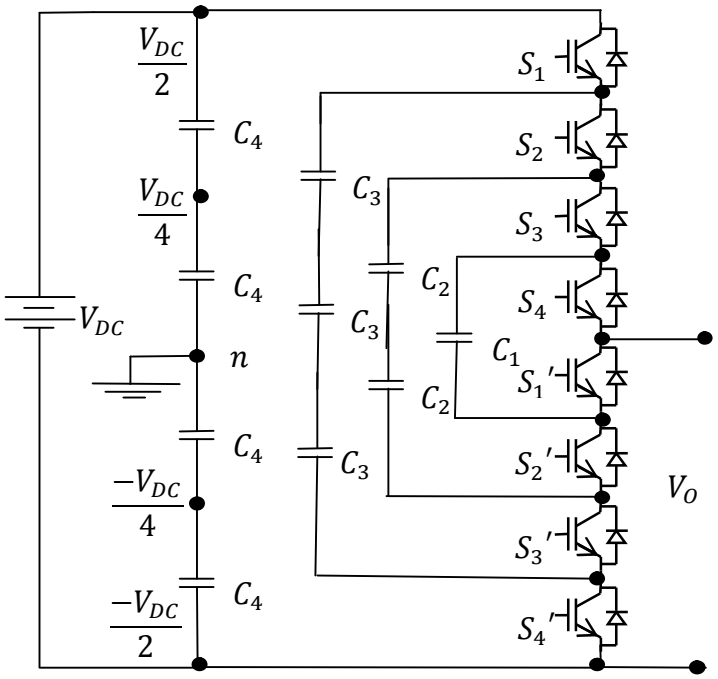
Bu devre yapısının en önemli dezavantajı gerilim seviyelerini oluşturan ve DC hattı bölen kondansatörlerdir. Bu kondansatörler inverter çalışma pozisyonunda iken şarj-deşarj olurlar ve besleme geriliminde dengesizliklere yol açarlar. Seviye sayısı

arttıkça her gerilim seviyesi için kullanılması gereken kenetleme diyotlarının sayısının artması ve DC hattaki kondansatörlerden meydana gelen gerilim dalgalanmalarının artması uygulamalarda büyük problem teşkil eder (Koçalmış, 2005).

3.1.3. Kondansatör kenetlemeli çok seviyeli inverterler

Şekil 3.3'te 5-seviyeli kondansatör kenetlemeli inverter devre yapısı görülmektedir. Beş adet gerilim seviyesi DC baraya bağlı, DC barayı 4 eş DC gerilim seviyesine bölen eş kapasiteli kondansatörler ile sağlanır. DC gerilime bağlanan 4 adet kondansatörlerin orta noktası nötr'e bağlanır ve böylece negatif gerilim tarafı elde edilmiş olunur.

Kondansatör kenetlemeli beş seviyeli inverter devresinin merdiven şeklindeki seviyeli gerilimi oluşturma biçimini açıklayabilmek için Çizelge 3.3'ten de görüleceği üzere diyot kenetlemeli 5-seviyeli inverter devresi $\frac{V_{DC}}{2}$, $\frac{V_{DC}}{4}$, 0, $-\frac{V_{DC}}{4}$ ve $-\frac{V_{DC}}{2}$ olmak üzere 5 adet farklı gerilim seviyesi üretirler. Aynı zamanda anahtarların üzerine düşen gerilim $\frac{V_{DC}}{4}$ tür (Rodrígues ve ark., 2002).



Şekil 3.3. Kondansatör kenetlemeli 5-seviyeli inverter

Kondansatör kenetlemeli çok seviyeli inverter anahtarlama durumları Çizelge 3.3'te görülmektedir. Devre çalışmasındaki en önemli nokta kenetleme kondansatörlerinin şarj ve deşarj olmasıdır. Uygun şarj akımının yakalanması ve

kondansatör gerilimlerinin birbirine yakın olması için kondansatör değerleri uygulamalarda eşit seçilmelidir. S_1, S_2, S_3 ve S_1' anahtarlarının iletimde olduğu durumda V_{an}=$V_{DC}/2$ ye eşit gibi görülse de C_1 kondansatörünün gerilim değeri $-V_{DC/4}$ olacak ve çıkışta $V_{DC}/4$ lük bir gerilim oluşacaktır. Bu durumda C_1 kondansatörü şarj olur. Ancak diğer bir anahtarlama kombinasyonu olan S_4, S_2', S_3' ve S_4' iletimde olma durumunda çıkışta $-V_{DC}/4$ lük bir gerilim oluşur ve C_1 kondansatörü deşarj olur. Anahtarlama durumlarına göre bu örnekler çoğaltılabilir.

Kondansatör kenetlemeli inverter yapısı, diyot kenetlemeli inverterin gerilim dengesizliği problemini kenetleme kondansatörleri sayesinde ortadan kaldırmaktadır ve daha düzgün seviye gerilimleri üretmektedir.

Çizelge 3.3. Kondansatör kenetlemeli 5-seviyeli inverterin anahtarlama durumlarına göre çıkış geriliminin değişimi

Çıkış Gerilimi	**Anahtarlama durumları**							
	S_1	S_2	S_3	S_4	S_1'	S_2'	S_3'	S_4'
$V_{DC}/2$	1	1	1	1	0	0	0	0
$V_{DC}/4$	1	1	1	0	1	0	0	0
	0	1	1	1	0	0	0	1
	1	0	1	1	0	0	1	0
0	1	1	0	0	1	1	0	0
	0	0	1	1	0	0	1	1
	1	0	1	0	1	0	1	0
	1	0	0	1	0	1	1	0
	0	1	0	1	0	1	0	1
	0	1	1	0	1	0	0	1
$-V_{DC}/4$	1	0	0	0	1	1	1	0
	0	0	0	1	0	1	1	1
	0	0	1	0	1	0	1	1
$-V_{DC}/2$	0	0	0	0	1	1	1	1

Bu inverter tipinde daha çok anahtarlama kombinasyonu olması dezavantaj olarak görülse de anahtarlama kombinasyonlarının artması gerilim dengesinin sağlanması yönünden oldukça önem arz etmektedir. Gerilim dengesizliği problemini gidermesi dışında seviye sayısı arttıkça çıkıştaki harmoniklerin azalması, elemanlar üzerinde $\frac{dv}{dt}$ gerilim stresinin düşük olması ve güç akışının kontrol edilebilmesi gibi avantajlara sahiptirler. Bu inverter tipinin en çok göze çarpan dezavantajı, kondansatör kullanımı gerektirmesi ve bunun sonucu olarak inverter maliyetinin artmasıdır. Bunların yanında kenetleme kondansatörlerinin şarj-deşarj sürelerinin çok iyi ayarlanması ge-

rektiğinden karmaşık bir kontrol algoritması tasarlamak gerekmektedir (Koçalmış, 2005).

3.2. Geleneksel Çok Seviyeli İnverter Topolojilerinin Karşılaştırılması

Çok seviyeli inverterlerde gerilim seviyesi arttıkça çıkış gerilim harmonikleri azalır ve çıkış gerilimi saf sinüs sinyaline daha çok yaklaşır. Çok seviyeli inverter bu özelliği ile diğer inverterlerden bir adım öne çıkmaktadır. Ancak ÇSİ'lerde seviye sayısının artmasının bahsedilen avantajlarının yanında, daha fazla yarı iletkene ihtiyaç duyması inverter maliyetini arttırmaktadır. Bu sebeple maliyeti düşürmek adına çok seviyeli inverter topolojileri karşılaştırılmalı ve çok iyi yorumlanmalıdır.

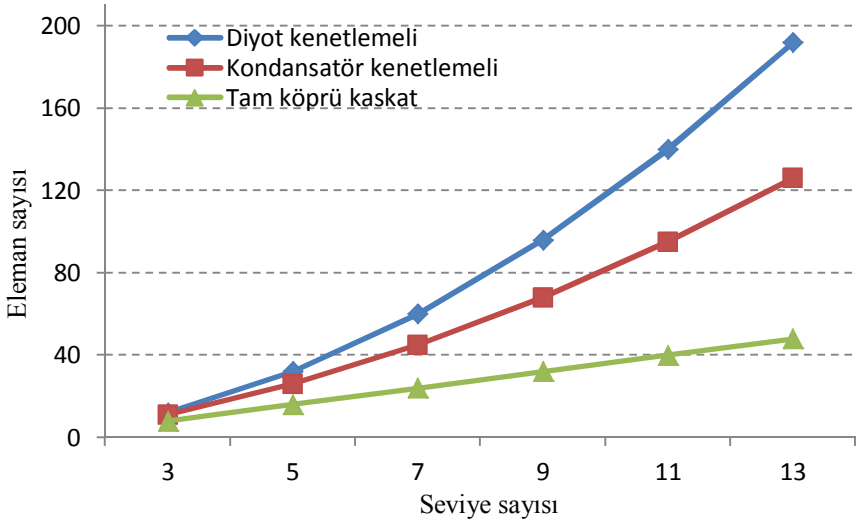
N-seviyeli inverter için Çizelge 3.4'te kullanılan eleman sayıları formülize edilmiştir. Çizelge 3.4'ten ve devre topolojilerinden de görüleceği üzere diyot kenetlemeli ve kondansatör kenetlemeli çok seviyeli inverter çeşitleri bünyesinde bulundurduğu kenetleme diyotları ve kenetleme kondansatörlerinden dolayı sistem maliyetini arttırmakta ve aynı zamanda devre boyutlarının da büyümesine neden olmaktadır (Bektaş ve Karaca, 2015).

Çizelge 3.4. *N* seviyeli inverter çeşitlerinde kullanılan eleman sayıları

	Çok seviyeli inverter çeşidi		
Eleman çeşidi	Tam köprü kaskat	Diyot kenetlemeli	Kapasite kenetlemeli
Yarı iletken anahtar	$2(N-1)$	$2(N-1)$	$2(N-1)$
Ters akım diyodu	$2(N-1)$	$2(N-1)$	$2(N-1)$
Kenetleme diyodu	0	$(N-1)(N-2)$	0
Kenetleme kondansatörü	0	0	$(N-1)(N-2)/2$
DC hattaki kondansatör	0	$N-1$	$N-1$

Şekil 3.4'ten de görüleceği üzere 3–13 arası seviyeye göre inverterler için gerekli olan eleman sayıları karşılaştırılırsa daha önce bahsedilen çok seviyeli inverter topolojileri arasında Tam köprü kaskat topolojisi bünyesinde daha az eleman barındırdığı için avantajlı olan inverter çeşidi olarak karşımıza çıkmaktadır.

Aynı zamanda yarı iletken yapılarının gelişmesi ile anahtarlama elemanları bünyesinde ters akım diyotları olacak şekilde üretilmeye başlandığı için ters akım diyotları ekstra devre elemanı olarak alınmamaktadır.



Şekil 3.4. Çok seviyeli inverter topolojilerinde seviye sayısına göre toplam eleman sayısı

Çok seviyeli inverter devre yapısını oluşturan en önemli eleman MOSFET, IGBT benzeri yarı iletken elemanlardır. Bu elemanların istenilen çıkış gerilimine göre değişen ve elemanlara uygulanması gereken sürme sinyallerinin sayısının azalması da inverterin kontrolünün basite indirgenmesi açısından oldukça büyük önem arz etmektedir.

Geleneksel çok seviyeli inverter yapıları arasında, topolojilerin kullandığı devre elemanları açısından H-köprü modüllü kaskat bağlı ÇSİ, Şekil 3.4'ten de görüldüğü üzere daha avantajlıdır. Bu yapının, devrenin pratik olarak uygulanabilirliği açısından diğer yapılara göre daha basit olması, güç akışının daha kolay sağlanması gibi avantajlarından dolayı ayrıca öne çıkması nedeniyle literatürde kullanılan ve yapı olarak benzerlik gösteren diğer anahtar sayısı azaltılmış ÇSİ çeşitleri Bölüm 3.3'te incelenmiştir.

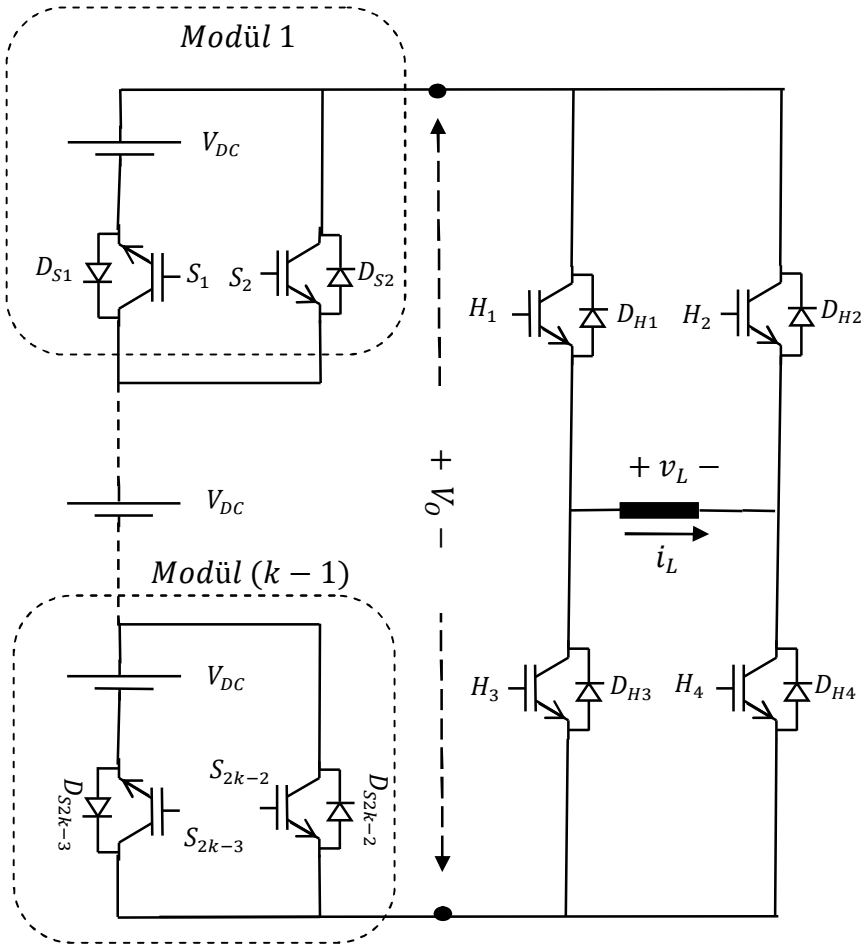
3.3. Anahtar Sayısı Azaltılmış Çok Seviyeli İnverter Çeşitleri

Bu bölümde literatürde yer alan H-köprü modüllü çok seviyeli inverter devre yapılarından türetilen çok seviyeli gerilim üreten yeni nesil çok seviyeli inverterlere değinilmiştir.

3.3.1. I. yapı

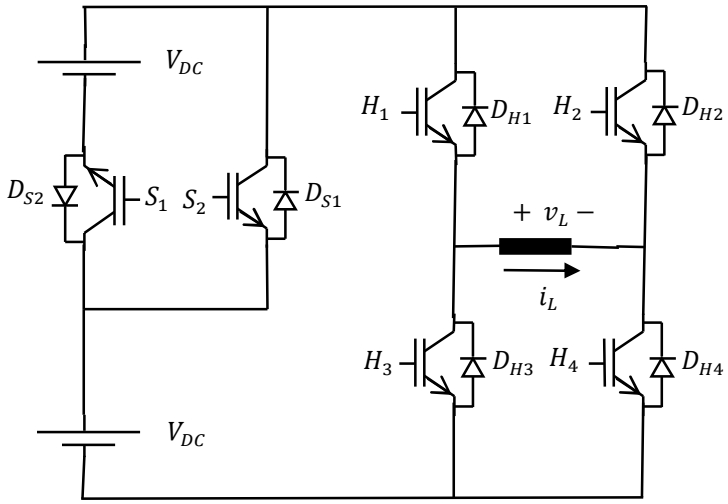
Şekil 3.5'te literatürde yer alan ve tez çalışmasında da kullanılacak olan yarım köprü modüllü çok seviyeli inverter ile benzerlik gösteren çok seviyeli inverterin $2k+1$-seviyeli çıkış gerilimi üreten genel devre yapısı görülmektedir. Bu yapıda, yarım köprü modüllere ek olarak bir adet DC kaynak yer almaktadır (Çamur ve ark., 2005).

Bu yapıda k, DC kaynak sayısını ifade etmektedir.



Şekil 3.5. $2k+1$ seviyeli çok seviyeli inverter

Şekil 3.5'te genel devre yapısı görülen anahtar sayısı azaltılmış çok seviyeli inverter $k-1$ adet yarım köprü modül ve k adet DC kaynaktan oluşmaktadır. Bu devre yapısı 5-seviyeli inverter için Şekil 3.6'daki gibi olacaktır.



Şekil 3.6. I. yapı için 5-seviyeli inverter devresi

Çizelge 3.5'te I. yapının 5-seviyeli çıkış gerilimi için anahtarlama elemanları konumları görülmektedir (Çamur ve ark., 2005).

Çizelge 3.5. I. yapı 5-seviyeli çıkış gerilimi için anahtarlama konumları

	Çıkış Gerilimi	**Anahtarlama durumları**						
		S_1	S_2	H_1	H_2	H_3	H_4	i_L
1	0	0	0	1	0	0	0	+
2	0	0	0	0	0	1	0	-
3	V_{DC}	0	0	1	0	0	1	+
4	V_{DC}	0	1	0	0	0	0	-
5	$-V_{DC}$	0	1	0	0	0	0	+
6	$-V_{DC}$	0	0	0	1	1	0	-
7	$2V_{DC}$	1	0	1	0	0	1	+
8	$2V_{DC}$	0	0	0	0	0	0	-
9	$-2V_{DC}$	0	0	0	0	0	0	+
10	$-2V_{DC}$	1	0	0	1	1	0	-

Bu devre yapısında akımın her iki yönde kontrol edilmesi, güç akışının da kontrol edilmesine olanak sağlar. Gücün negatif çıktığı çalışma durumlarında, akım ters akım diyotları üzerinden akmaktadır. Akımın bu durumlarda izlediği yol şu şekilde özetlenebilir:

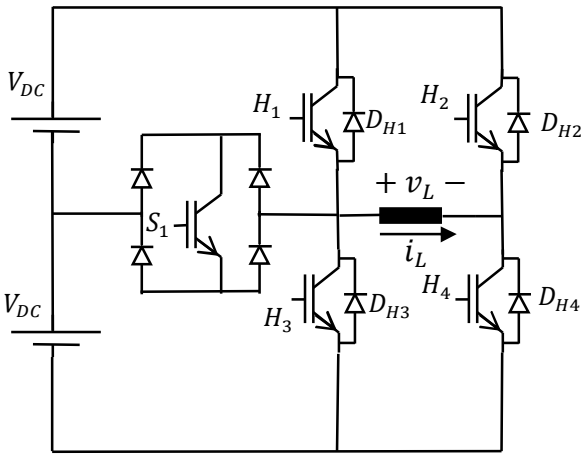
- 2. durumda H_3 üzerinden geçen akım yolunu D_{H4} ters akım diyodu üzerinden,
- 4. durumda S_2 üzerinden geçen akım yolunu, D_{H1} ve D_{H4} ters akım diyotları üzerinden,
- 5. durumda S_2 üzerinden geçen akım yolunu, D_{H3} ve D_{H2} ters akım diyotları üzerinden,
- 8. durumda D_{H1}, D_{H4} ve D_{S2} ters akım diyotları üzerinden,
- 9. durumda D_{H3}, D_{H2} ve D_{S1} ters akım diyotları üzerinden, tamamlamaktadır.

I. yapı olarak adlandırılan çok seviyeli inverter yapısı 5-seviyeli çıkış gerilimini üretebilmesi için bünyesinde 2 adet eşit DC kaynak ve toplamda 6 adet anahtarlama elemanı kullanmaktadır.

Bu çok seviyeli inverter yapısı $2k+1$ seviyeli gerilimini üretebilmesi için bünyesinde k adet eşit DC kaynak ve toplamda $2k$+2 adet anahtarlama elemanı kullanmaktadır. Bir başka deyişle $N_{seviye} = 2k+1$ için, bu inverter yapısında, $N_{anahtar} = N_{seviye} + 1$ tane güç anahtarı kullanılmaktadır.

3.3.2. II. yapı

Şekil 3.7'de 4 adet diyot (köprü diyot) ve 5 adet anahtarlama elemanından oluşan çok seviyeli inverter yapısı görülmektedir (Park ve ark., 2003).



Şekil 3.7. II. yapı çok seviyeli inverter devresi

Çizelge 3.6'da II. devre yapısının 5-seviyeli çıkış gerilimi için anahtarlama elemanları konumları görülmektedir (Park ve ark., 2003).

Çizelge 3.6. II. yapı 5-seviyeli çıkış gerilimi için anahtarlama konumları

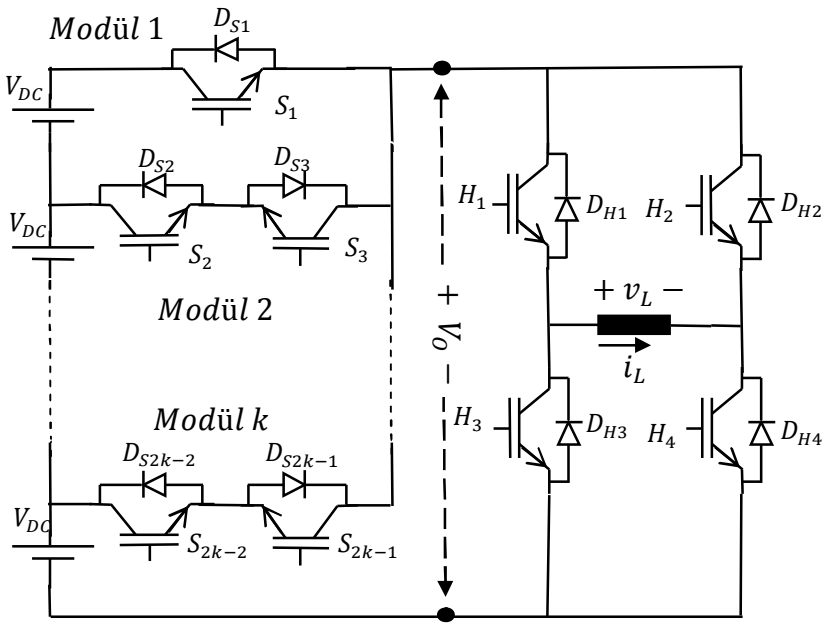
	Çıkış Gerilimi	**Anahtarlama durumları**					
		S_1	H_1	H_2	H_3	H_4	i_L
1	**0**	**0**	**0**	**0**	**0**	**1**	+
2	0	0	0	0	1	0	-
3	$\boldsymbol{V_{DC}}$	**1**	**0**	**0**	**0**	**1**	+
4	V_{DC}	1	0	0	0	0	-
5	$-V_{DC}$	1	0	0	0	0	+
6	$\boldsymbol{-V_{DC}}$	**1**	**0**	**1**	**0**	**0**	**-**
7	$\boldsymbol{2V_{DC}}$	**0**	**1**	**0**	**0**	**1**	+
8	$2V_{DC}$	0	0	0	0	0	-
9	$-2V_{DC}$	0	0	0	0	0	+
10	$\boldsymbol{-2V_{DC}}$	**0**	**0**	**1**	**1**	**0**	**-**

5-seviyeli gerilimin H-köprü inverter dışında 1 adet anahtarlama elemanı ile kontrol ediliyor olması, bu inverter yapısını diğer yapılardan ayıran en önemli özelliğidir. Bu yapının karmaşık bir anahtarlama döngüsüne sahip olması ve sadece 5-seviyeli çıkış gerilimi sağlayabiliyor olması göze çarpan en önemli dezavantajlarıdır.

Bu yapıda, 5-seviyeli çıkış geriliminin üretilebilmesi için 2 adet eşit DC kaynak ve toplamda 5 adet anahtarlama elemanı kullanılmaktadır.

3.3.3. III. yapı

Şekil 3.8'de yarım köprü modüllerden oluşan çok seviyeli inverter yapısı görülmektedir. Tez çalışmasında kullanılacak olan anahtarlama sinyalleri bu devre yapısına da her gerilim seviyesinde uygulanabilinir. Sadece 1. modül diğer modüllerden farklılık göstermektedir. Akım her iki yönde de bu devre yapısı ile kontrol edilebilir. Bu devre yapısının avantajı uygulamada sürücü devre için 1 adet izoleli gerilim ile iki anahtarında anahtarlanabilmesidir (Karaca, 2013).



Şekil 3.8. III. yapı çok seviyeli inverter devresi

III. yapı olarak adlandırılan çok seviyeli inverter yapısı $2k+1$ seviyeli gerilimini üretebilmesi için k adet eşit DC kaynak ve toplamda $2k$+3 adet anahtarlama elemanı kullanmaktadır. Bir başka deyişle, $N_{seviye} = 2k+1$ için bu inverter yapısının eleman sayısı, $N_{anahtar} = N_{seviye} + 2$'dir.

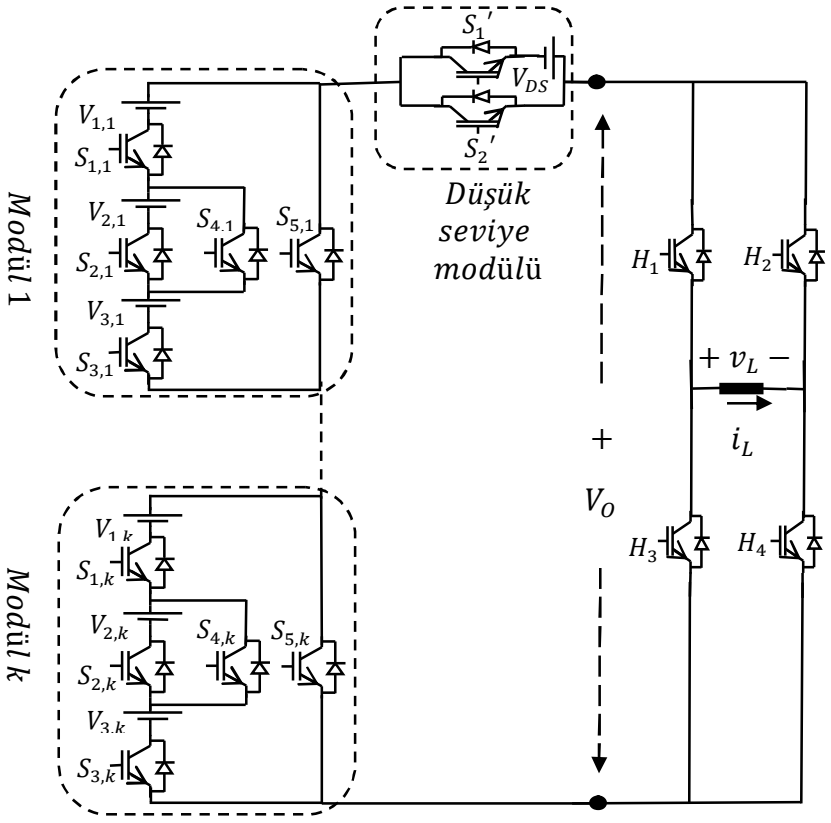
Çizelge 3.7'de III. devre yapısının 5-seviyeli çıkış gerilimi için anahtarlama elemanları konumları görülmektedir.

Çizelge 3.7. III. yapı 5-seviyeli çıkış gerilimi için anahtarlama konumları

		Anahtarlama durumları							
	Çıkış Gerilimi	S_1	S_2	S_3	H_1	H_2	H_3	H_4	i_L
1	0	0	0	0	1	0	0	0	+
2	0	0	0	0	0	0	1	0	-
3	V_{DC}	0	1	0	1	0	0	1	+
4	V_{DC}	0	0	1	0	0	0	0	-
5	$-V_{DC}$	0	0	1	0	0	0	0	+
6	$-V_{DC}$	0	1	0	0	1	1	0	-
7	$2V_{DC}$	1	0	0	1	0	0	1	+
8	$2V_{DC}$	0	0	0	0	0	0	0	-
9	$-2V_{DC}$	0	0	0	0	0	0	0	+
10	$-2V_{DC}$	1	0	0	0	1	1	0	-

3.3.4. IV. yapı

Şekil 3.9'da 7-seviyeli çıkış gerilimi veren seri bağlı seviye modülleri, düşük seviye modülü ve H-köprü inverterden oluşan çok seviyeli inverter yapısı görülmektedir (Babaei ve ark., 2015).



Şekil 3.9. IV. yapı çok seviyeli inverter devresi

IV. yapı olarak adlandırılan bu inverter devresi modüler olarak tasarlanmıştır. Yüksek gerilim seviyesi üreten inverter devresi için aynı gerilim seviyesi, farklı modüllerdeki anahtarlar aracılığıyla sağlanabilmektedir. Bu durum anahtarlama açısından yüksek sayıda kombinasyon oluşturmaktadır. Aynı zamanda anahtarlamayı karmaşık hale getirmektedir. O yüzden bu inverter yapısının asimetrik çıkış elde edilmesi amacıyla kullanılması daha uygundur.

7-seviyeli gerilim oluşturmak için, 1 adet 7 seviye modülü gereklidir. Çizelge 3.8'de IV. devre yapısının 7-seviyeli çıkış gerilimi için anahtarlama elemanları konumları görülmektedir (Babaei ve ark., 2015).

Çizelge 3.8. IV. yapı 7-seviyeli gerilim için seviye modülü anahtarlama konumları

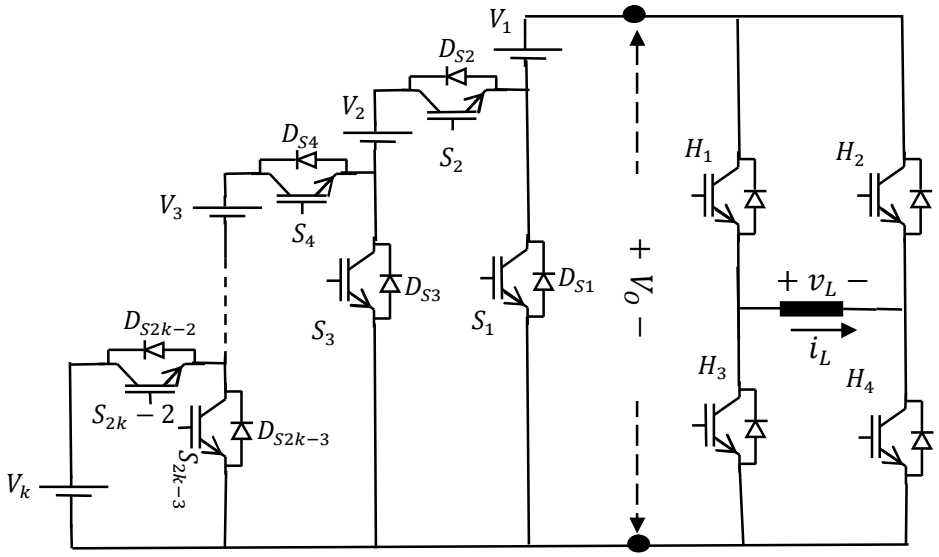
	V_O	**Anahtarlama durumları**						
		$S_1{}'$	$S_2{}'$	$S_{1,1}$	$S_{2,1}$	$S_{3,1}$	$S_{4,1}$	$S_{5,1}$
1	0	0	1	0	0	0	0	1
2	V_{DS}	1	0	0	0	0	0	1
3	$V_{1,1}+V_{3,1}$	0	1	1	0	1	1	0
4	$V_{1,1}+V_{3,1}+V_{DS}$	1	0	1	0	1	1	0
5	$V_{1,1}+V_{2,1}+V_{3,1}$	0	1	1	1	1	0	0
6	$V_{1,1}+V_{2,1}+V_{3,1}+V_{DS}$	1	0	1	1	1	0	0

IV. yapı çok seviyeli inverter devresinin çalışma mantığı I. II. III. yapılara oranla daha karmaşıktır. Bu inverter yapısında V_O gerilimi direkt olarak H-köprü inverterden geçirilerek AC gerilim elde edilmektedir.

IV. yapı da olarak adlandırılan çok seviyeli inverter yapısı $6k+3$-seviyeli gerilim üretebilmek için $3k+1$ adet eşit DC kaynak ve toplamda $5k$+6 adet anahtarlama elemanı kullanılmaktadır. Bir başka deyişle $N_{seviye}=6k+3$ için $N_{anahtar}=N_{seviye}+3+k$ kadar anahtar gereklidir.

3.3.5. V. yapı

Şekil 3.10'da bir adet DC kaynak ve anahtarlama elemanı içeren seri bağlı seviye modülleri ve H-köprü inverterden oluşan çok seviyeli inverter yapısı görülmektedir (Choi ve Kang, 2009).



Şekil 3.10. V. yapı çok seviyeli inverter devresi

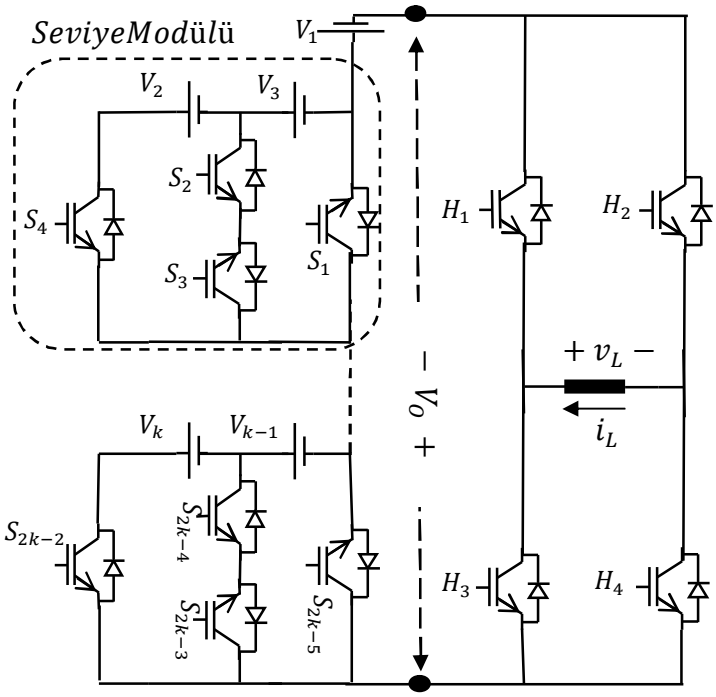
Çizelge 3.9'da V. devre yapısının 5-seviyeli çıkış gerilimi için anahtarlama elemanları konumları görülmektedir (Choi ve Kang, 2009).

Çizelge 3.9. V. yapı 5-seviyeli çıkış gerilimi için anahtarlama konumları

	Çıkış Gerilimi	**Anahtarlama durumları**							
		S_1	S_2	S_3	H_1	H_2	H_3	H_4	i_L
1	0	0	0	0	1	0	0	1	+
2	0	0	0	0	0	1	1	0	-
3	V_{DC}	1	0	0	1	0	0	1	+
4	V_{DC}	1	0	0	0	0	0	0	-
5	$-V_{DC}$	1	0	0	0	0	0	0	+
6	$-V_{DC}$	1	0	0	0	1	1	0	-
7	$2V_{DC}$	0	1	1	1	0	0	1	+
8	$2V_{DC}$	0	0	0	0	0	0	0	-
9	$-2V_{DC}$	0	0	1	0	0	0	0	+
10	$-2V_{DC}$	0	1	1	0	1	1	0	-

3.3.6. VI. yapı

Şekil 3.11'de 4 adet anahtarlama elemanı içeren seri bağlı seviye modülleri ve H-köprü inverterden hariç ilave bir adet DC kaynaktan oluşan çok seviyeli inverter yapısı görülmektedir (Banaei ve Salary, 2010).



Şekil 3.11. VI. yapı çok seviyeli inverter devresi

Bu inverter yapısı ile 7-seviyeli gerilim oluşturmak için, 1 adet 5 seviye modülü ve Şekil 3.11'de V_1 ile gösterilen gerilim kaynağı bağlantısı gereklidir. Çizelge 3.10'da VI. devre yapısının 7-seviyeli çıkış gerilimi için anahtarlama elemanları konumları görülmektedir (Banaei ve Salary, 2010).

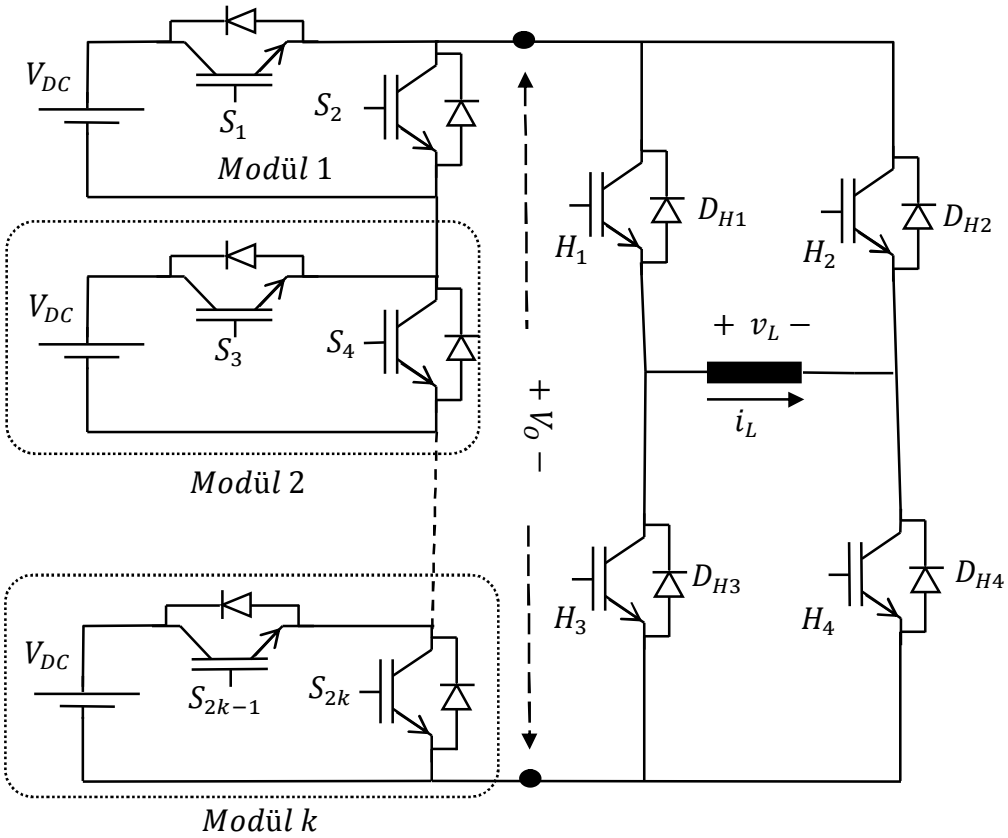
Çizelge 3.10. VI. yapı 7-seviyeli gerilim için anahtarlama konumları

		Anahtarlama durumları								
	Çıkış Gerilimi	S_1	S_2	S_3	S_4	H_1	H_2	H_3	H_4	i_L
1	0	0	0	0	0	0	1	0	0	+
2	0	0	0	0	0	0	0	1	0	-
3	V_{DC}	1	0	0	0	0	1	1	0	+
4	V_{DC}	0	0	0	0	0	0	0	0	-
5	$-V_{DC}$	0	0	0	0	0	0	0	0	+
6	$-V_{DC}$	1	0	0	0	1	0	0	1	-
7	$2V_{DC}$	0	0	1	0	0	1	1	0	+
8	$2V_{DC}$	0	1	0	0	0	0	0	0	-
9	$-2V_{DC}$	0	1	0	0	0	0	0	0	+
10	$-2V_{DC}$	0	0	1	0	1	0	0	1	-
11	$3V_{DC}$	0	0	0	0	0	1	1	0	+
12	$3V_{DC}$	0	0	0	1	0	0	0	0	-
13	$-3V_{DC}$	0	0	0	1	0	0	0	0	+
14	$-3V_{DC}$	0	0	0	0	1	0	0	1	-

3.3.7. VII. yapı

Bu yapı Şekil 3.12'de görüldüğü gibi yarım köprü modüllü çok seviyeli inverter yapısıdır. Aynı zamanda tez çalışmasında pratik olarak uygulanması amaçlanmaktadır ve Bölüm 3.4'te detaylı olarak anlatılacaktır.

- Bu yapının en büyük avantajı modüler olmasıdır. Her yarım köprü modül devre yapısı olarak birbirinin aynısı olduğundan seviye sayısının arttırılması diğer yapılara göre daha kolaydır.
- Seri bağlı yarım köprü modülleri kullanan bu yapının diğer bir avantajı ise sürme devrelerinin kolay bir şekilde oluşturulabilmesidir. ÇSİ'lerde en büyük dezavantaj, sürme devreleri için izole kaynaklar gerektirmesidir. Bu yapı, bu dezavantajın önüne geçerek sürme devrelerinin basitleştirilmesine olanak sağlar.
- En düşük anahtar kullanan yapılar I. ve VI. yapılardır. Bu yapıların anahtar sayısının seviyeye göre değişimi $N_{seviye}+1$ iken bu tezde kullanılan yapı $N_{seviye}+3$ anahtara ihtiyaç duymaktadır. Aradaki 2 adet anahtar farkı, tez çalışmasında kullanılan yapının modüler olması ve pratik olarak uygulanabilme kolaylığı göze alındığında göz ardı edilebilir.



Şekil 3.12. *N* seviyeli anahtar sayısı azaltılmış çok seviyeli inverter

3.4. Anahtar Sayısı Azaltılmış Kaskat Bağlı Yarım Köprü Modüllü Çok Seviyeli İnverter

Anahtar sayısı azaltılmış çok seviyeli inverter topolojisi, kaskat bağlı H-köprü modüllü çok seviyeli invertere diğer inverterlere benzemektedir.Tez çalışmasında kullanılacak olan inverter, birbirine seri bağlı gerilim seviye modülleri ve H-köprü inverter olmak üzere 2 ana kısımdan meydana gelmektedir. Şekil 3.12'de N-seviyeli inverter genel devre yapısı görülmektedir.

Her gerilim seviye modülünde bulunan birbirinden izole DC gerilim kaynağı sayısının k olduğunu kabul edersek, inverter seviye sayısı;

$$N_{seviye} = 2k + 1 \tag{3.1}$$

olarak karşımıza çıkmaktadır. Şekil 3.13'te H-köprü girişine uygulanan modül çıkış gerilimi dalga şekli ve N-seviyeli yük dalga şekli görülmektedir. H-köprü inverter girişlerine uygulanan basamaklı modül çıkış gerilimi frekansı, yük çıkış gerilim frekansının 2 katıdır.

H-köprü inverter girişlerine uygulanan kaskat bağlı modüllerin çıkış geriliminin minimum ve maksimum değerleri sırasıyla (3.2) ve (3.3) denklemlerinde görüldüğü gibidir.

$$V_{o_min} = 0 \tag{3.2}$$

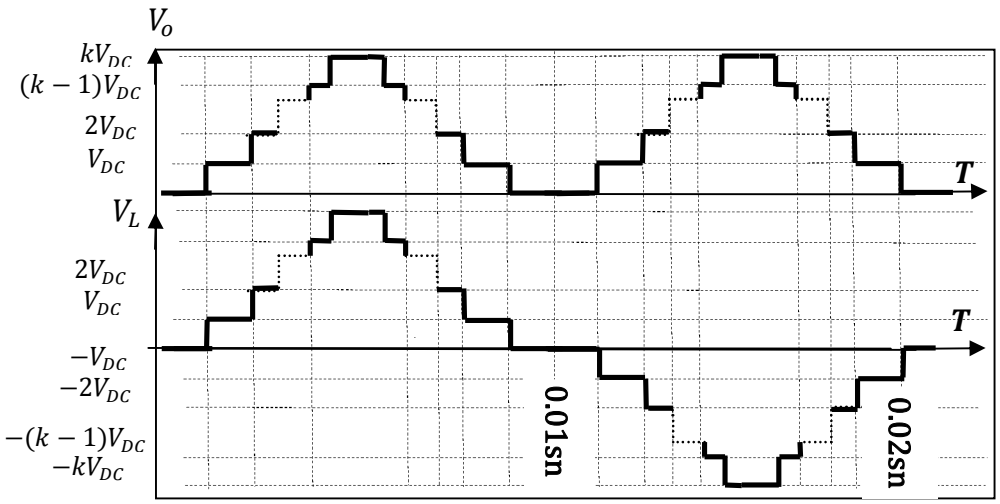
$$V_{o_max} = kV_{DC} \tag{3.3}$$

Şekil 3.13'te kaskat bağlı seviye modüllerinin çıkış geriliminin genel dalga şeklidir. Basit anlamda tüm modüllerin DC kaynaklarının birbirine seri bağlanması ile maksimum modül çıkış gerilimi elde edilir.

V_0 gerilimi, AC gerilimin negatif alternansını sağlayan H-köprü inverter aracılığı ile V_L gerilimine dönüştürülür. Burada önemli olan nokta seri bağlı modüllerin çıkışındaki gerilimin frekansı ile H-köprü inverter çıkış geriliminin frekansı arasındaki ilişkiyi görebilmektir. Şekil 3.13'ten görüldüğü üzere çok seviyeli inverter çıkış geriliminin minimum ve maksimum değerleri sırasıyla (3.4) ve (3.5) denklemlerinde görüldüğü gibidir.

$$V_{L_min} = -kV_{DC} \tag{3.4}$$

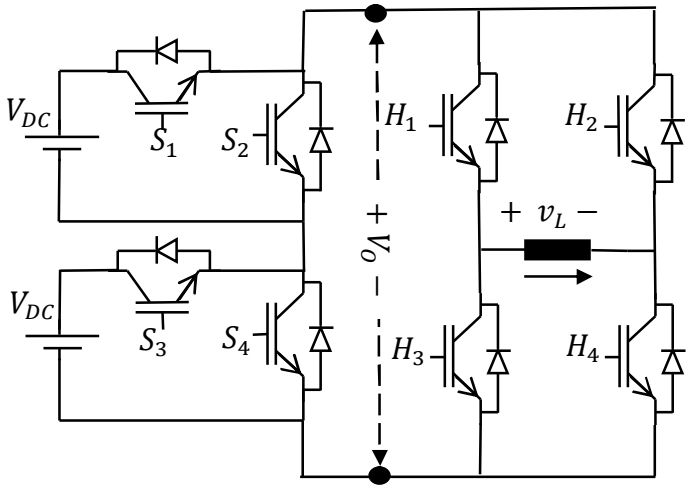
$$V_{L_max} = +kV_{DC} \tag{3.5}$$



Şekil 3.13. *N* seviyeli anahtar sayısı azaltılmış çok seviyeli inverter çıkış ve yük gerilimi

3.4.1. Anahtar sayısı azaltılmış kaskat bağlı yarım köprü modüllü çok seviyeli inverter çalışma prensibi

Bu bölümde 5-seviyeli inverterin çalışma şekli ve yarı iletken elemanlara uygulanan sürme sinyali açılarının elde edilmesi üzerinde durulacaktır.

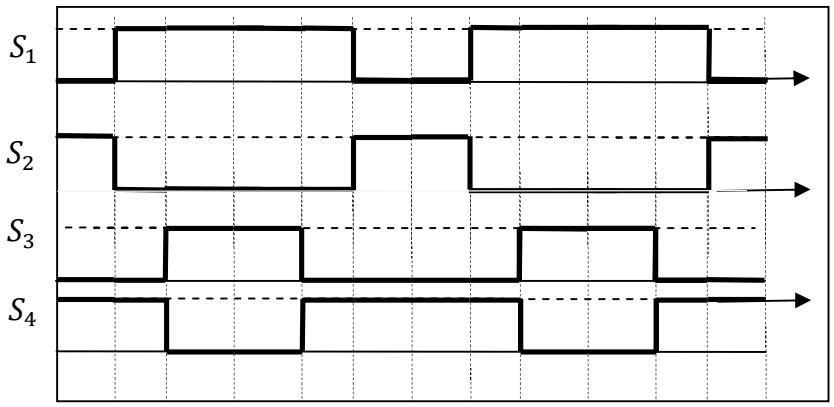


Şekil 3.14. 5-seviyeli anahtar sayısı azaltılmış çok seviyeli inverter

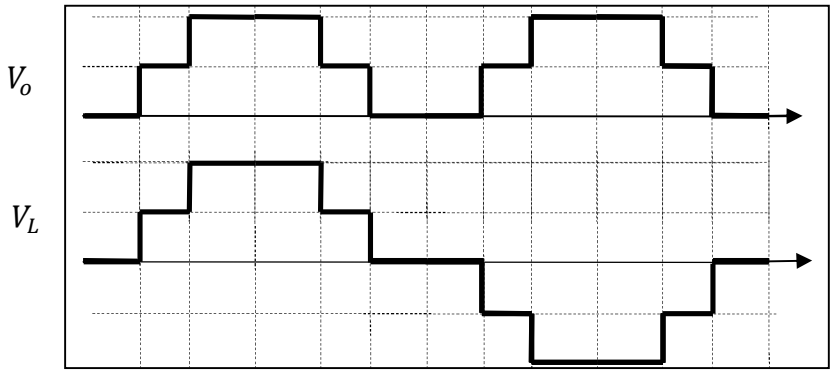
Denklem (3.1)'den de çıkarılacağı üzere 5-seviyeli inverter, 2 adet seviye modülü ve çıkışlarına bağlı 1 adet H-köprü inverterden oluşmaktadır. Şekil 3.14'te 5-seviyeli inverter devre yapısı görülmektedir.

Çizelge 3.11'de 5-seviyeli gerilim elde etmek için H-köprü ve kaskat bağlı modül anahtarlarının konumları belirtilmektedir. Gerilim basamağının ilk değeri olan 0 değerinin elde edilmesi için H_1 ve H_4 anahtarları iletimde olmalıdır. Bu durumda H-

köprü inverter girişine uygulanan gerilim değeri 0 olacağından yük üzerinde 0 V gerilim oluşacaktır. Benzer şekilde V_{DC} gerilim basamağı için S_1 anahtarı iletimde iken H-köprü inverter girişine uygulanan gerilim değeri V_{DC} olup, gerilim pozitif alternansında yük üzerinde V_{DC} değerindeki ve negatif alternansta ise $-V_{DC}$ değerindeki gerilim yük üzerinde oluşacaktır. Çizelge 3.11'den diğer gerilim basamakları için inverter çalışma durumları elde edilebilir.

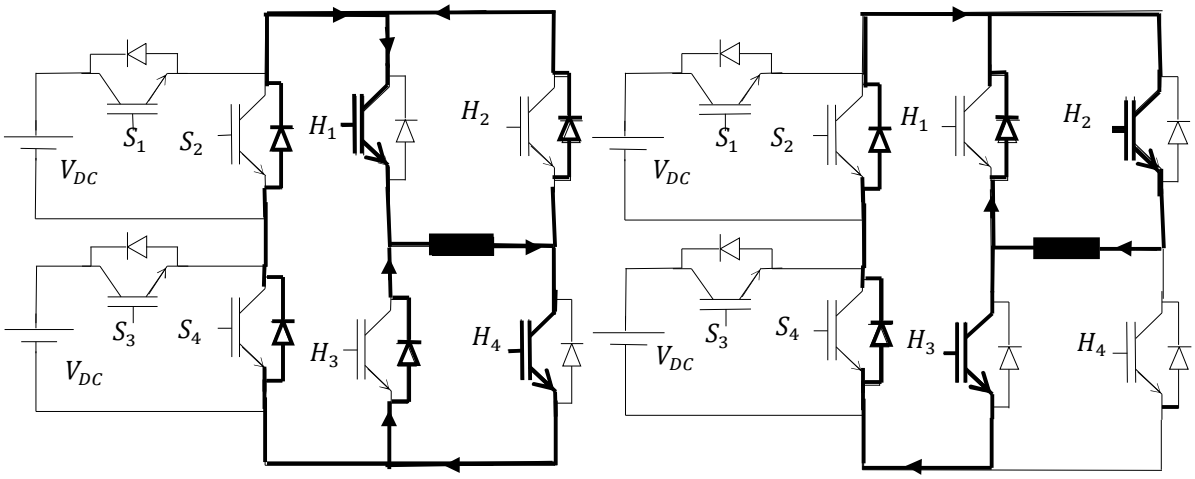


Şekil 3.15. 5 – seviyeli anahtar sayısı azaltılmış çok seviyeli inverter anahtar sürme sinyalleri

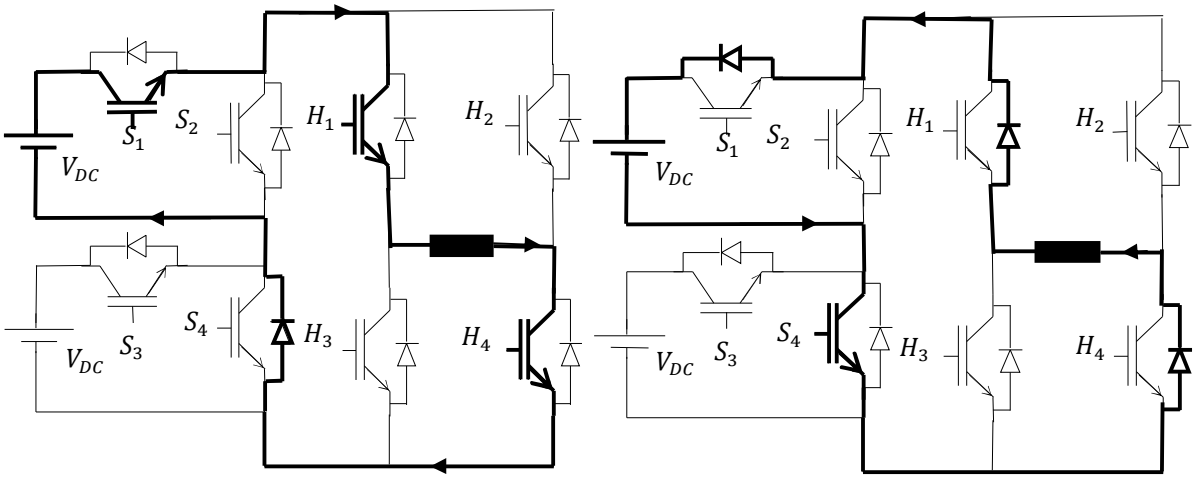


Şekil 3.16. 5 – seviyeli anahtar sayısı azaltılmış çok seviyeli inverter modül çıkış ve yük gerilimi

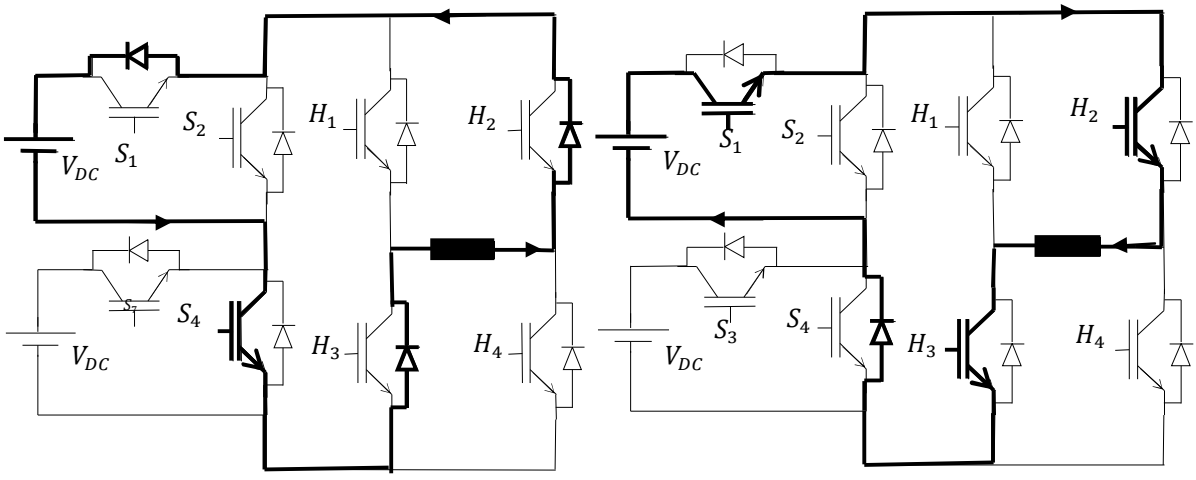
Akımın DC kaynaklardan yüke doğru akıtıldığı mod, inverter çalışma modu olarak literatürde yer alırken, yükten DC kaynaklara doğru akmasına rejeneratif mod denir. Şekil 3.17'de, d, e, h ve i rejeneratif mod olarak olarak karşımıza çıkmaktadır. Diğer modlar ise inverter çalışma modu olup temel anahtarlama durumlarını içermektedir.



(a) $v_L = 0,\ i_L = +$ (b) $v_L = 0,\ i_L = -$

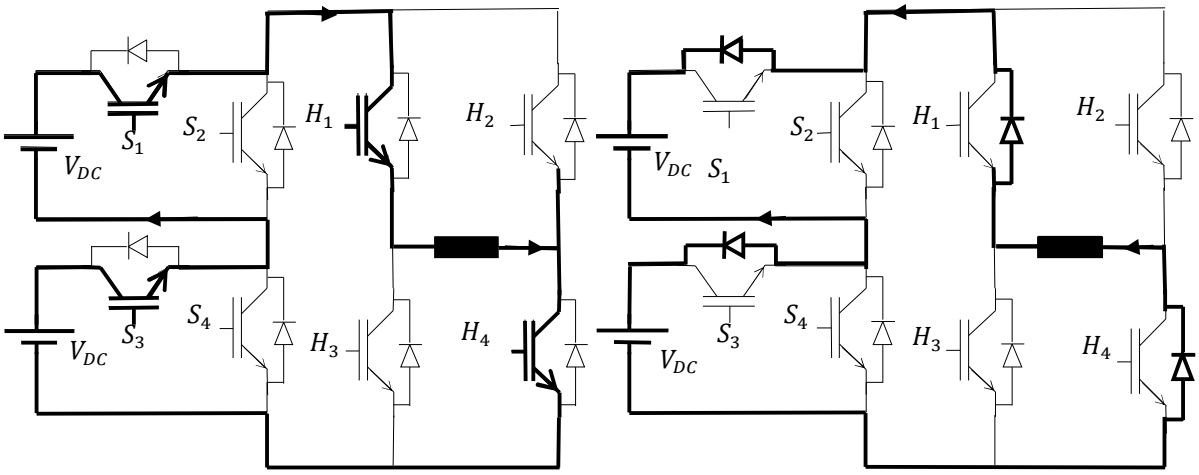


(c) $\boldsymbol{v_L = V_{DC}, i_L = +}$ (d) $\boldsymbol{v_L = V_{DC}, i_L = -}$

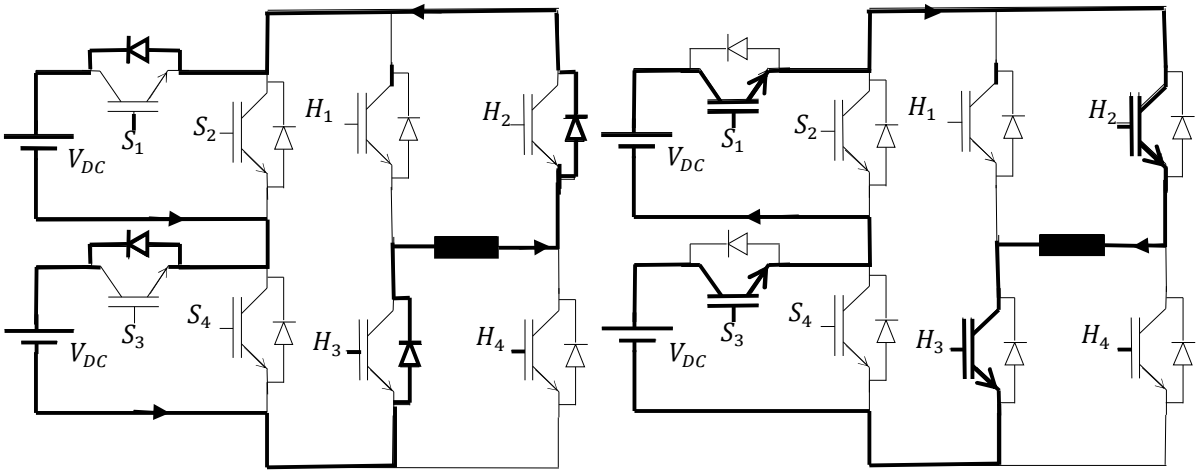


(e) $v_L = -V_{DC}, i_L = +$ (f) $v_L = -V_{DC}, i_L = -$

Şekil 3.17. Olası anahtarlama durumlarına göre çalışma topolojileri



(g) $v_L = 2V_{\mathrm{DC}}, i_L = +$ (h) $v_L = 2V_{\mathrm{DC}}, i_L = -$



(i) $v_L = -2V_{DC},\ i_L = +$ (j) $v_L = -2V_{DC}, i_L = -$

Şekil 3.17. Olası anahtarlama durumlarına göre çalışma topolojileri (devamı)

Bu inverter yapısı ile 5-seviyeli gerilim oluşturmak için, 2 adet seviye modülü gereklidir. Çizelge 3.11'de anahtar sayısı azaltılmış yarım köprü modüllü ÇSİ yapısının 5-seviyeli çıkış gerilimi için olası anahtarlama elemanları konumları görülmektedir (Babaei ve Hosseini, 2009).

Tez çalışması için önerilen devre yapısında akımın her iki yönde kontrol edilmesi, güç akışının da kontrol edilmesine olanak sağlamaktadır. Gücün negatif çıktığı anahtarlama çalışma durumlarında ve bazı çalışma durumlarında akım, ters akım diyotları üzerinden akmaktadır. Akımın bu durumlarda izlediği yol şu şekilde özetlenebilir.

- 3. durumda S_1 üzerinden geçen akım yolunu H_1, H_4 ve D_{S4} ters akım diyodu üzerinden,

- 4. durumda S_4 üzerinden geçen akım yolunu D_{H1}, D_{H4} ve D_{S1} ters akım diyotları üzerinden,
- 5. durumda S_4 üzerinden geçen akım yolunu D_{H3}, D_{H2} ve D_{S1} ters akım diyotları üzerinden,
- 8. durumda akım yolunu D_{H1}, D_{H4} , D_{S1} ve D_{S3} ters akım diyotları üzerinden,
- 9. durumda akım yolunu D_{H3}, D_{H2}, D_{S1} ve D_{S3} ters akım diyotları üzerinden, tamamlamaktadır.

Çizelge 3.11. 5-seviyeli gerilim için olası anahtarlama konumları

		Anahtarlama durumları								
	Çıkış Gerilimi	S_1	S_2	S_3	S_4	H_1	H_2	H_3	H_4	i_L
1	0	0	1	0	1	1	0	0	1	+
2	0	0	1	0	1	0	1	1	0	-
3	V_{DC}	1	0	0	1	1	0	0	1	+
4	V_{DC}	1	0	0	1	0	0	0	0	-
5	$-V_{DC}$	1	0	0	1	0	0	0	0	+
6	$-V_{DC}$	1	0	0	0	0	1	1	0	-
7	$2V_{DC}$	1	0	1	0	1	0	0	1	+
8	$2V_{DC}$	0	1	0	1	0	0	0	0	-
9	$-2V_{DC}$	0	1	0	1	0	0	0	0	+
10	$-2V_{DC}$	1	0	1	0	0	1	1	0	-

3.5. Çok Seviyeli İnverterlerde Kullanılan Anahtarlama Teknikleri

Tez çalışmasında pratik olarak gerçekleştirilecek olan çok seviyeli inverterin, uygulaması ve simülasyonları yapılmadan önce anahtar iletim süreleri ve bu sürelere denk gelen iletim açılarının elde edilmesi gerekmektedir. İletim süreleri hesaplama tekniği ve kullanılan formüller istenilen çıkış dalga şekline göre değişiklik göstermektedir. Bölüm 3.5.1'de harmonik minimizasyonu basamak şekilli gerilim için anahtarlama açılarının elde edilmesi konusuna yer verilmiştir.

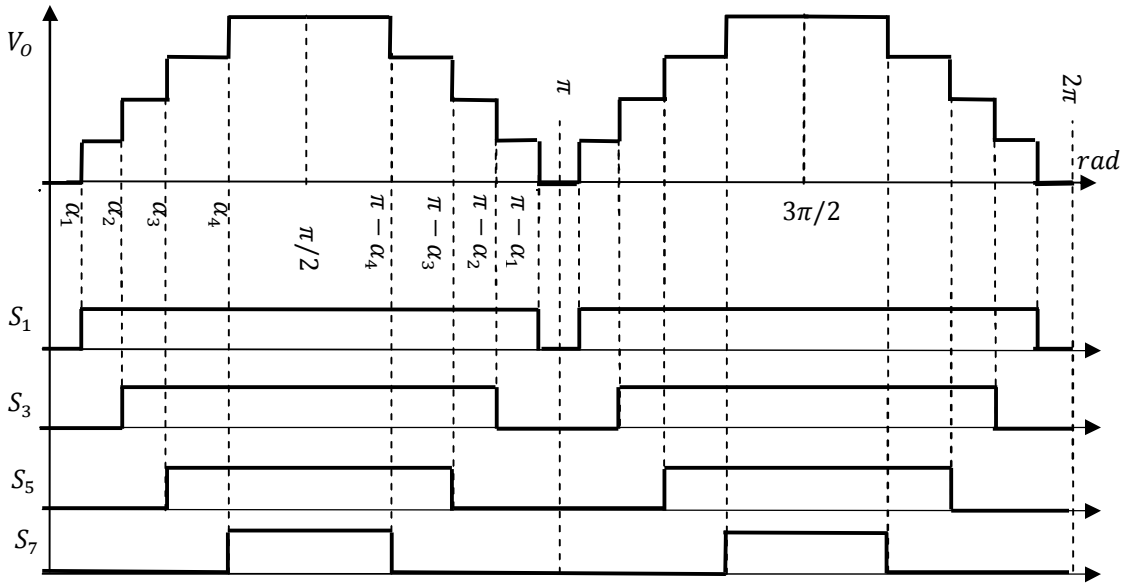
3.5.1. Harmonik minimizasyonlu darbe genişlik modülasyonu (HMDGM)

Çok seviyeli inverterlerde seviye sayısı arttıkça çıkış gerilim harmonik bileşenleri azalmaktadır. Harmonik bileşenleri seviye sayısının artması dışında invertere uygulanan anahtarlama tekniği ile de azaltılmaktadır. Harmoniklerin mimimum olacağı uygulama tekniği HMDGM olarak adlandırılan Harmonik minimizasyonlu darbe

genişlik modülasyonudur (Tuncer, 2004). Bu teknikte N-seviyeli gerilim şekli üzerinde sinüs sinyali dolaştırılarak anahtarlama noktalarının sinüs sinyali üzerinde olması amaçlanır. Şekil 3.18'de 9-seviyeli bir gerilim için HMDGM anahtarlama açıları gösterilmektedir.

9-seviyeli gerilim üretmek için 4 adet yarım köprü modüle ihtiyaç duyulmaktadır. α_1, α_2, α_3 ve α_4 açıları sırasıyla S_1, S_3, S_5 ve S_7 anahtarları için tanımlanır. Şekil 3.12'den de görüleceği üzere S_1 , S_3, S_5 ve S_7 anahtarları yarım köprü modüllerdeki ana anahtarlardır. Bu anahtarlar için anahtarlama sinyalleri üretilir. S_2, S_4, S_6 ve S_8 anahtarlarına ise sırasıyla S_1, S_3, S_5 ve S_7 anahtarlarına uygulanan sinyalin eşlenik sinyali uygulanır.

Şekil 3.18'den de görüleceği üzere S_1 anahtarına sürme sinyali α_1 ile $\pi - \alpha_1$ açıları arasında uygulanır. Benzer şekilde S_3 anahtarına α_2 ile $\pi - \alpha_2$, S_5 anahtarına α_3 ile $\pi - \alpha_3$, S_7 anahtarına α_4 ile $\pi - \alpha_4$ açıları arasında uygulanır. Seri bağlı yarım köprü modüllerin çıkış gerilimi V_O, $0 - \pi$ arasında $\pi/2$ referans olmak üzere simetriktir. Bu alga şekli literatürde çeyrek dalga simetri olarak adlandırılmaktadır. Dalga şeklinden de anlaşılacağı üzere $\pi/2$'ye kadar olan α açılarının hesaplanması ile sürme sinyallerinin 0 veya 1 olduğu bölgeler tespit edilebilir.



Şekil 3.18. Olası anahtarlama durumlarına göre çalışma topolojileri

Anahtarlama sinyallerinin hesaplanması için N-seviyeli gerilim dalga şekli üzerinde inverter çıkış geriliminin ana bileşeni olan ve tez çalışmasında harmonik eliminasyonu yapılarak elde edilmesi hedeflenen 50Hz'lik sinüs sinyali gezdirilir. Sinüs sinyali ile iki gerilim seviyesinin kesiştiği noktalar HMDGM metodu için tetikleme

sinyallerinin başladığı ve bittiği noktalardır. Aynı zamanda (3.6) denklem takımı ile k adet yarım köprü modülden oluşan $2k+1$-seviyeli dalga şekli için anahtarlama açıları hesaplanabilir.

N_{seviye} gerilim seviyeli, çok seviyeli bir invertere uygulana HMDGM tekniği için anahtarlama açılarının genellenmiş hesaplanması denklem takımı (3.6)'daki gibidir (Karaca, 2013).

$$\left.\begin{array}{l} N_\alpha = k = \frac{N_{seviye}-1}{2} \\ 0 < \alpha_1 < \alpha_2 < \alpha_3 < \alpha_4 < \dots\dots < \alpha_n < \frac{\pi}{2} \\ \alpha_i = \sin^{-1}\left(\frac{2n-1}{N_{seviye}-1}\right) \quad n = 1,2,3,\dots.k-1,k \end{array}\right\} \tag{3.6}$$

Anahtarlama açıları, (3.6) denklem takımı ile 9-seviyeli bir inverter için yazılacak olunursa;

- Anahtarlama açı sayısı seri bağlı yarım köprü modül sayısı

$N_\alpha = k = \frac{9-1}{2} = 4$ olmalıdır.

- Anahtarlama açılarının sıralaması

$0 < \alpha_1 < \alpha_2 < \alpha_3 < \alpha_4 < \frac{\pi}{2}$ şeklinde olmalıdır.

-Anahtarlama açıları ise sırasıyla

$$\alpha_1 = \sin^{-1}\left(\frac{2-1}{9-1}\right) = \sin^{-1}\left(\frac{1}{8}\right) = 7{,}18°$$

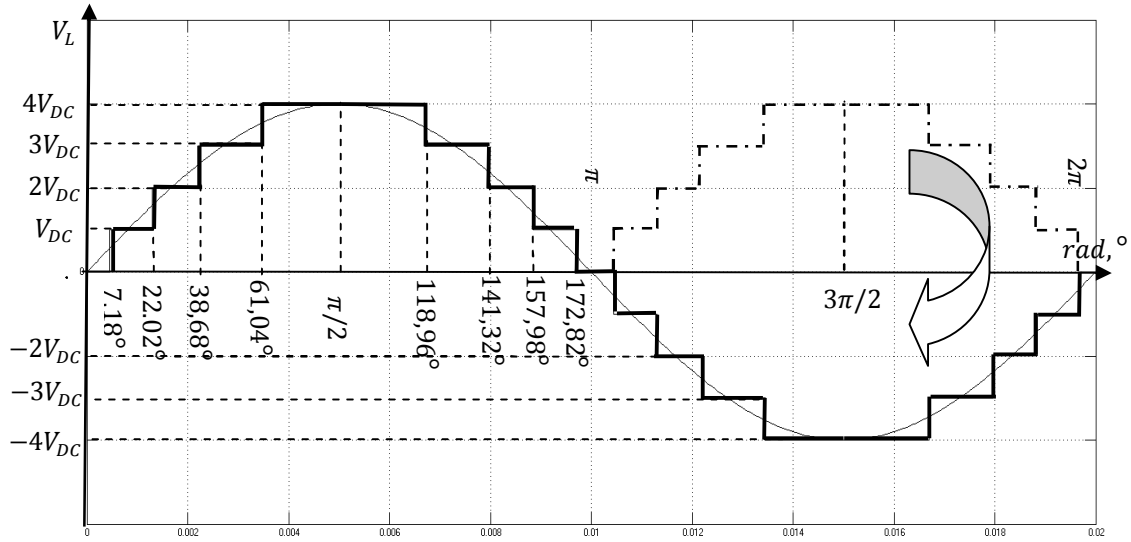
$$\alpha_2 = \sin^{-1}\left(\frac{4-1}{9-1}\right) = \sin^{-1}\left(\frac{3}{8}\right) = 22{,}02°$$

$$\alpha_3 = \sin^{-1}\left(\frac{6-1}{9-1}\right) = \sin^{-1}\left(\frac{5}{8}\right) = 38{,}68°$$

$$\alpha_4 = \sin^{-1}\left(\frac{8-1}{9-1}\right) = \sin^{-1}\left(\frac{7}{8}\right) = 61{,}04°$$

olarak elde edilir. Elde edilen anahtarlama açıları sayesinde sistemin simülasyonu yapıldığında Şekil 3.19'daki gerilim dalga şekli ortaya çıkmaktadır. Ancak Bölüm 3.4'te de anlatıldığı üzere seri bağlı modül çıkış gerilimi 100 Hz'dir. $0-\pi$, $\pi-2\pi$ arasında devam eden bu sinyali H-köprü inverter modül, $\pi-2\pi$ arasındaki dalga şeklini negatif alternansa çevirir ve böylece 50Hz'lik AC seviyeli çıkış gerilimi elde edilir.

Tez çalışmasında HMDGM metodu uygulanan çok seviyeli inverterin 13 seviyeye kadar simülasyonu yapılacaktır. (3.6) denklem takımı yardımıyla hesaplanan anahtarlama açıları ve bu açılara ait anahtarlama süreleri EK-1'de verilmiştir.



Şekil 3.19. 9-seviyeli AC gerilim ve anahtarlama açıları

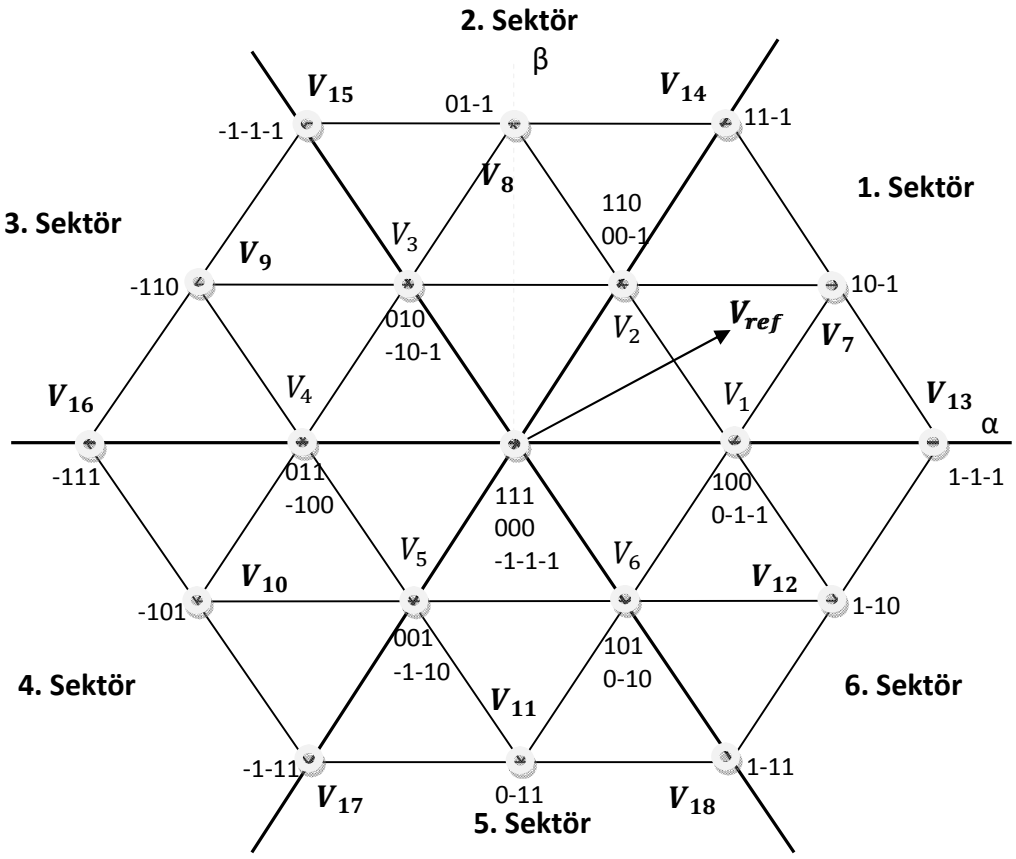
3.5.2. Uzay vektör darbe genişlik modülasyonu (UVDGM)

Uzay vektör metodu matematiksel dönüşümler içerir ve uygulaması karmaşık bir metottur. 3 fazlı sistemler için iki seviyeli ve çok seviyeli inverterlerde frekans ve genlik kontrolüne olanak sağlar. 3 fazlı sistemlerde çıkış geriliminin sinüse yaklaşmasını amaçlayan bu metot aynı zamanda harmoniklerin azalmasına olanak sağlayarak inverter verimini de arttırmaktadır (Canbaz, 2014).

Bu metot, SDGM tekniğine göre daha yüksek gerilim seviyeleri elde edilmesine olanak sağlar. Ancak seviye sayısının artması kontrol sinyallerinin üretilmesini karmaşık hale getirmektedir. En önemli avantajı düşük anahtarlama frekasında çalışabilmesidir.

Uzay vektör metodunun temeli 3 fazlı sisteme ait parametrelerin 90° faz farklı α ve β düzlemlerinde tekrar yazılmasına dayanmaktadır. β giriş ve çıkış hat akımlarına ait parametre iken α ise giriş ve çıkış fazlar arası gerilim parametresi olarak karşımıza çıkmaktadır (Karaca, 2013).

Herhangi bir çok seviyeli inverter tipi için oluşturulan uzay vektör kontrol diyagramı başka bir çok seviyeli invertere uygulanabilir. Bu modülasyon tekniğinde her anahtarlama durumunu temsil eden anahtarlama vektörü tanımlanmalıdır. Anahtarlama vektörünün invertere uygulanması ile oluşan gerilim vektörü, altıgen şekil üzerinde gösterilmektedir. Gerilim vektörü altıgen şekli kendi içerisinde 60° lik açılar ile bölünmüş anahtarlama sektörlerinden oluşmaktadır. Ayrıca her sektör 4 bölümden oluşmaktadır (Koçalmış ve Sünter, 2011)



Şekil 3.20. 3-seviyeli inverter için UVDGM diyagramı

Bu metotta vektör genliği hesaplanması için faz açısı ve üç fazlı gerilim anlık değer fonksiyonu elde edilmesi gerekmektedir. Üç fazlı üç seviyeli H-köprü modüllü inverter için 3^3 adet anahtarlama durumu tanımlanır. Şekil 3.20'den de görüleceği üzere referans vektörü (V_{ref}) ω açısal hızı ile diyagram üzerinde döndürülür. Örnek olarak V_{ref} Şekil 3.20'deki konumunda iken vektöre en yakın gerilim vektörleri V_1, V_2 ve V_7 dir. Anlık gerilim vektörü Denklem (3.7) yardımıyla hesaplanabilir.

$$V_{ref} * T_s = V_1 * T_1 + V_2 * T_2 + V_7 * T_7 \tag{3.7}$$

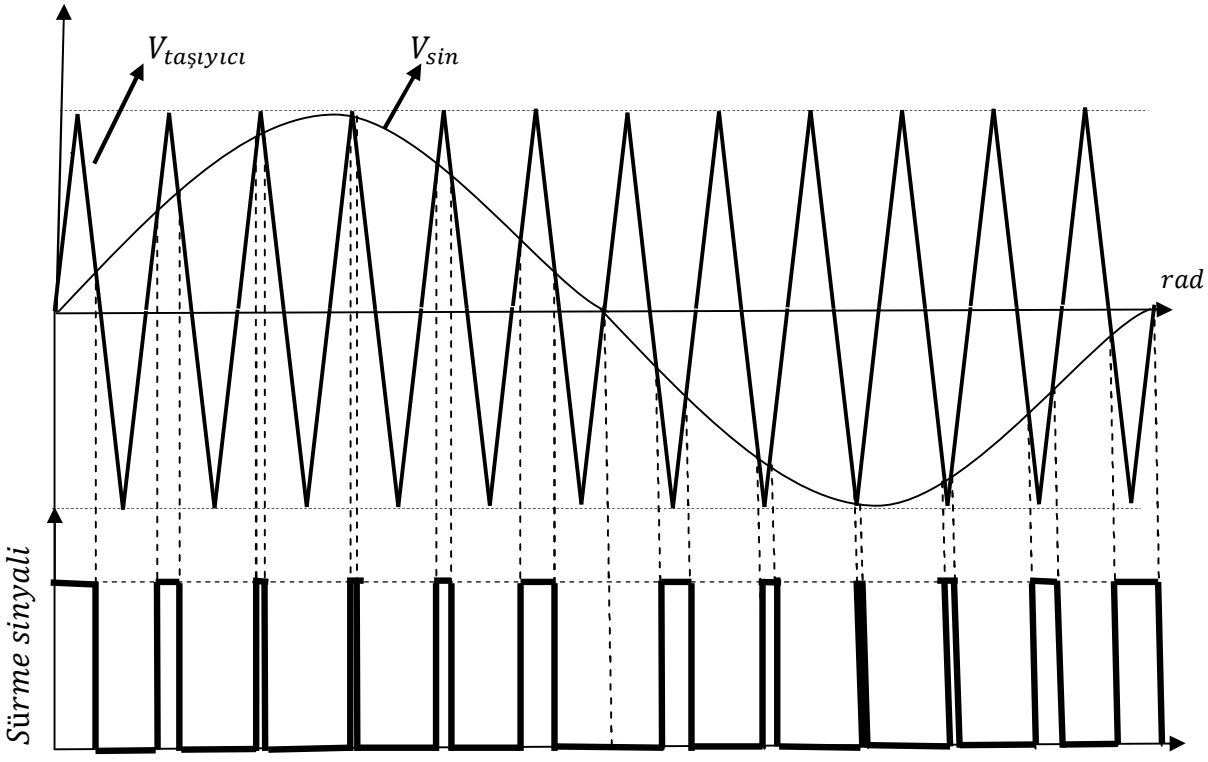
Burada T_s :toplam anahtarlama süreleri , $T_{1,2,7}$: komşu vektörler anahtarlama süreleridir. Anlık gerilim değerlerinde referans vektörüne yakın vektörlerin belirlenmesi için sektör dört parçaya ayrılmaktadır (Deniz ve Aydoğmuş, 2011). Aynı zamanda referans vektörü de V_x, V_y olmak üzere 2 parçaya ayrılmaktadır. Bu iki bileşen arasındaki açı 60° olup Şekil 3.20'deki konum için V_1 bileşeni α düzlemindedir. V_x ve V_y vektörleri (3.8) denklem takımı yardımıyla hesaplanabilir.

$$\begin{aligned} V_x &= V_{ref} * (\cos\theta - \sin\theta/\sqrt{3}) \\ V_y &= V_{ref} * \sin\theta * 2/\sqrt{3} \end{aligned} \tag{3.8}$$

Daha sonra karşımıza V_x ve V_y vektörlerinin genlik değerlerine göre bölüm tayini yapılır . Anahtarlama süreleri sektör numaralarına göre değişen tanımlanan anahtarlama süreleri fonksiyonları yardımı ile hesaplanarak her faz için sürme gerilimleri hesaplanabilir (Koçalmış ve Sünter, 2011). Sürme sinyalleri arasındaki faz açısı 120° olduğu için hat-hat gerilimi 5-seviyeli olacaktır.

3.5.3. Sinüzoidal darbe genişlik modülasyonu (SDGM)

SDGM metodu, darbe genişliklerinin sinüs formunda kontrol edilerek, harmonik içeriği düşük olan sinüzoidal bir AC çıkış gerilimi elde edilmesine olanak sağlar. Güç elektroniği uygulamalarında yaygın olarak kullanılmaktadır.



Şekil 3.21. 3-seviyeli inverter için SDGM üretimi ve sürme sinyali

Bu anahtarlama metodu kontrol gerilimi olarak sinüs dalga şeklini kullanmaktadır. Darbe genişliklerinin sinüs formunda değiştirilmesi ile, çıkış geriliminin değeri ve frekansı kontrol edilebilir. Temeli, üçgen dalga formundaki taşıyıcı bir gerilim ile sinüs dalga formundaki kontrol gerilimlerinin karşılaştırılmasıyla üretilen pozitif ve negatif sinyalleri, ilgili fazın pozitif ve negatif anahtarlama elemanlarına uygulanmasına dayanmaktadır. Taşıyıcı ve sinüs noktalarının kesişim bölgeleri anahtarlama elemanlarının iletime geçme ya da kesime girme bölgeleri olarak

tanımlanabilir. Şekil 3.21'den de görüleceği üzere taşıyıcı dalganın sinüs sinyali genliğinden büyük olduğu noktalarda ana anahtarlama elemanının sürme sinyalleri elde edilmiş olur (Bodur, 2010).

SDGM anahtarlama metodunda, çıkış gerilimi modülasyon indeksi, sinüs sinyali genliğinin taşıyıcı genlik değerine oranı olarak tanımlanmaktadır.

$$m_a = \frac{V_{sin}}{V_{taşıyıcı}} \tag{3.9}$$

SDGM metodunda taşıyıcı dalga frekansının çift katı frekanslarında ana harmonikler oluşmaz ancak taşıyıcı dalga frekansının her katında ise yan bant harmonikleri oluşmaktadır (Çolak ve Kabalcı, 2008). Bununla birlikte frekansın artması anahtarlama kayıplarını arttırmaktadır. Ancak doğru modülasyon aralıkları belirlenmesi ile harmoniklerin elimine edilmesine olanak sağlamaktadır.

SDGM metodu eğer 3 fazlı bir invertere uygulanacak ise Şekil 3.21'deki anahtarlama sinyali şekli 120° kaydırılarak diğer fazlar için gerekli olan sinyaller elde edilmektedir. Bu durumda 3 faz geriliminin yapısından kaynaklanan hat-hat gerilimi 5-seviyeli olacaktır.

3.5.4. Seçici harmonik eliminasyonlu darbe genişlik modülasyonu (SHEDGM)

Bölüm 3.5'te ÇSİ'lerde kullanılan darbe genişlik modülasyonları hakkında bilgi verilmiştir. Bu tekniklerin yanında çıkışta istenmeyen harmoniklerin yok edilmesine olanak sağlayan SHEDGM metodu, daha düşük THD'li çıkış gerilimi elde edilmesini mümkün kılmaktadır.

Tez çalışmasında simülasyonu ve deneysel uygulaması gerçekleştirilecek olan yarım köprü modüllü çok seviyeli inverter yapısına Bölüm 3.5.1'de anlatımına yer verilen HMDGM metodu ve SHEDGM metodu uygulanacaktır. SHEDGM metodu için gerekli olan anahtarlama açılarının, Bölüm 5'te anlatılan Genetik Algoritma programı kullanılarak elde edilmesi amaçlanmaktır. Bölüm 4'te SHE ve SHEDGM metoduna detaylı bir şekilde yer verilmiştir.

4.SEÇİCİ HARMONİK ELİMİNASYONU (SHE)

Bu bölümde, çıkış geriliminin matematiği incelenmiştir. Seviye sayısına göre çıkış gerilim denklemlerinin çıkarılması üzerinde durulmuştur. Ayrıca harmonik kavramı, seçici harmonik eliminasyonu yöntemi hakkında bilgiler verilmiştir.

4.1. Çok Seviyeli İnverter Çıkış Geriliminin Analizi

Bu bölümde çıkış gerilimi matematiksel olarak analiz edilecektir ve farklı seviyeli çıkış gerilimleri denklemleri çıkartılacaktır. Aynı zamanda tez çalışmasının en önemli noktası olan harmonik eliminasyonu için Genetik Algoritma programına girilecek olan denklem takımları oluşturulmuştur.

4.1.1. Çok seviyeli temel anahtarlama frekanslı SHEDGM

Harmonik denklemleri çıkış gerilimin denkleminin fourier serilerine açılması ile elde edilmektedir. Çeyrek dalga anahtarlama topolojisi uygulanan k adet yarım köprü modüle sahip, $2k+1$-seviyeli kaskat bağlı yarım köprü modüllü çok seviyeli inverter için modüllerin iletime girme süreleri , modülü besleyen DC kaynağa direkt olarak bağlanan S_1 , S_3 , S_5 , …, S_{2k-1} anahtarları ile belirlendiğinden bu anahtarın sayısı kadar k adet açı değeri tanımlanmalıdır. Bu açı değerlerinin aralıkları (4.1) denkleminde verilmiştir.

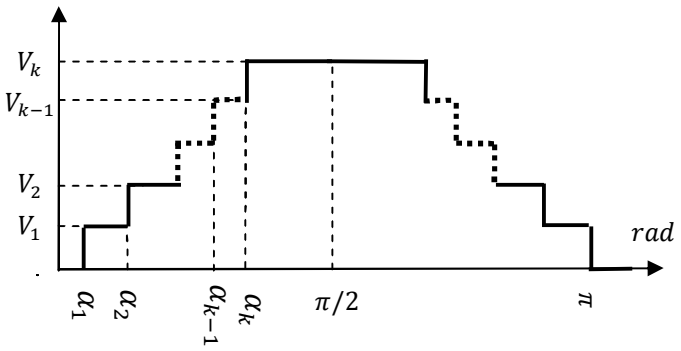
$$\alpha_1 < \alpha_2 < \alpha_3 < \cdots < \alpha_{k-1} < \alpha_k < \pi/2 \tag{4.1}$$

Çıkış geriliminin fourier dizilerine açılması sonucu a_n ve b_n parametreleri tanımlanır.

$$a_n = H_n(\propto) = \begin{cases} \dfrac{4V_ç}{n\pi}\displaystyle\sum_{k=1}^{n}\cos(n\alpha_k) & \text{, Tek sayılı harmonikler için } (1,3,5,\ldots,2n-1) \\ 0 & \text{, Çiftsayılı harmonikler için} \end{cases}$$

$$b_n = 0 \qquad \text{, Tüm harmonikler için} \tag{4.2}$$

(4.2) denklem takımından da görüleceği gibi çift sayılı harmonikler sıfırdır. Bunun nedeni AC gerilimin pozitif ve negatif alternanstaki simetrisinden dolayı birbirlerini sıfırlamalarıdır. Bu yüzden 1., 3., 5. harmonikler gibi tek sayılı harmonikler çıkış geriliminde oluşur.



Şekil 4.1. Çok seviyeli 100Hz anahtarlama frekanslı SHEDGM genel dalga şekli

(4.2) denkleminin sıfıra eşit olmayan denklem bileşenlerini göz önüne alıp formülü sade bir şekilde tekrar yazacak olursak (4.3) denklemini elde ederiz.

$$H_n = a_n = \frac{4V_{DC_toplam}}{\pi n}[\cos(n\,\alpha_1) + \cos(n\,\alpha_2) + \cdots + \cos(n\,\alpha_{k-1}) + \cos(n\,\alpha_k)] \quad (4.3)$$

Denklem (4.8)'in farklı bir versiyonu olan ve çıkış gerilimi ana sinüs bileşeni tepe değerinin de hesaplanmasını olanak sağlayan, 1.harmonik değeri içinde modülasyon kavramının bulunduğu denklem (4.4) aşağıda verilmiştir.

$$\cos(\alpha_1) + \cos(\alpha_2) + \cdots + \cos(\alpha_{k-1}) + \cos(\alpha_k) = k * M\frac{\pi}{4} \quad (4.4)$$

Modülasyon terimi istenilen saf sinüs tepe değerinin, seviyeli gerilim tepe değerine oranı olarak tanımlanabilir.

$$M = \frac{V_{ç-tepe\ değer}}{V_{DC_toplam}} \quad (4.5)$$

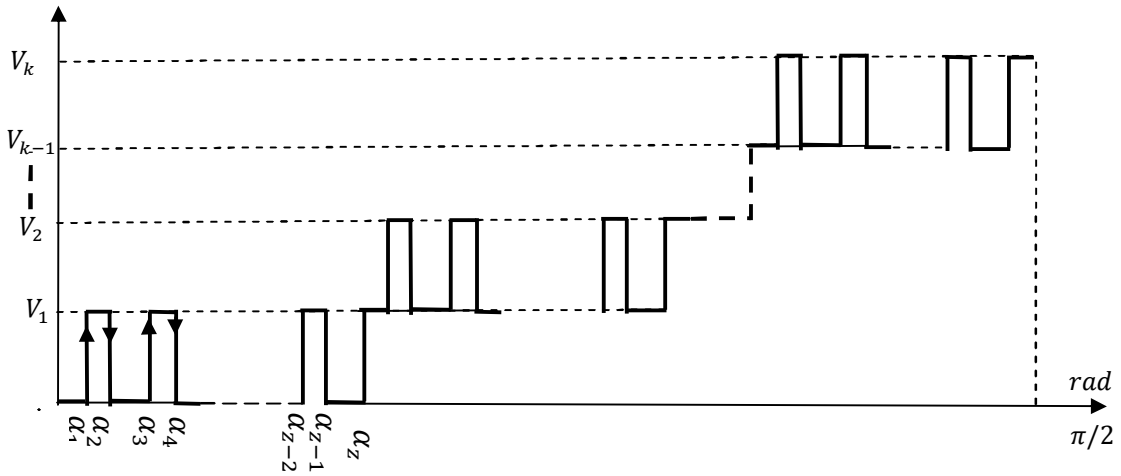
$2k+1$ seviyeli kaskat bağlı yarım köprü modüllü ÇSİ'nin harmonik denklemleri, daha öncede bahsedildiği gibi k adet açı ile oluşturulabilir ve $k-1$ adet harmonik elimine edilebilir.

4.1.2. Çok seviyeli yüksek anahtarlama frekanslı SHEDGM

Yüksek anahtarlama frekanslı $2k+1$ seviyeli SHEDGM çıkış gerilimi dalga şekli Şekil 4.2'de görülmektedir. Bu anahtarlama şeklinde her modül için α_1 yükselen kenar, α_2 düşen kenar olmak üzere z adet anahtarlama açısı tanımlanır. Şekil 4.2'den de görüldüğü üzere indisi tek sayı olan α açıları yükselen kenar, indisi çift olan α açıları ise alçalan kenar olarak tanımlanmaktadır.

Aynı zamanda $z*k$ adet açı değeri tanımlanmalıdır. Bu açı değerlerinin aralıkları (4.6) denkleminde verilmiştir.

$$\alpha_1 < \alpha_2 < \alpha_3 < \cdots < \alpha_{z-1} < \alpha_z < \cdots < k*\alpha_z < \pi/2 \quad (4.6)$$



Şekil 4.2. Çok seviyeli yüksek anahtarlama frekanslı SHEDGM genel dalga şekli

Çıkış geriliminin fourier dizilerine açılması sonucu a_n ve b_n parametreleri tanımlanır. $V_1 = V_2 = \cdots = V_{k-1} = V_k = V_{DC}$ olduğu kabul edilirse;

$$a_n = H_n(\propto)$$

$$= \begin{cases} \dfrac{4V_{DC}}{n\pi} \displaystyle\sum_{m=1}^{k*z} \pm\cos(n\alpha_m) \text{ , Tek sayılı harmonikler için } (1,3,5,\dots,k*z-1) \\ 0 \qquad\qquad\qquad\qquad \text{ , Çiftsayılı harmonikler için} \end{cases}$$

$$b_n = 0 \qquad\qquad\qquad\qquad \text{ , Tüm harmonikler için} \qquad (4.7)$$

(4.7) denklem takımından da görüleceği gibi çift sayılı harmonikler sıfırdır. Bunun nedeni AC gerilimin pozitif ve negatif alternanstaki simetrisinden dolayı birbirlerini sıfırlamalarıdır. Bu yüzden 1., 3., 5. harmonikler gibi tek sayılı harmonikler çıkış geriliminde oluşur. Genelleştirilmiş dalga şekli ve genel denklemlerden 5-seviyeli her modül için 3 açılı gerilim dalga şekli Şekil 4.3'deki, fourier formu ise denklem (4.8)'deki gibi olacaktır (Muthuramalingam ve ark., 2006).

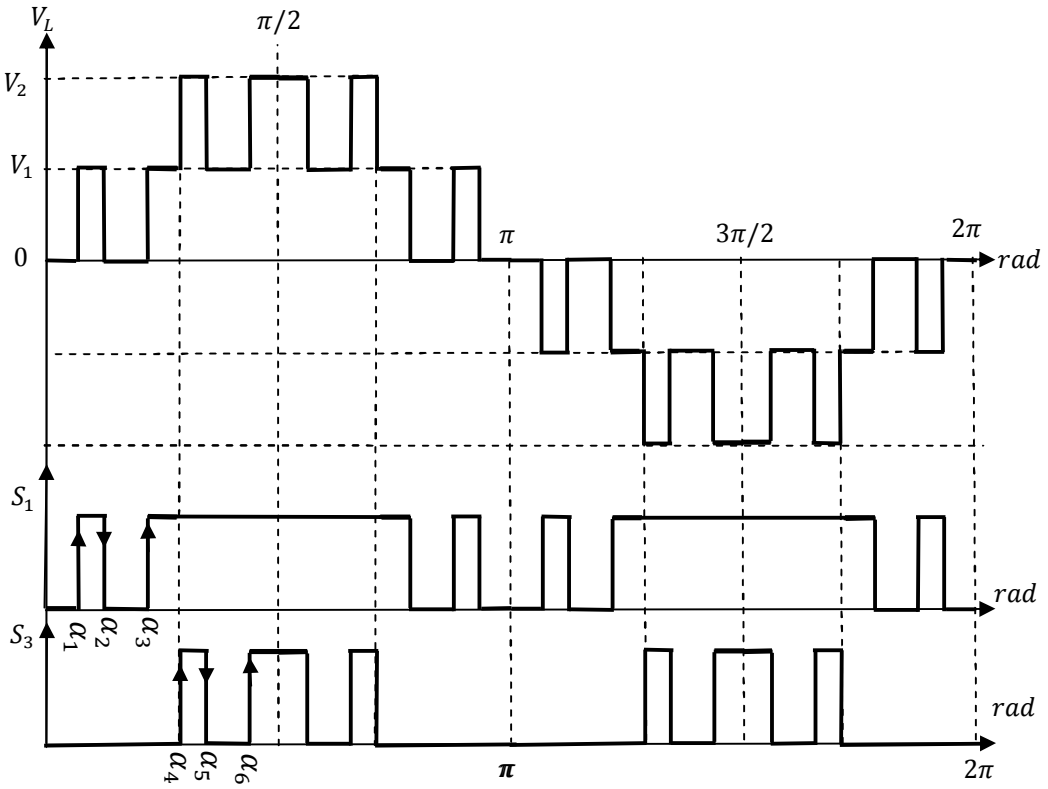
$$H_1 = \frac{4V_{DC}}{\pi n}[\cos(\alpha_1) - \cos(\alpha_2) + \cos(\alpha_3) + \cos(\alpha_4) - \cos(\alpha_5) + \cos(\alpha_6)]$$

$$H_n = \frac{4V_{DC}}{\pi n}[\cos(n\alpha_1) - \cos(n\alpha_2) + \cos(n\alpha_3) + \cos(n\alpha_4) - \cos(n\alpha_5) + \cos(n\alpha_6)] \qquad (4.8)$$

Denklem (4.8)'in farklı bir versiyonu olan ve çıkış gerilimi ana sinüs bileşeni tepe değerinin de hesaplanmasını olanak sağlayan, 1.harmonik değeri içinde modülasyon kavramının bulunduğu denklem (4.9) aşağıda verilmiştir.

$$\cos(\alpha_1) - \cos(\alpha_2) + \cos(\alpha_3) + \cos(\alpha_4) - \cos(\alpha_5) + \cos(\alpha_6) = k * M\frac{\pi}{4} \qquad (4.9)$$

Modülasyon terimi istenilen saf sinüs tepe değerinin, seviyeli gerilim tepe değerine oranı olarak tanımlanabilir.



Şekil 4.3. 5-seviyeli 3 açılı yüksek anahtarlama frekanslı SHEDGM anahtarlama sinyalleri ve çıkış gerilimi dalga şekli

$$M = \frac{V_{\text{Ç-tepe değer}}}{V_{DC_toplam}} \tag{4.10}$$

Kaskat bağlı yarım köprü modüllü ÇSİ'ye $2k+1$-seviyeli, z açılı yüksek anahtarlama frekanslı SHEDGM uygulandığı zaman, daha öncede bahsedildiği gibi $k*z$ adet harmonik denklemi yazılabilir ve $k*z-1$ adet harmonik elimine edilebilir. Benzer şekilde örnek olarak verilen 5-seviyeli 3 açılı yüksek anahtarlama frekanslı SHEDGM dalga şekli için çeyrek dalgada 6 adet açı tanımlanabilir ve 6 adet harmonik denklemi yazılabilir. Bu dalga şekli 5 adet harmonik elimine edilmesine olanak sağlar. Yüksek frekanslı SHEDGM uygulanan ÇSİ'lerde her modül için farklı adet açılar tanımlanabilir ve denklem (4.8)'den harmonik denklemleri oluşturulabilir.

Tez çalışmasında HMDGM ve SHEDGM metodları için elde edilen genel THD değeri 21. harmoniğe kadar olan THD değeridir ve 4.11 denklemi ile hesaplanabilir.

$$\%\,THD = \frac{\sqrt{{H_3}^2+{H_5}^2+\cdots.{H_{19}}^2+{H_{21}}^2}}{H_1} \tag{4.11}$$

5. GENETİK ALGORİTMALAR

Bu bölümde harmonik eliminasyonu için çıkarılan denklemlerin çözümünde kullanılan Genetik Algoritma hakkında bilgiler verilerek, Genetik Algoritma ile yazılan Seçici Harmonik Eliminasyonu programı anlatılmıştır.

5.1. Optimizasyon Kavramı

Günlük yaşantımızda, "Çalışmak için en iyi yol nedir?", "Hangi proje ile ilk önce uğraşmalıyım?", "İşlerimi zamanında yapabilmek için ne zaman kalkmalıyım?" gibi optimizasyon problemlerine dönüştürülebilecek durumlar ile karşı karşıya kalırız. Optimizasyon bu gibi durumların formülize edilmesi, bir cihaza giriş olarak girilmesi ve sonucun minimum ya da maksimum değerinin bulunması sürecidir.

Optimizasyon, matematiksel problemleri daha da iyileştirme sürecidir. Başlangıç değerlerinin üretilmesi ve bu değerlere göre varyasyonların denenmesi olarak da özetlenebilir. Optimize edilmek istenen düşünce matematiksel olarak ifade edilebildiği sürece, bilgisayarlar optimizasyon işi için en iyi araçtır. "En iyi sonuç bu mu?" sorusunun cevabını arayarak en iyi sonuca yaklaşık değerler bulunabilir (Haupt, 2004).

Optimizasyon problemi olarak tanımlanan problemler yapılarına göre çeşitlilik göstermektedir. Sınır değerli veya sınır değersiz, tek değişkenli veya çok değişkenli, dinamik statik, rastgele ya da minimuma göre başlangıç değeri üreten gibi optimizasyon türleri vardır.

Çoğunlukla optimizasyon problemleri, çok değişkenli ve sınır değerli olarak karşımıza çıkmaktadır. Bu problemler yapısında matematiksel teoremler bulunduran Newthon-Raphson metodu ile çözülebilmektedir. Benzer şekilde problemin çözülmesinde Newthon-Raphson metodunu kullanan Yapay Sinir Ağları yaklaşımı literatürde kullanılmaktadır. Ancak Newthon-Raphson metodu için başlangıç tabloları oluşturmak gerekir ve matematiksel çözüme dayandığı için Newthon-Raphson metodu ile sadece bir adet çözüm kümesi elde edilebilir. Aynı zamanda başlangıç değerlerinin değişimi ile sonuç değerinde büyük sapmalar görülebilir ve optimal sonuç değerini veren çözüm kümesi elde edilemez (Karaca ve Bektaş, 2015)

Genetik Algoritmalar (GA) optimize problemlerinin çözümüne olanak sunan yapay zeka yaklaşımlarıdır. GA, başlangıçta tablolara ihtiyaç duymaz ve Newthon-Raphson metodunun daha önce değinilen dezavantajlarını elimine ederek daha iyi bir

çözüm kümesi verirler. Matematiksel çözümden ziyade programlama mantığına dayanan GA'nın işleyişi aynı zamanda makine koduna daha kolay aktarılabilmektedir. GA gibi PSO, Arı Algoritması vb. yapay zeka yaklaşımları da optimizasyon problemlerinde kullanılabilmektedir.

Optimizasyon problemlerinde GA kullanılması ile yanında birçok avantajı da birlikte getirmektedir. Bu avantajlar belli başlıklar altında şu şekilde açıklanabilir (Haupt, 2004).

- Matematiksel (türev vb.) fonksiyonların kullanımını gerektirmez.
- Çok sayıda değişken tanımlanabilir.
- Çözüm kümesi tek değildir.
- Amaç fonksiyonunun değerlendirilmesinde birden çok kısıt fonksiyonu referans alınabilir.
- Birbirinden bağımsız bilgisayarlarda paralel olarak çalıştırılarak, problemin çözüm süresi kısaltılabilir.

GA temel olarak, başlangıç popülasyonunun oluşturulması, seçim, çaprazlama, mutasyon ve uygunluk fonksiyonunun hesaplanması ve bir önceki iterasyon ile karşılaştırılması şeklinde çalışmaktadır.

Bu tez çalışmasında, harmonik denklemleri elde edilerek istenilen harmoniklerin yok edilmesi amaçlanmaktadır. Bölüm 4'te verilen SHE denklemleri aynı zamanda bir optimizasyon problemidir. THD değeri, uygunluk fonksiyonu ve elimine edilmek istenen harmonik bileşenleri de, kısıt fonksiyonları olarak tanımlanabilir. GA tabanlı Seçici Harmonik Eliminasyonu programı, THD değerini minimize ederken elimine edilmek istenen harmonik denklemlerini kısıt fonksiyonu olarak algılamakta ve bu şekilde çözüm yoluna gitmektedir.

5.2. Genetik Algoritma Operatörleri

Bu bölümde, Seçici Harmonik Eliminasyonu denklemlerinin çözümünde kullanılan GA programı ve bu programda kullanımı tercih edilen operatör türleri hakkında bilgiler verilmiştir. 9-seviyeli SHEDGM denklemleri için programın bölümleri anlatılmıştır.

5.2.1. Başlangıç popülasyonu

GA rastgele sonuç veren, değişken parametrelerinin içinde yer aldığı kromozomların sınır değerlerine göre üretilmesi ile başlar. Her parametre gen olarak adlandırılır ve rastgele üretilen değişkenlerin bir araya gelmesi ile kromozomlar oluşturulur.

Başlangıç popülasyonları ikili kodlu ya da gerçek kodlu olarak üretilebilir. İkili kodlu gen üretiminde ilk olarak her bir genin kaç bit olacağına karar vermek gerekmektedir. Örnek olarak, ikili tabanda 0 ve 1 sayılarının kullanılması ile 8 bitlik bir gen 0001000 şeklinde üretilebilir.

Tez çalışmasında kullanılan GA programında başlangıç popülasyonu gerçek kodlu olarak üretilmektedir. Gen üretiminde dikkat edilmesi gereken nokta, genlerin bir birleri arasında da sınır değerlerinin olmasıdır. Denklem (5.1)'de genler arasındaki sıralama ilişkisi görülmektedir.

$$0 < x_1 < x_2 < x_3 < x_4 < \frac{\pi}{2} \tag{5.1}$$

9-seviyeli gerilim Bölüm 4.1.1'den de anlaşıldığı üzere 4 adet anahtarlama açısı gerektirmektedir. Bu yüzden GA programı 4 adet gen üretmek ile başlar.

Başlangıç popülasyonun üretilmesinde bir başka nokta ise popülasyon sayısıdır. Popülasyon sayısının büyük olması GA'nın çalışmasını zorlaştırmakla birlikte, küçük olması ise istenilen sonuçtan sapmalar olmasına neden olabilir. Bu yüzden popülasyon sayısının seçimi çok önemlidir. Aynı zamanda problemin türüne göre de popülasyon sayısı değişkenlik gösterebilir (Salehi ve ark., 2011). Farklı değerler girilerek en uygun popülasyon sayısı elde edilebilir ancak genel olarak popülasyon sayısı 50-100 arasında seçilmelidir.

5.2.2. Seçim

Başlangıç popülasyonu üretildikten sonra üretilen kromozomlar seçim işlemine tabi tutulur. Seçim işlemi optimizasyon işlemi için en uygun kromozomun seçilmesi ve uygun olmayan kromozomların yok edilmesi olarak özetlenebilir. Seçim işleminden sonra popülasyon sayısı kadar kromozom yeniden üretilmiş olur. Seçim işleminde kaç adet kromozomun tekrar üretileceği, kaç adet kromozomun olduğu gibi değiştirilmeden kullanılacağı programlayıcının elindedir.

Literatürde yer edinmiş bir çok seçim operatörü türleri mevcuttur. Ağırlıklı seçim, rastgele seçim, rulet tekerleği seçimi ve turnuva seçimi bunlardan bazılarıdır. Tez çalışmasında kullanılan GA programında seçim operatörü olarak turnuva seçimi kullanılmıştır.

Turnuva seçiminde eşleşecek olan kromozom çiftleri rastgele seçilmektedir. Ancak eşleşen kromozom çiftlerinden seçim sonrası popülasyonda yer alacak olan kromozomun belirlenmesinde kullanılmak üzere bir ceza puanı tanımlanmalıdır. Ceza puanı kısıt fonksiyonlarının istenilen aralıkta olup olmadığını derecelendiren puan olup ceza puanı düşük olan kromozom bir sonraki popülasyona seçilir. Ceza puanı hesaplanmasında kullanılan fonksiyon denklem (5.2)'de verilmiştir.

$$0 < x_1 < x_2 < x_3 < x_4 < \frac{\pi}{2} \tag{5.2}$$

Eşleşen kromozomların tanımlanan aralıkta olup olmadığına bakılır. Tez çalışmasında kullanılan GA programında kısıt fonksiyonu olarak elimine edilmek istenilen harmonikler tanımlandığı için bu aralık 0 ile 0.01 olarak alınmıştır. Böylece ceza puanı hesaplanması ve kromozomların karşılaştırılması 3 adet varyasyon ile açıklanabilir.

- Eşlenen kromozom çiftlerinin ikisinin de istenilen aralıkta olma durumu,
- Eşlenen kromozom çiftlerinin birinin istenilen aralıkta olma durumu,
- Eşlenen kromozom çiftlerinin ikisinden istenilen aralıkta olmama durumu.

İlk durumda, ceza puanı daha düşük olan birey popülasyona alınır. İkinci durumda, (bu durumda ceza puanı sıfıra çok yakındır) istenilen aralıkta olan kromozom popülasyona alınır. Üçüncü durumda ceza puanı daha düşük olan kromozom popülasyona alınır. Başka bir deyişle istenilen aralığa daha yakın olan kromozom çifti popülasyona alınmış olur (Karaca ve Bektaş, 2015).

5.2.3. Çaprazlama

Seçim işleminden sonra kromozomlar çaprazlama işlemine tabi tutulur. Çaprazlama işlemi eşleşen kromozomların eşleşen 2 adet geninden, belli matematiksel çaprazlama operatörü fonksiyonuna göre 2 adet nesil üretilmesine dayanmaktadır.

Literatürde yer edinmiş birçok çaprazlama operatörü türleri mevcuttur.Tek noktalı çaprazlama, çift noktalı çaprazlama, Stefan Jakobs çaprazlama ve lineer çaprazlama bunlardan bazılarıdır. Tez çalışmasında kullanılan GA programında çaprazlama operatörü olarak lineer çaprazlama kullanılmıştır. Lineer çaprazlamada,

çaprazlama operatörü olarak adlandırılan p, her eşleşen kromozom çiftleri için 0 ile 1 arasında rastgele olarak üretilmektedir. Eğer p daha önce tanımlanan çaprazlama oranından büyük ise rastgele eşleştirilen genler çaprazlama işlemine tabi tutulurlar. Çaprazlama hesaplanmasında kullanılan fonksiyon denklem (5.3)'te verilmiştir.

$$Gen_{3,KR1} = pGen_{3,KR2} + (1-p)Gen_{3,KR1}$$
$$Gen_{3,KR2} = pGen_{3,KR1} + (1-p)Gen_{3,KR2} \quad (5.3)$$

Rastgele seçilen 2 gen için çaprazlama örneği tablosu Çizelge 5.1'de görülmektedir (Karaca ve Bektaş, 2015).

Çizelge 5.1. Lineer çaprazlama örneği

Çaprazlama öncesi	**Gen değerleri (*rad*)**			
	Gen 1	**Gen 2**	**Gen 3**	**Gen 4**
Kromozom 1	0.21	0.44	0.8	1.4
Kromozom 2	0.36	0.77	0.91	1.36
Çaprazlama sonrası	**Gen değerleri (*rad*)**			
	Gene 1	**Gene 2**	**Gene 3**	**Gene 4**
Kromozom 1	0.21	0.44	0.822	1.4
Kromozom 2	0.36	0.77	0.888	1.36

5.2.4. Mutasyon

Çaprazlama işleminden sonra kromozomlar mutasyon işlemine tabi tutulur. Mutasyon işleminde her kromozomun her geni için 0 ile 1 arasında rastgele bir sayı üretilir. Eğer bu sayı daha önce tanımlanan mutasyon oranından küçük ise rastgele gen bulunduğu kromozomdaki genlerin sınır değerleri baz alınarak yeniden üretilir. Böylelikle gen sınırları korunmuş olur ve aynı zamanda popülasyonda çeşitlik arttırılır.

5.2.5. Uygunluk fonksiyonu

Uygunluk fonksiyonu, her iterasyonun sonunda minimize edilen değerin değerlendirilmesinden sorumlu fonksiyondur (Naggar ve Abdelhamid, 2008). Tez çalışmasında minimize edilen değer THD değeri olduğu için uygunluk fonksiyonu THD formülü olarak alınmıştır.

9-seviyeli SHEDGM uygulamasında 3., 5. ve 7. harmonikler elimine edildiğinden uygunluk fonksiyonu, denklem (5.4)'te olduğu gibi tanımlanmıştır (Karaca ve Bektaş, 2015).

$$Uygunluk = \frac{\sqrt{\sum_{n=3,5,7}(\frac{1}{n}\sum_{k=1}^{4}\cos(n\alpha_k))^2}}{\sum_{k=1}^{4}\cos(\alpha_k)} \tag{5.4}$$

Denklem (5.4)'ten görüldüğü üzere uygunluk fonksiyonu Bölüm 4.1.2'de verilen genel THD formülünün elenen harmonik derecesine kadar hesaplanması ile elde edilmektedir.

5.3. Genetik Algoritma Tabanlı Seçici Harmonik Eliminasyonu

Bu bölümde, SHEDGM için 5, 9, 13 seviyede oluşturulan harmonik denklemlerine yer verilmiştir. Aynı zamanda oluşturulan denklemlerin GA programına sunulması ile elde edilen anahtarlama açılarına değinilmiştir.

5.3.1. 5 seviye'de SHEDGM denklemleri ve çözümü

5-seviyeli bir kaskat bağlı yarım köprü modüllü ÇSİ için, 2 adet açı tanımlanabilir. 2 adet bilinmeyene sahip olduğu için, 2 adet denklem yazılarak çözülebilir. O yüzden 1.harmonik denklemi dışında, 1 adet daha harmonik bileşenin eliminasyonu yapılabilir. Tez çalışmasında 3. harmoniğin elimine edilmesi uygulaması yapılmıştır.

- 3. harmonik eliminasyonu denklemleri

$$\cos(\alpha_1) + \cos(\alpha_2) + \cos(\alpha_3) = 2\frac{\pi}{4} = H_1$$
$$\cos(3\alpha_1) + \cos(3\alpha_2) + \cos(3\alpha_3) = 0 = H_3 \tag{5.5}$$

(5.5) denklem kümesinin GA programı ile çözülmesi sonucunda $\alpha_1 = 5.1°$, $\alpha_2 = 54.95°$ anahtarlama açıları elde edilmiştir.

5.3.2. 9 seviye'de SHEDGM denklemleri ve çözümü

9-seviyeli bir kaskat bağlı yarım köprü modüllü ÇSİ için, 4 adet açı tanımlanabilir. 4 adet bilinmeyene sahip olduğu için, 4 adet denklem yazılarak çözülebilir. O yüzden 1.harmonik denklemi dışında, 3 adet daha harmonik eliminasyonu yapılabilir. Tez çalışmasında 3., 5., 7. harmoniklerin elimine edilmesi uygulaması yapılmıştır.

- 3., 5. ve 7. harmonik eliminasyonu denklemleri

$$\cos(\alpha_1)+\cos(\alpha_2)+\cos(\alpha_3)+\cos(\alpha_4)=4\frac{\pi}{4}=H_1$$
$$\cos(3\alpha_1)+\cos(3\alpha_2)+\cos(3\alpha_3)+\cos(3\alpha_4)=0=H_3$$
$$\cos(5\alpha_1)+\cos(5\alpha_2)+\cos(5\alpha_3)+\cos(5\alpha_4)=0=H_5$$
$$\cos(7\alpha_1)+\cos(7\alpha_2)+\cos(7\alpha_3)+\cos(7\alpha_4)=0=H_7 \quad (5.6)$$

(5.6) denklem takımının GA programı ile çözülmesi sonucunda anahtarlama açıları $\alpha_1=6.25°$, $\alpha_2=22.63°$, $\alpha_3=36.73°$ ve $\alpha_4=60.62°$ olarak elde edilmiştir.

5.3.3. 13 seviye'de SHEDGM denklemleri ve çözümü

13-seviyeli bir kaskat bağlı yarım köprü modüllü ÇSİ için, 5 adet açı tanımlanabilir. 6 adet bilinmeyene sahip olduğu için, 6 adet denklem yazılarak çözülebilir. O yüzden 1.harmonik denklemi dışında, 5 adet daha harmonik eliminasyonu yapılabilir. Tez çalışmasında 3., 5., 7., 9. ve 11. harmoniklerin elimine edilmesi uygulaması yapılmıştır.

- 3., 5., 7., 9. ve 11. harmonik eliminasyonu denklemleri

$$\cos(\alpha_1)+\cos(\alpha_2)+\cos(\alpha_3)+\cos(\alpha_4)+\cos(\alpha_5)+\cos(\alpha_6)=6\frac{\pi}{4}=H_1$$
$$\cos(3\alpha_1)+\cos(3\alpha_2)+\cos(3\alpha_3)+\cos(3\alpha_4)+\cos(3\alpha_5)+\cos(3\alpha_6)=0=H_3$$
$$\cos(5\alpha_1)+\cos(5\alpha_2)+\cos(5\alpha_3)+\cos(5\alpha_4)+\cos(5\alpha_5)+\cos(5\alpha_6)=0=H_5$$
$$\cos(7\alpha_1)+\cos(7\alpha_2)+\cos(7\alpha_3)+\cos(7\alpha_4)+\cos(7\alpha_5)+\cos(7\alpha_6)=0=H_7$$
$$\cos(9\alpha_1)+\cos(9\alpha_2)+\cos(9\alpha_3)+\cos(9\alpha_4)+\cos(9\alpha_5)+\cos(9\alpha_6)=0=H_9$$
$$\cos(11\alpha_1)+\cos(11\alpha_2)+\cos(11\alpha_3)+\cos(11\alpha_4)+\cos(11\alpha_5)+\cdots$$
$$\ldots+\cos(11\alpha_6)=0=H_{11} \quad (5.7)$$

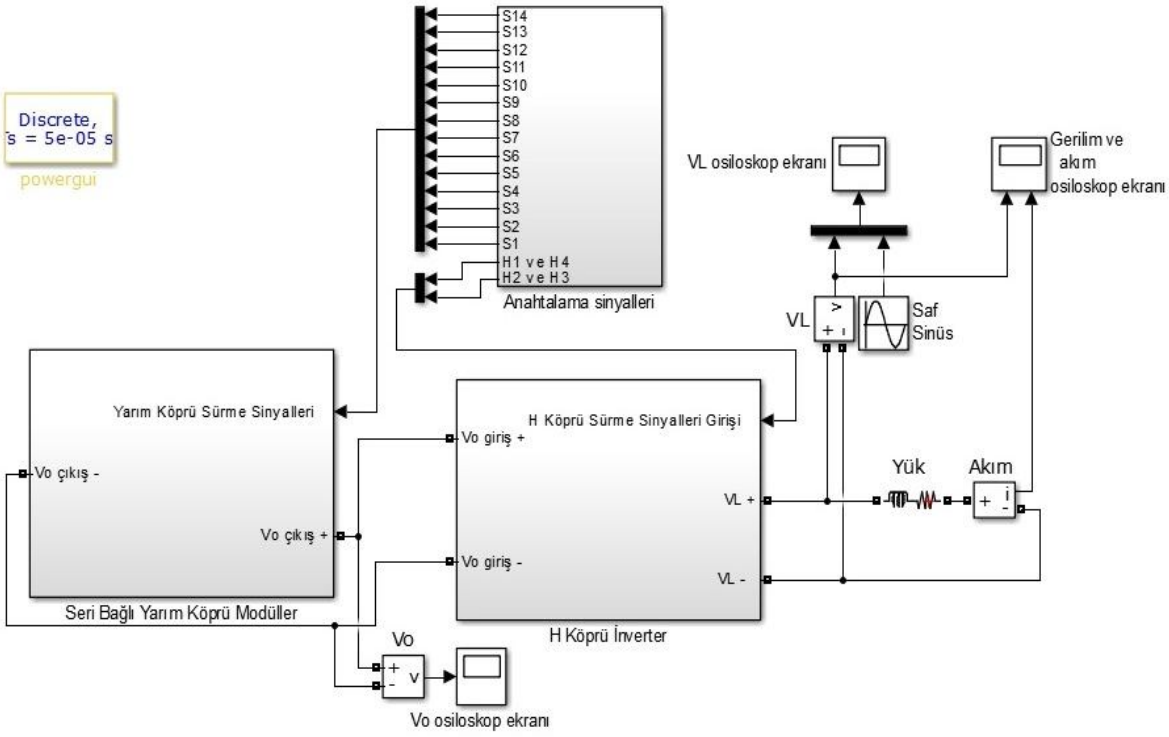
(5.7) denklem takımının GA programı ile çözdürülmesi ile $\alpha_1 = 5.56$, $\alpha_2 = 14.9°$ ve $\alpha_3 = 22.86°$, $\alpha_4 = 37.18°$, $\alpha_5 = 46.18°$ ve $\alpha_6 = 66.41°$ anahtarlama açıları elde edilmiştir.

6. ANAHTAR SAYISI AZALTILMIŞ ÇOK SEVİYELİ İNVERTERİN SİMÜLASYONU VE DENEYSEL GERÇEKLEŞTİRİLMESİ

Tezin bu bölümünde, çok seviyeli inverter analizi için oluşturulan simülasyonlar ve deneysel uygulama devreleri üzerinde durulmuştur.

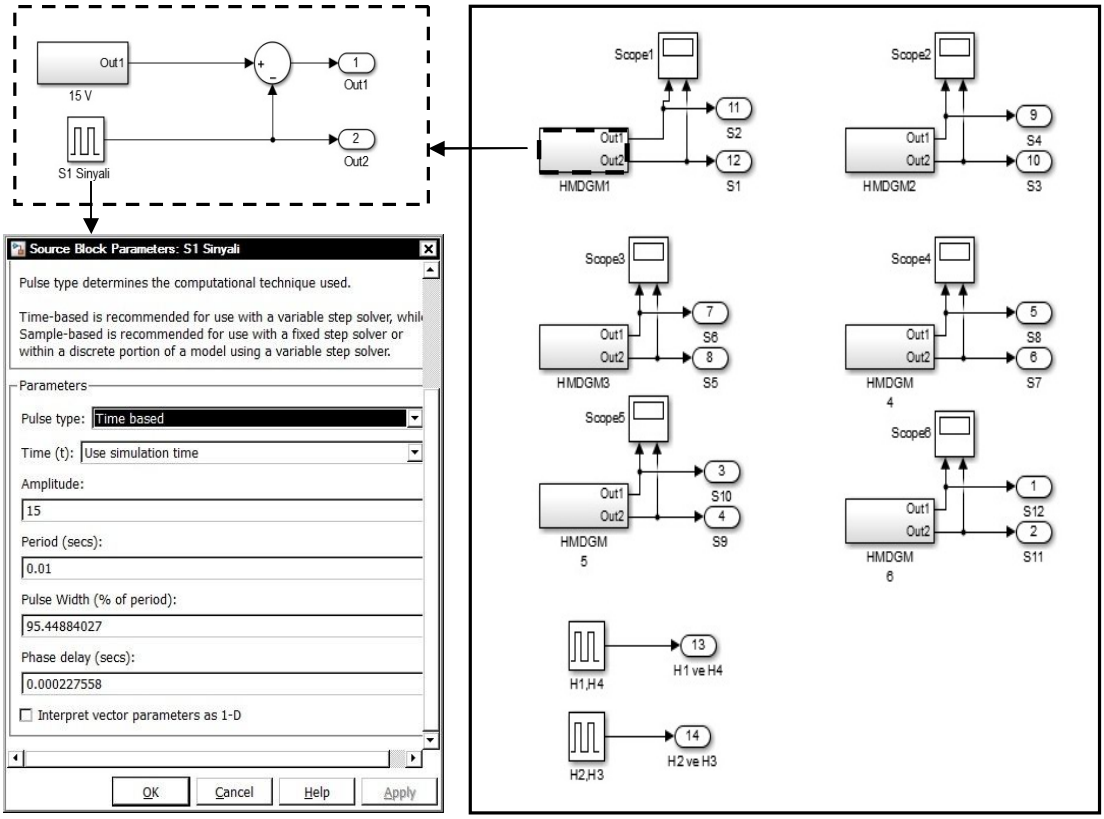
6.1. Simülasyonun Gerçekleştirilmesi

Çok seviyeli inverter simülasyonları Matlab&Simulink programı aracılığıyla oluşturulmuştur. Yarım köprü modüllü ÇSİ için oluşturulan Simulink modeli Şekil 6.1'de görülmektedir.



Şekil 6.1. Yarım köprü modüllü ÇSİ SIMULINK modeli (13 seviye)

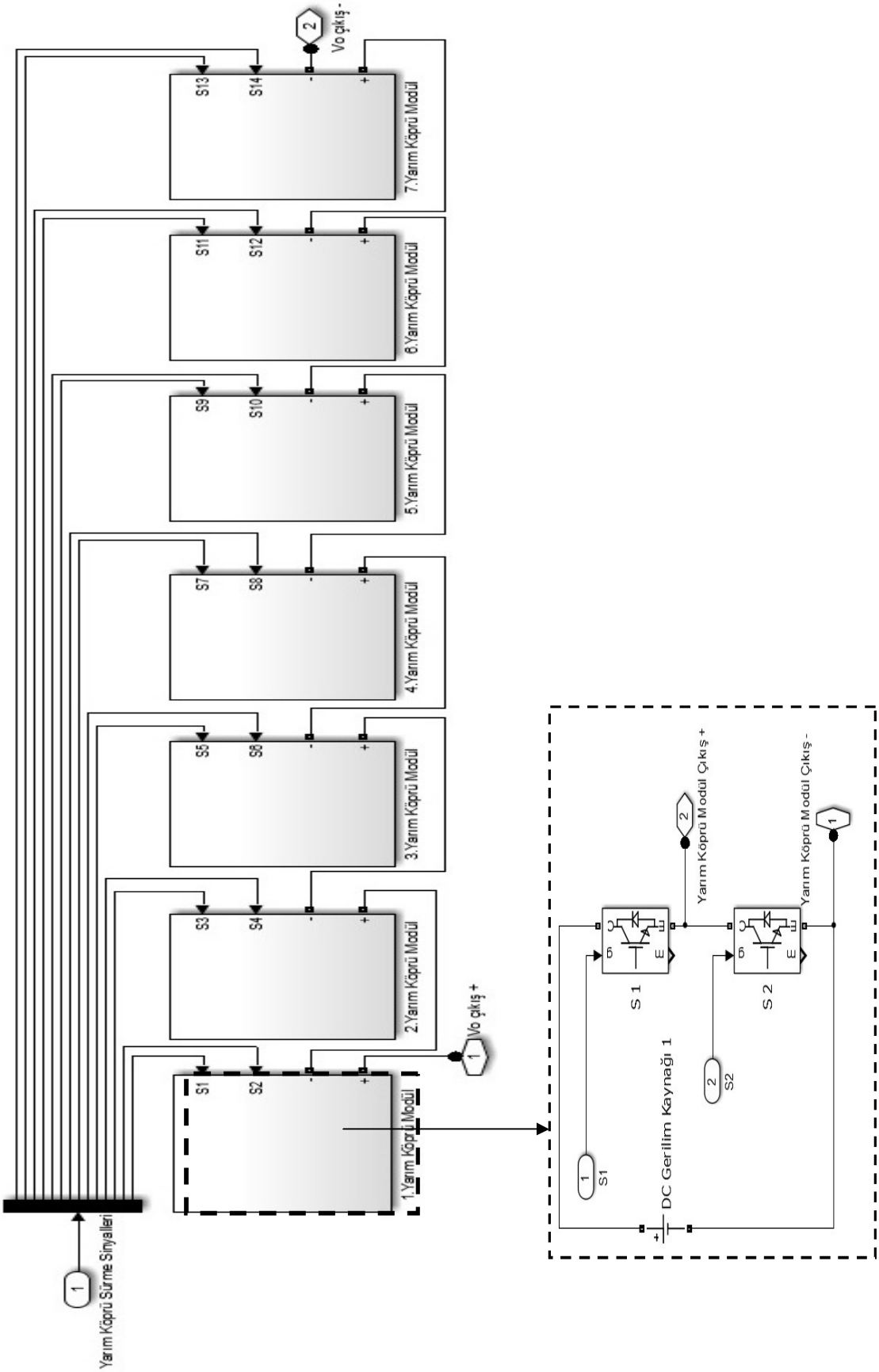
Bu model, seri bağlı yarım köprü modüller bloğu, H-köprü inverter bloğu ve anahtarlama sinyalleri blokları olmak üzere üç adet bloktan oluşmaktadır. Blok diyagramındaki en önemli blok, anahtarlama bloğudur. 13-seviyeli inverter için kullanılan 14 adet farklı anahtarlama sinyali bu blokta üretilmektedir. Bu bölümde örneği verilen tüm blok ve yapıları 13-seviyeli inverteri kapsamaktadır. Şekil 6.2'de anahtarlama sinyalleri bloğu yapısı görülmektedir.



Şekil 6.2. Anahtarlama sinyalleri bloğu ve yapısı

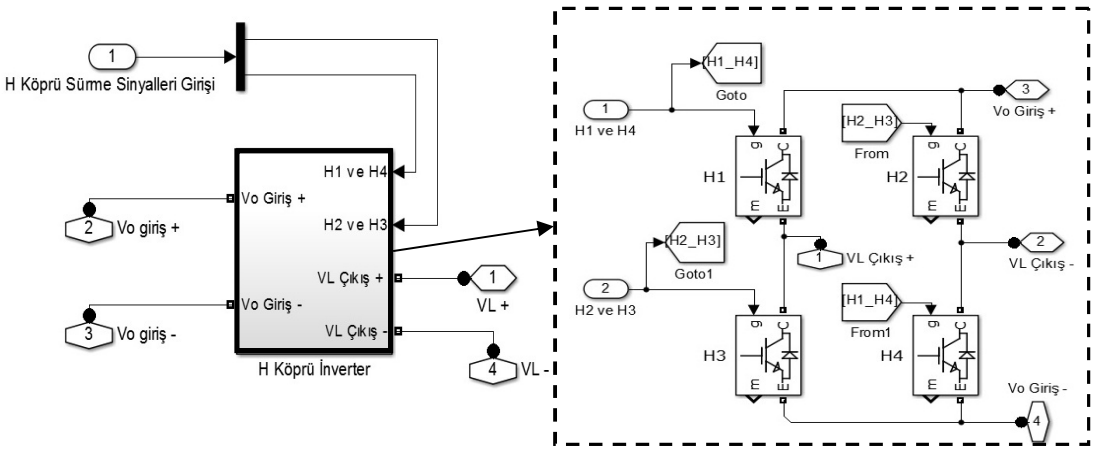
Simulink'te anahtarlama sinyallerinin donanımsal olarak üretilmesine gerek duyulmaz. Anahtarlama sinyalleri Matlab programı üzerinden yazılımsal olarak üretilebileceği gibi aynı zamanda sinyal generatörü kullanılarak ta üretilebilmektedir. Örnek olarak HMDGM1 bloğu, 1. yarım köprü modül için gerekli olan sinyalleri üretmektedir. Bu blok yapısında 15 V luk DC sinyal ve S1 sinyal generatörünü barındırmaktadır. S1 anahtarı için gerekli olan sinyal Çizelge EK-2'den yararlanılarak oluşturulabilir. S2 anahtarına ise S1 anahtarının tümleyeni uygulanmalıdır. Tümlenik sinyal çıkarma operatörü ile oluşturulmuştur. Daha önce değinildiği üzere anahtarlama sinyallerinin frekansı 100 Hz'dir. Bu da 0.01 sn'ye denk gelmektedir. Diğer modüller için gerekli olan bloklarda aynı şekilde oluşturulmuştur. Sinyal generatörüne aynı zamanda faz gecikmesi tanımlanmalıdır. Faz gecikmesi Bölüm 6.3'te $t_{n_başlama}$ olarak ifade edilmiş ve hesaplama metoduna değinilmiştir. Darbe genişliği ise $\frac{t_i}{0.01}$ olarak ifade edilmiştir.

Anahtarlama sinyalleri bloğu tarafından oluşturulan anahtarlama sinyalleri seri bağlı yarım köprü inverter bloğuna uygulanmaktadır. Şekil 6.3'te seri bağlı yarım köprü inverterler bloğu yapısı ve her yarım köprü inverter için aynı yapıda oluşturulan yarım köprü inverter bloğu görülmektedir.



Şekil 6.3. Seri Bağlı yarım köprü inverter ve yarım köprü inverter bloğu

Şekil 6.4'te H-köprü inverter bloğu ve yapısı görülmektedir. H-köprü sürme sinyalleri anahtarlama bloğundan alınmaktadır. H1, H4 ya da H2, H3 sinyalleri aynıdır. Çünkü tez çalışmasında kullanılacak olan inverter bu çalışma topolojisini desteklemektedir. 0 gerilimde çift rakamlı anahtarlar ve H1, H4 veya H2 ve H3 anahtarları üzerinden akım yolunu tamamlayacağı için inverter çalışması bakımından bir problem teşkil etmemektedir.

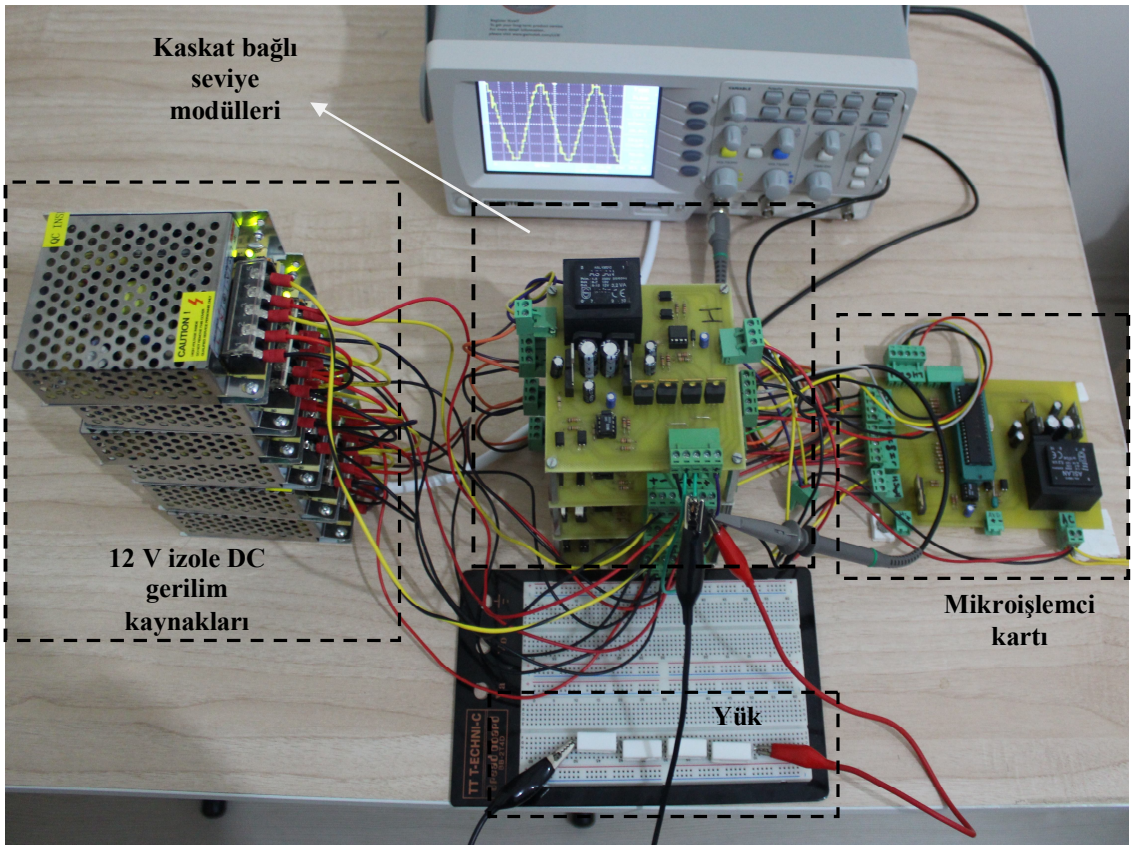


Şekil 6.4. H-Köprü inverter bloğu

6.2. Deneysel Tasarım ve Gerçekleştirilmesi

Gerçekleştirilen anahtar sayısı azaltılmış çok seviyeli inverter sistemi temelde yazılım ve donanım olmak üzere iki bölümden oluşmaktadır. Tezin bu bölümünde, SDGM metodu ile kontrol edilen inverter sisteminin deney düzeneğinin uygulamasında kullanılan devreler incelenmektedir. Şekil 6.5'te gerçekleştirilen inverter düzeneğini oluşturan devreler görülmektedir. Gerçekleştirilen düzenek, izole DC güç kaynağı grubu, yarım köprü inverter modülü devreleri, H-köprü inverter devresi ve mikroişlemci kartından oluşmaktadır. Ayrıca bu devrelerin içinde bulunan izolasyon, MOSFET sürücü IR2101 devre yapısı ve bu devre bünyesinde yer alan sürücü devresi için gerekli olan izole gerilim devresi alt başlıklar şeklinde açıklanmaktadır. Yarım köprü inverter devreleri modüler olarak tasarlanmış ve birbirinin aynısı olan bu devreler istenilen seviyeye göre birbirine bağlanabilmektedir.

Şekil 6.5'te gerçekleştirilen anahtar sayısı azaltılmış çok seviyeli inverter detaylı bir şekilde görülmektedir.



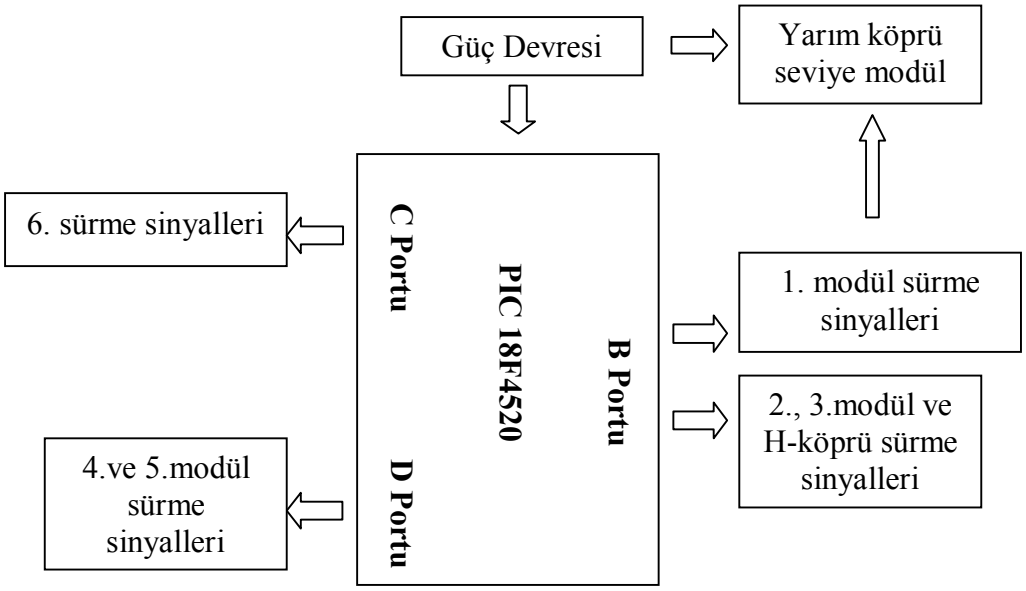
Şekil 6.5. Gerçekleştirilen inverter sistemi

Gerçekleştirilen inverter sistemi için 5, 9 ve 13 seviyeli deneysel uygulamalarda yük olarak 40 ohm değerinde taş direnç kullanımı tercih edilmiştir.

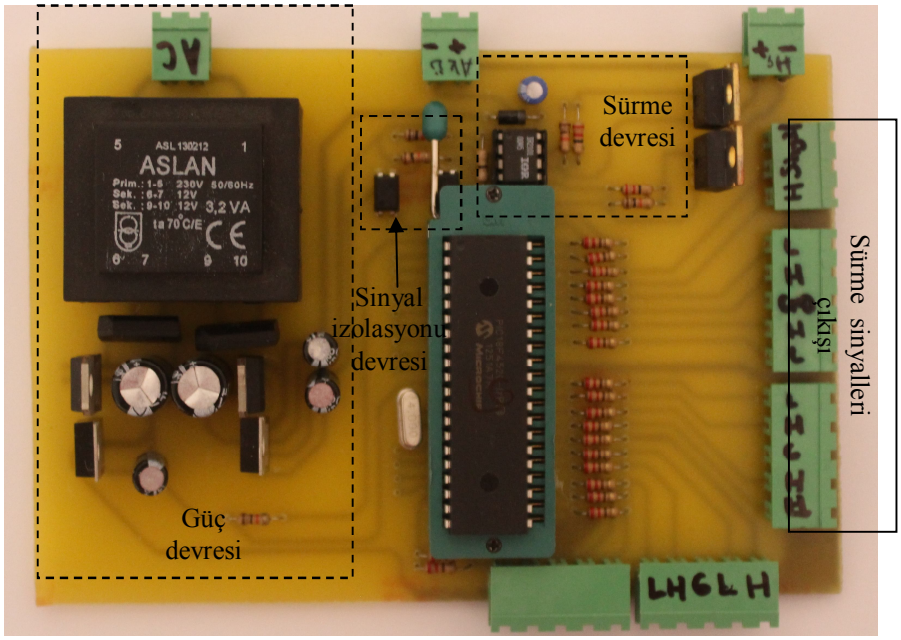
6.2.1. Mikroişlemci kartı

Son yıllarda teknolojinin gelişmesi ile birlikte üretilen mikrodenetleyici sayısı oldukça artmıştır. Bu artış ile birlikte mikroişlemcilerin kullanımı yaygın hale gelmiştir. Hızlı işlemleri hatasız bir şekilde yapabilen mikrodenetleyiciler güç elektroniği uygulamalarında yaygın bir şekilde kullanım alanı bularak elektroniğin vazgeçilmezi haline gelmiştir.

Tez çalışmasında pratik olarak gerçekleştirilen çok seviyeli inverter devresinde bulunan MOSFET sürme sinyalleri PIC18F4520 işlemcisi kullanarak oluşturulmuştur. Şekil 6.6'da mikroişlemci kontrol kartının giriş ve çıkış bağlantı diyagramı görülmektedir. 13-seviyeli inverter için 12 adet anahtarlama sinyali gerekmektedir ve bu anahtarlama sinyalleri mikroişlemci B, C, D portlarından sağlanmaktadır.



Şekil 6.6. Mikroişlemci kartı giriş ve çıkış pinleri diyagramı



Şekil 6.7. Mikroişlemci kartı devresi

Şekil 6.7'de mikroişlemci kartı fotoğrafı görülmektedir. Bu kart üzerinde besleme devresi, 1 adet 3 seviye gerilim modülü, sürme devresi ve 5 seviye gerilim modülleri için sürme sinyalleri çıkış soketleri bulunmaktadır. Çizelge 6.1'de 13-seviyeli inverter için kullanılan mikroişlemci portları ve numaraları görülmektedir.

Mikroişlemci kartında 1 adet 3 seviye gerilim modülü bulunması kurulacak olan inverter sisteminin modüler bir yapı olarak tasarlandığını göstermektedir. Bölüm 6.2.2'de açıklanan 5 seviye gerilim modülü 2 adet seri bağlı yarım köprü inverterden

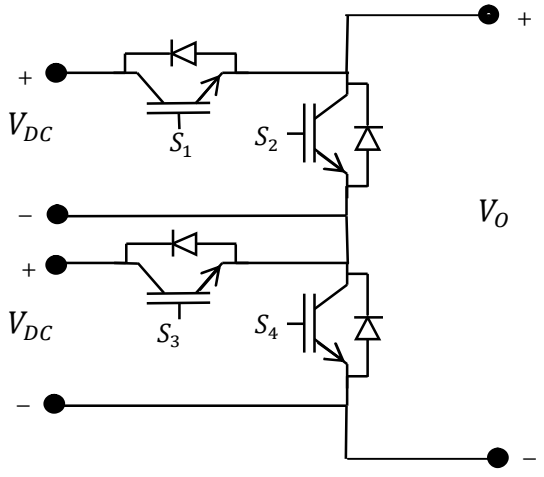
oluşmaktadır. 5, 9, 13-seviyeli uygulamalarda 5 seviye gerilim modülleri kullanılması hedeflenmiştir. 7 ve 11-seviyeli uygulamalarda ise 5-seviyeli modüller ve mikroişlemci kartında bulunan 3 seviye gerilim modülü kullanılabilir.

Çizelge 6.1. 13 −seviyeli inverter çeşitleri için kullanılan eleman sayıları

Modül	Anahtar	Mikroişlemci Port Çıkışı
H-Köprü	H_1, H_4	B5
	H_2, H_3	B4
1	S_1	B7
	S_2	B6
2	S_3	B2
	S_4	B3
3	S_5	B1
	S_6	B0
4	S_7	D6
	S_8	D7
5	S_9	D5
	S_{10}	D4
6	S_{11}	C7
	S_{12}	C6

6.2.2. 5 seviye gerilim kartı

Beş seviye gerilim kartı 2 adet seri bağlı yarım köprü modülden oluşmaktadır. Aynı zamanda besleme devresi, MOSFET sürücü devre, sinyal izolasyonu devrelerinden oluşmaktadır. Şekil 6.8'de 5 seviye gerilim kartı devre yapısı görülmektedir.

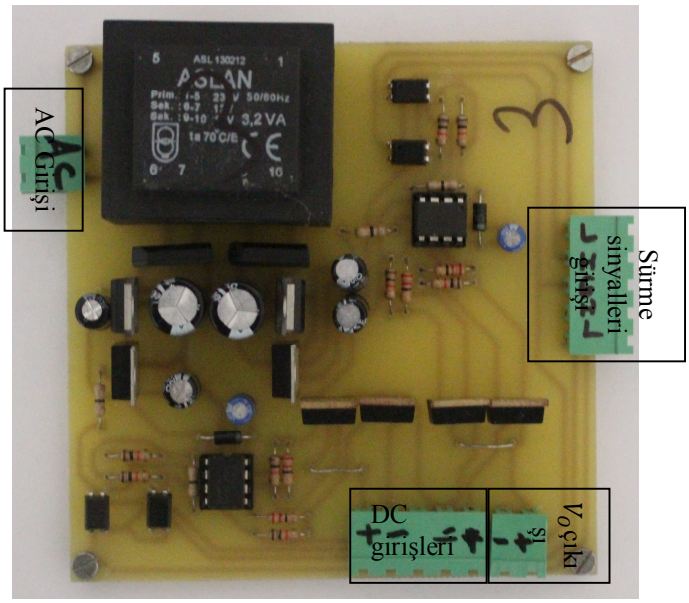


Şekil 6.8. 5 seviye gerilim kartı devre yapısı

Tez uygulamasında 13-seviyeli gerilim için tasarlanan inverter sistemin bünyesinde 6 adet seri bağlı yarım köprü inverter bulunmaktadır. 13-seviyeli gerilim devresi, mikroişlemci kartı bünyesinde bulunan yarım köprü ve 3 adet 5 seviye gerilim kartı devresi birbirine seri bağlanarak oluşturulur.

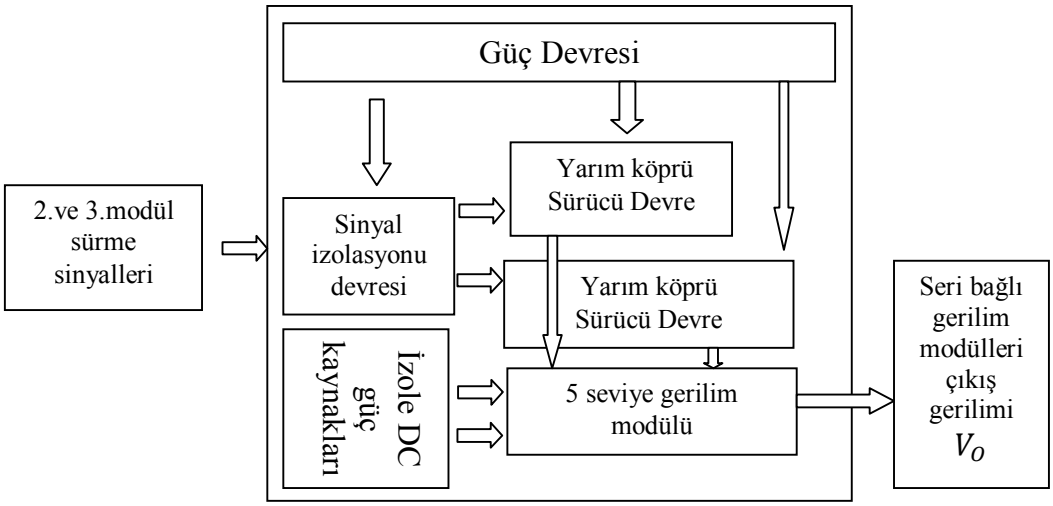
5-seviyeli gerilim kartı devresi modüler olarak tasarlanmıştır. Her gerilim kartı devresinde, diğer bir gerilim kartı devresine bağlanabilmesi V_O çıkışı klemensinden + ve – uçları bağlantı pinleri bulunmaktadır.

Şekil 6.9'da 5-seviyeli gerilim kartı görülmektedir. S_1, S_2 ve S_3, S_4 MOSFET'leri bir birine seri bağlı iki ayrı yarım köprü MOSFET'leri olarak alınmıştır. Bu yüzden S_1, S_2 ve S_3, S_4 MOSFET'leri için birer adet sürücü devresi bulunmalıdır.



Şekil 6.9. 5 seviye gerilim kartı devresi

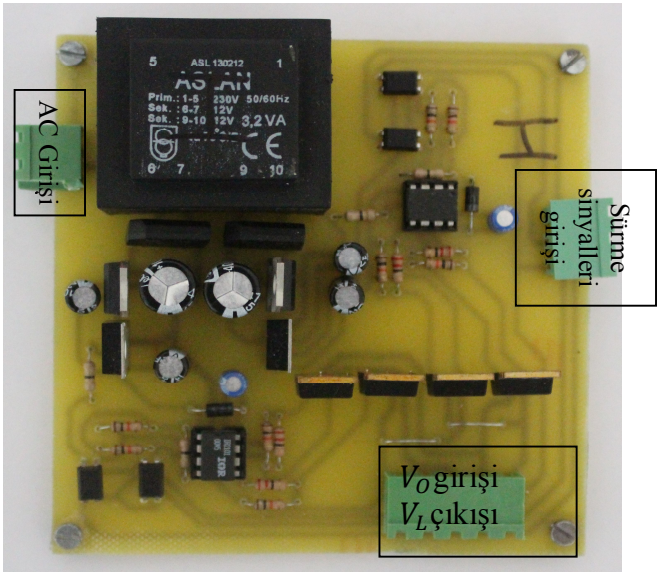
Mikroişlemci devresinden 4 adet sürme sinyali ve mikro işlemci besleme gerilimi toprağı bu devreye klemensler arasındaki kablo bağlantısı ile girer. Daha sonra gelen bu sinyaller izolasyon devrelerinden geçerek sürücü devreye gelir. Sürücü devresinde 5V'luk sinyaller 15V'a yükseltilir ve MOSFET'lere uygulanır. Şekil 6.10'da H-köprü inverter kartı çalışmasını görsel bir şekilde açıklayan akış diyagramı görülmektedir.



Şekil 6.10. 5 seviye gerilim kartı akış diyagramı

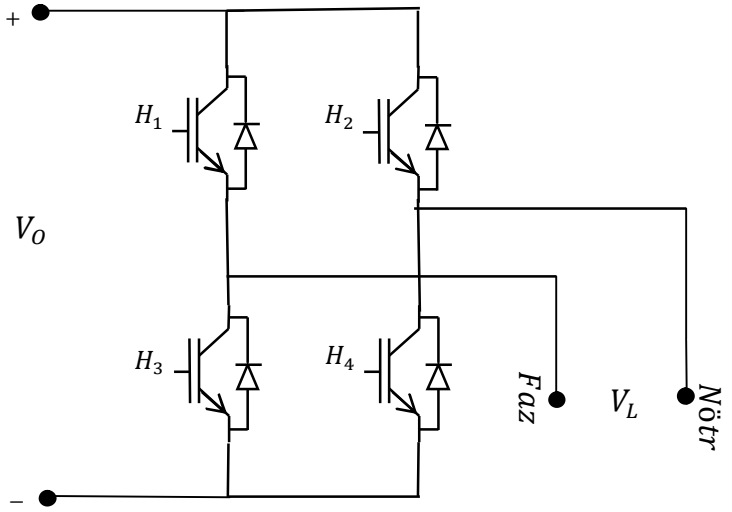
6.2.3. H-köprü inverter kartı

H-köprü inverter 2 adet paralel bağlı yarım köprü modülden oluşmaktadır. Aynı zamanda besleme devresi, MOSFET sürücü devre, sinyal izolasyonu devrelerinden oluşmaktadır. Şekil 6.11'de H-köprü inverter devresi görülmektedir.



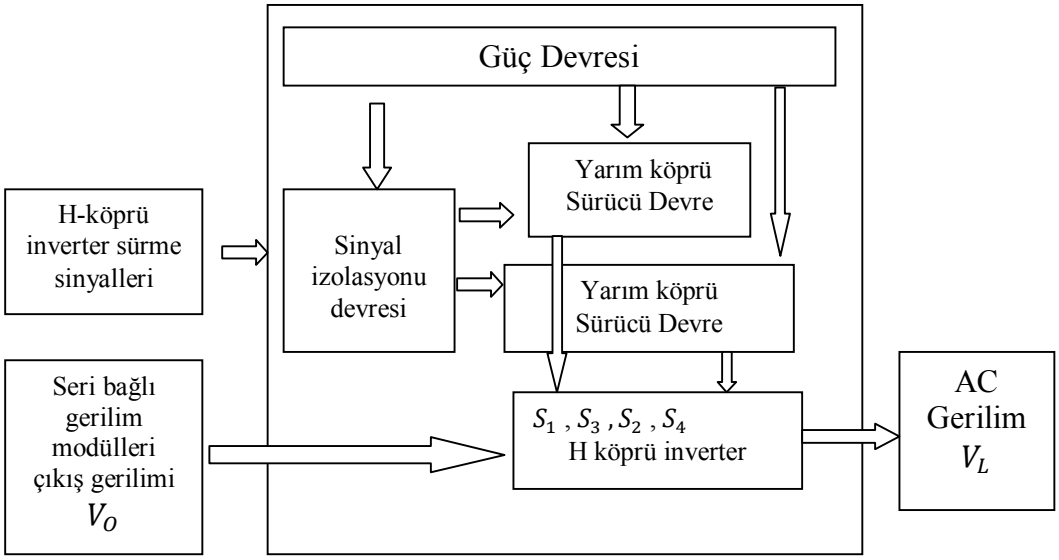
Şekil 6.11. H-köprü inverter kartı

Şekil 6.11'de H-köprü inverter kartı görülmektedir. H_1, H_3 ve H_2, H_4 H-köprü yapısını oluşturan iki ayrı yarım köprü MOSFET'leri olarak alınmıştır. Bu yüzden H_1, H_4 ve H_2, H_3 anahtarlarına aynı sürme sinyali uygulanmalıdır.



Şekil 6.12. H-köprü inverter devresi

Mikroişlemci devresinden 2 adet sürme sinyali ve mikroişlemci besleme gerilimi toprağı bu devreye klemensler arasındaki kablo bağlantısı ile aktarılmaktadır. Daha sonra gelen bu sinyaller izolasyon devrelerinden geçerek sürücü devreye gelir. Sürücü devresinde 5V'luk sinyaller 15V'a yükseltilir ve MOSFET'lere uygulanır. Şekil 6.13'te H-köprü inverter kartı çalışmasını görsel bir şekilde açıklayan akış diyagramı görülmektedir.



Şekil 6.13. H-köprü inverter kartı akış diyagramı

6.2.4. Yarım köprü sürücü devre

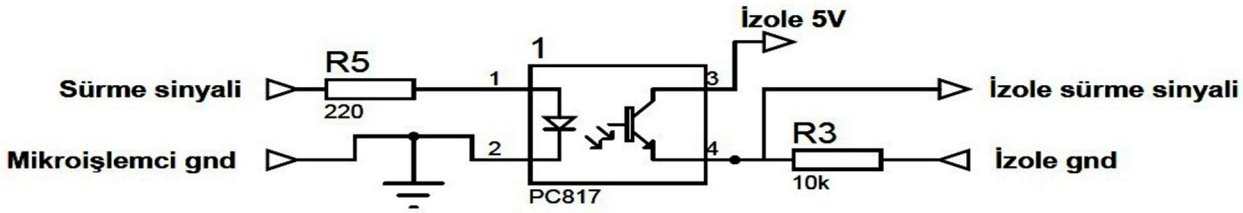
Pratik olarak gerçekleştirilen çok seviyeli inverter sisteminde yer alan yarım köprü modüllerde bahsedildiği üzere yarı iletken anahtar olarak MOSFET

kullanılmıştır. Gerilim kartı ve mikroişlemci kartında bulunan yarım köprü modülleri oluşturan MOSFET'ler IRFZ44N (60V, 50A) olarak, H-köprü inverterdeki MOSFET ise IRFZ640N (200V, 18A) olarak seçilmiştir.

6.2.4.1. Sinyal izolasyonu

Uygulamalarda mikroişlemci devresi ile güç devresi birbirinden elektriksel olarak ayrılmalıdır. Bu işleme izolasyon denilir. Tez uygulamasında sinyal izolasyonu için PC817 optokuplörü kullanılmıştır.

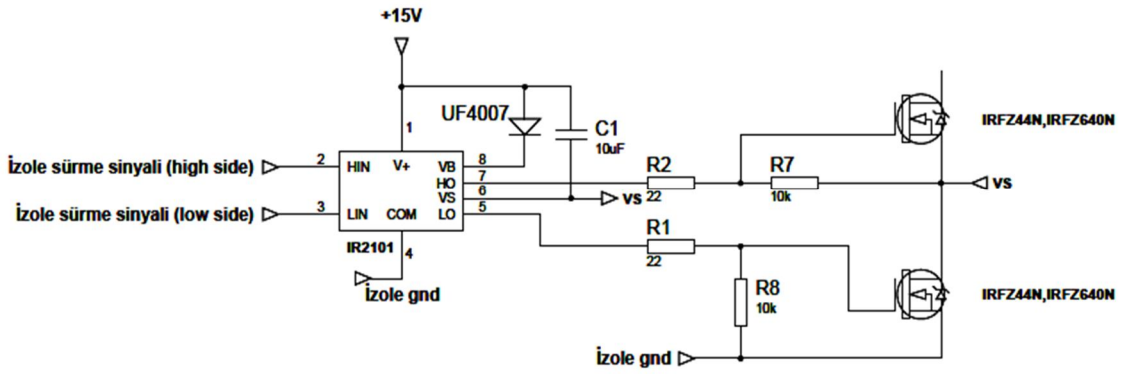
Tez uygulama devresi yarım köprü ve H-köprü inverterlerden meydana gelmektedir. Bu devre yapılarında yer alan MOSFET'ler IR2101 entegresi ile sürülmüştür. Eğer sürme sinyalleri mikroişlemciden izole edilmez ise mikroişlemci devresi güç devresindeki her hangi bir kısa devre vb. durumlarda zarar görebilir



Şekil 6.14. Sinyal izolasyonu devresi

6.2.4.2. MOSFET sürücü entegre

MOSFET sürücü entegre olarak tez uygulama devrelerinde IR2101 entegresi kullanılmıştır. Aynı zamanda bu sürme tekniğine bootstrap sürme tekniği de denilmektedir. Şekil 6.15'te IR2101 bağlantı şekli görülmektedir.



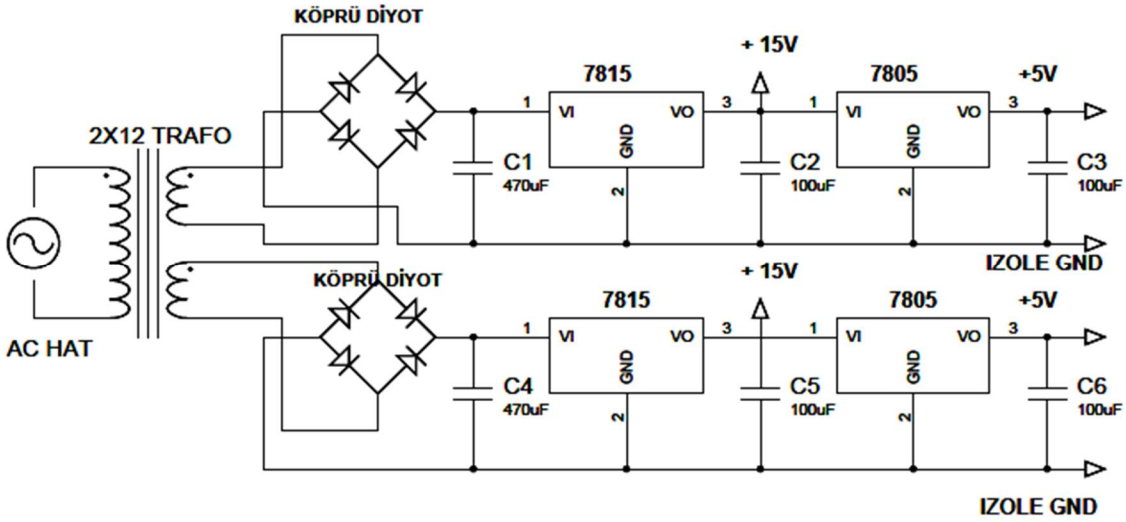
Şekil 6.15. IR2101 entegresi bağlantı şeması

IR2101 entegresi kendi içinde yarım köprü inverter sürmek için V_s pinine sahiptir. V_s ucu yarım köprü inverter bağlantısı için bir MOSFET'in source ucu ile diğer MOSFET'in drain ucuna bağlanmalıdır.

6.2.5. Besleme devresi

Uygulaması yapılan çok seviyeli inverter devresinde bulunan mikroişlemci kartı ve 2 adet seri bağlı yarım köprüden oluşan 5-seviyeli gerilim kartını besleyen ve bu kartlar üzerinde yer alan 2 farklı besleme devresi mevcuttur.

Bu devreler arasındaki tek fark mikroişlemci kartında 1 adet yarım köprü bulunmasından kaynaklanmaktadır. Seviyeli gerilim kartı 2 adet izole 15V ve 2 adet 5V'a ihtiyaç duyarken, mikroişlemci kartı ise 1 adet izole 15V ve 2 adet 5V'a ihtiyaç duyar. Bu yüzden her iki karttaki besleme devre yapısı aynı olarak tasarlanmıştır.



Şekil 6.16. Besleme devresi

Şekil 6.12'den de görüldüğü üzere besleme devresi birbirinden bağımsız 2 adet 5 V ve 15V üretmektedir. Burada trafo izoleli 2 adet AC gerilim sağlamaktadır. Direkt olarak AC şebekeye bağlı 2x12 V trafo üzerinden köprü diyot yardımı ile $12x\sqrt{2}$ tepe değeri olan doğrultulmuş bir AC sinyal elde edilir. Bu sinyal 470 uF ile filtre edilir ve yaklaşık 17V'luk bir DC gerilim elde edilir. Daha sonra gerilim regülatörleri yardımı ile 15 V ve 5 V edilmiş olur.

6.3. HMDGM ve SHEDGM İçin Anahtarlama Sürelerinin Hesaplanması

HMDGM metodu uygulanan çok seviyeli inverter simülasyonu yapılabilmesi için tetikleme açıları hesaplandıktan sonra, bu açıların zaman olarak karşılıkları bulunmalıdır. 100 Hz'lik anahtarlama sinyali için bir periyot 0.01 sn olduğu düşünülürse N_{seviye} gerilim seviyeli inverter anahtarlama açılarının ilk periyottaki başlangıç ve bitiş zamanları denklem takımı (6.1)'deki şekilde hesaplanmalıdır.

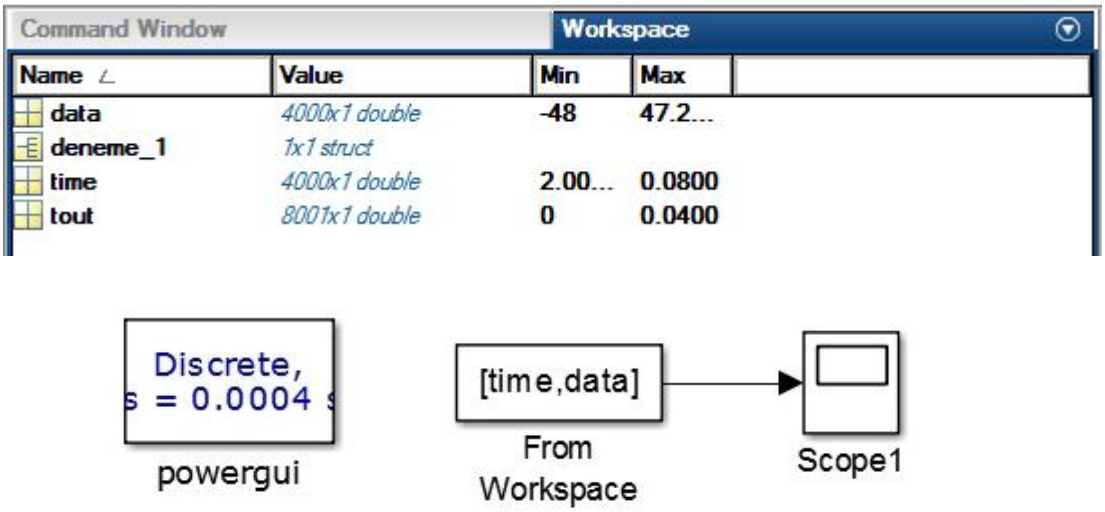
$$\left.\begin{array}{l} t_{n_başlama} = \frac{\alpha_i}{180} * 0{,}01 * 10^6 \mu s \\ t_{n_bitiş} = \frac{180-\alpha_i}{180} * 0{,}01 * 10^6 \mu s \\ t_i = t_{i_başlama} - t_{i_bitiş} \end{array}\right\} \quad n = 1, 2, 3, \ldots . k-1, k \tag{6.1}$$

Tez'de uygulaması yapılacak olan çok seviyeli inverter daha öncede anlatıldığı üzere yarım köprü modüllerden oluşmaktadır. HMDGM metodu uygulanarak yapılacak olan çok seviyeli inverter simülasyonların ihtiyaç duyduğu sürme sinyallerinin elde edilmesi ve simülasyon için başlangıç bitiş değerlerinin çıkarılması genel denklemelere yer verilerek bu bölümde anlatılmıştır. (3.6) denklem takımı kullanılarak, farklı gerilim seviyeli inverter simülasyonları için gerekli olan sürme sinyallerinin matematiksel değerleri elde edilebilir. 3-13-seviyeli gerilim dalga şekli için HMDGM metodu anahtarlama süreleri EK-1'de verilmiştir.

6.4. Deneysel Harmonik Analizi

Daha öncede bahsedildiği üzere tasarlanan çok seviyeli inverter simülasyonları Matlab&Simulink aracılığı ile oluşturulmuş ve Powergui yardımı ile de elde edilen çok seviyeli çıkış sinyallerinin harmonik analizi yapılmıştır.

Bölüm 6'da tasarımına yer verilen anahtar sayısı azaltılmış çok seviyeli inverter devresi üzerinden alınan çok seviyeli gerilimler GW İnstek GDS-1052-U osiloskobu kullanılarak bilgisayar ortamına aktarılmıştır. Deneysel sonuçlar için kullanılan osiloskop direk olarak harmonik analizine olanak sağlamamaktadır. Ancak elde edilen gerilimleri bir excel dosyası altında kodlayarak kullanıcıya sunmaktadır. Elde edilen gerilimlere ait ayrık veriler Matlab'da işlenerek Simulink klasörüne aktarılmış ve daha sonra da Powergui üzerinden harmonik analizi yapılmıştır.



Şekil 6.17. Harmonik analizi için deneysel verilerin Simulink'te işlenmesi Workspace ve Simulink arayüzü

Şekil 6.17'de deneysel verilerin Matlab ortamına taşınması ve Simulinkte işlenmesi sürecine ait olan Matlab/Workspace görüntüsü ve kullanılan Simulink bloğu yapısı görülmektedir.

Deneysel harmonik analizi için izlenilen yol şu şekilde özetlenebilir:

- Şekil 6.17'de görülen Matlab/Workspace bölümünde ilk önce 4000x1 boyutlu bir dizi tanımlanır ve daha sonra osiloskoptan alınan veriler bu diziye aktarılırr.
- İkinci adım ise 4000x1 boyutlu time dizinin tanımlanmasıdır.

Daha sonra simulink dosyası çalıştırılır ve discrete bölümünden FFT Analysis özelliği ile harmonik analizi ara yüzüne ulaşılabilir.

Bu işlemler takip edilerek osiloskop görüntüsü Matlab/Powerguie'ye aktarılmış olunur.

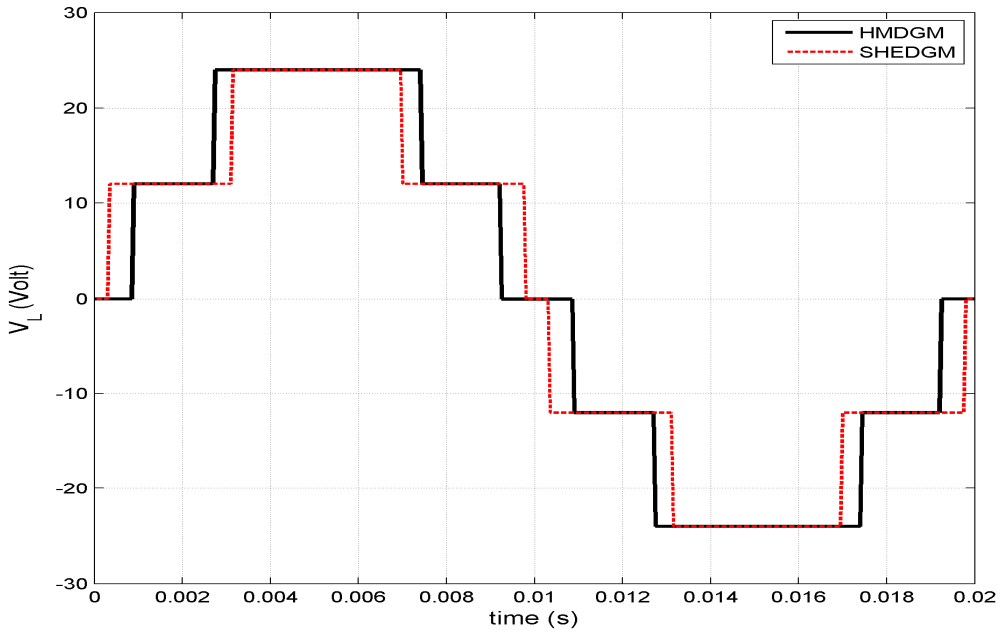
7. HMDGM VE SHEDGM METODLARI İÇİN SİMÜLASYON VE DENEY SONUÇLARI

Tezin bu bölümünde, HMDGM ve SHEDGM metodları ile kontrol edilen anahtar sayısı azaltılmış ÇSİ'nin simülasyon ve deneysel sonuçları sunulmuştur. Simülasyon ve deneysel sonuçlar harmonik içerikleri Çizelgeler ile verilmiştir. Bu Çizelgelerde verilen değerlere, EK-3'ten de ulaşılabilir.

7.1. 5-Seviyeli İnverterin Simülasyon ve Deney Sonuçları

Bu bölümde, 5-seviyeli inverterin çıkış gerilim şekli için elde edilen simülasyon ve deneysel sonuçlara yer verilmiştir.

7.1.1. HMDGM ve SHEDGM metodu ile kontrol edilen inverterin simülasyon sonuçları



Şekil 7.1. 5-seviyeli inverterin çıkış gerilim dalga şekli

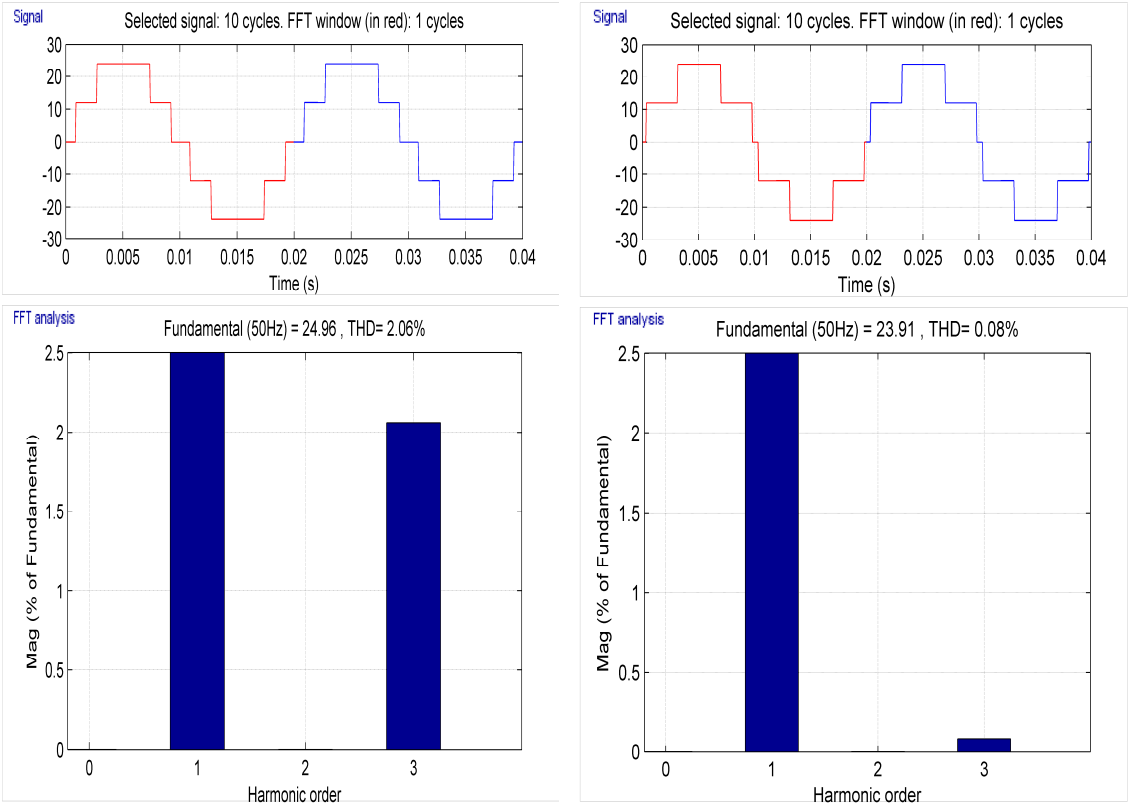
Şekil 7.1'de HMDGM ve 3. harmonik eliminasyonlu SHEDGM için çıkış gerilimlerinin zamana bağlı değişimleri verilmiştir. Sözü edilen bu iki teknik için çıkış gerilimleri şekil olarak benzerlik gösterse de, HMDGM ve SHEDGM metotlarının harmonik analizleri yapıldığında farklı harmonik bileşenler içerdikleri Çizelge 7.1'de açık bir şekilde görülmektedir.

7.1.2. 5-seviyeli inverter simülasyonunun harmonik analizi

Şekil 7.2'de SHEDGM ve HMDGM ile kontrol edilen inverterin simülasyonu için 3.harmonik bileşenleri ve elenen harmoniğe kadar olan THD değeri görülmektedir. Bu iki Simulink çıktısı karşılaştırıldığında SHEDGM'nin THD değerini %2.06'dan %0.08 indirdiği görülmektedir.

Çizelge 7.1. HMDGM ve SHEDGM metodları ile kontrol edilen 5-seviyeli inverterin simülasyon sonuçlarının harmonik analizi

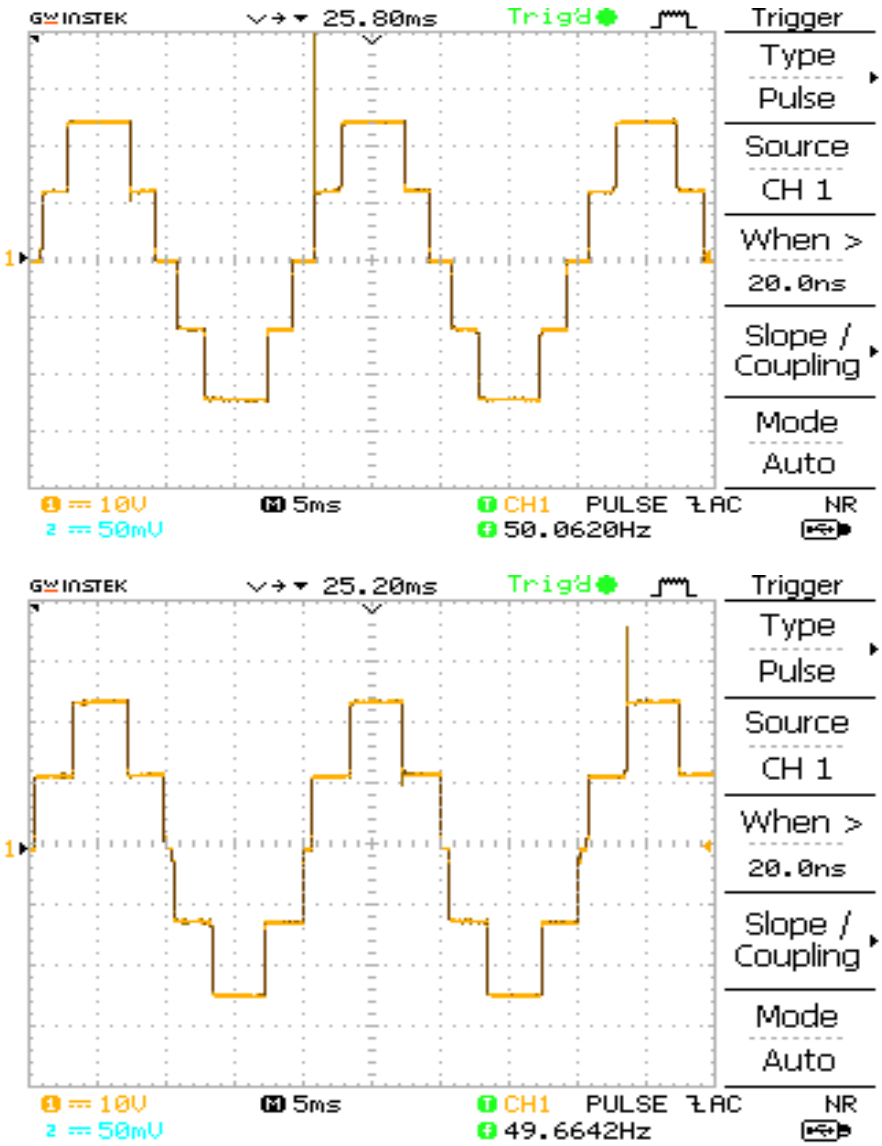
Harmonik Sırası	Harmoniğin genliği %	
	HMDGM	**SHE**
1	100	100
3	**2.06**	**0.08**
5	2.66	13.11
7	5.95	15.62
9	2.75	0.23
11	10.82	1.28
13	4.93	7.06
15	1.08	0.32
17	1,63	2.46
19	2.44	2.73
21	3.01	0.33
Toplam Harmonik (THD %)	**14.64**	**21.39**



Şekil 7.2. HMDGM ve SHEDGM metodları ile kontrol edilen 5-seviyeli inverterin simülasyon sonuçlarının harmonik analizi

Çizelge 7.1 incelendiğinde, 5-seviyeli gerilim ile 1 adet harmonik eliminasyonu yapılabildiği için diğer harmonik bileşenlerin kontrol edilemediği ve dolayısı ile diğer harmonik bileşenlerden bazılarının değerlerinin arttığı sonucuna varılmıştır. Bu nedenle 21.harmoniğe kadar hesaplanan THD değerinin %14.64'ten %21.39'a çıktığı gözlemlenmiştir.

7.1.3. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel sonuçları



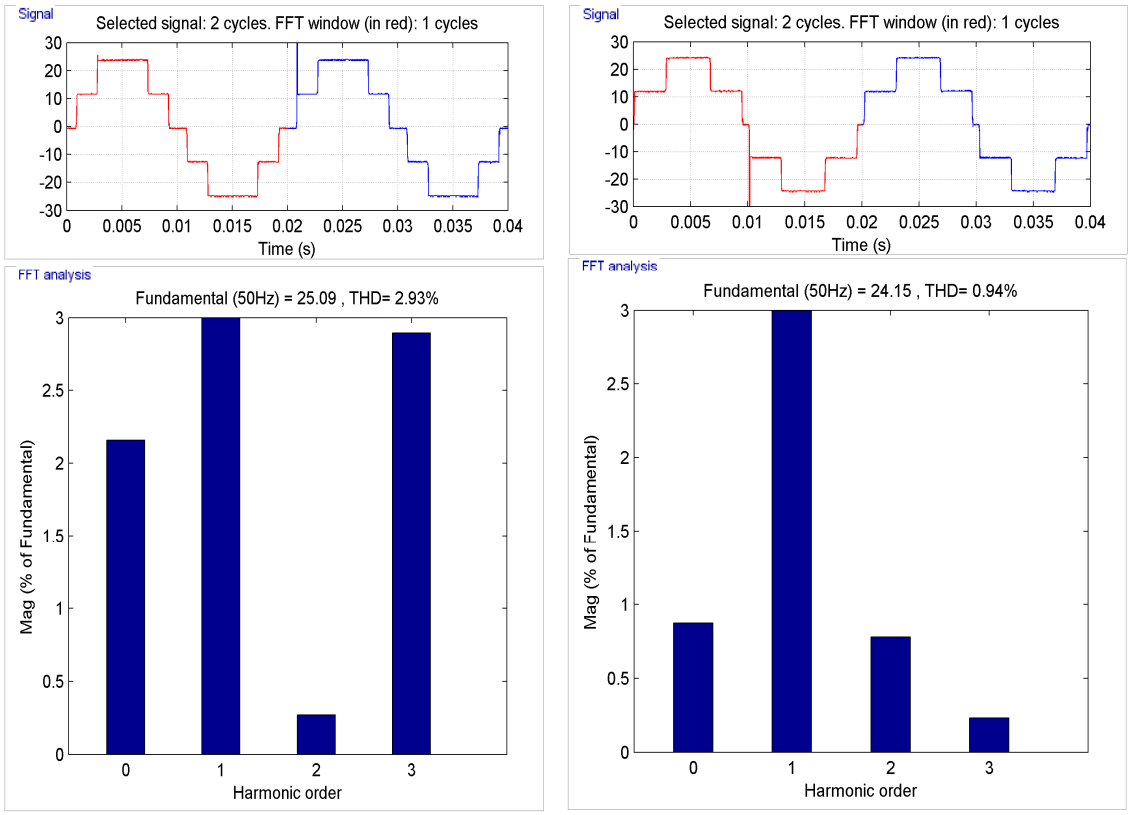
Şekil 7.3. HMDGM ve SHEDGM metodu ile kontrol edilen 5-seviyeli inverterin deneysel çıkış gerilimleri

7.1.4. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel harmonik analizi

Şekil 7.3'de 5-seviyeli HMDGM ve SHEDGM teknikleri için elde edilen deneysel çıkış gerilimleri görülmektedir. İki farklı modülasyon tekniği için çıkış gerilimleri şekil olarak benzerlik göstermektedir ancak farklı harmonik bileşenler içermektedirler. Bu farklılık Çizelge 7.2'de açıkça görülmektedir.

Çizelge 7.2. HMDGM ve SHEDGM metodları ile kontrol edilen 5-seviyeli inverterin deneysel sonuçlarının harmonik analizi

Harmonik Sırası	Harmoniğin genliği %	
	HMDGM	**SHEDGM**
1	100	100
3	**2.89**	**0.23**
5	2.16	13.23
7	6.12	15.61
9	3.75	0.27
11	11.05	1.44
13	3.93	6.99
15	1.12	0.33
17	2.32	2.31
19	1.93	2.67
21	3.94	0.41
Toplam Harmonik (THD %)	**15.11**	**22.06**



Şekil 7.4. HMDGM ve SHEDGM metodları ile kontrol edilen 5-seviyeli inverterin deneysel sonuçlarının harmonik analizi

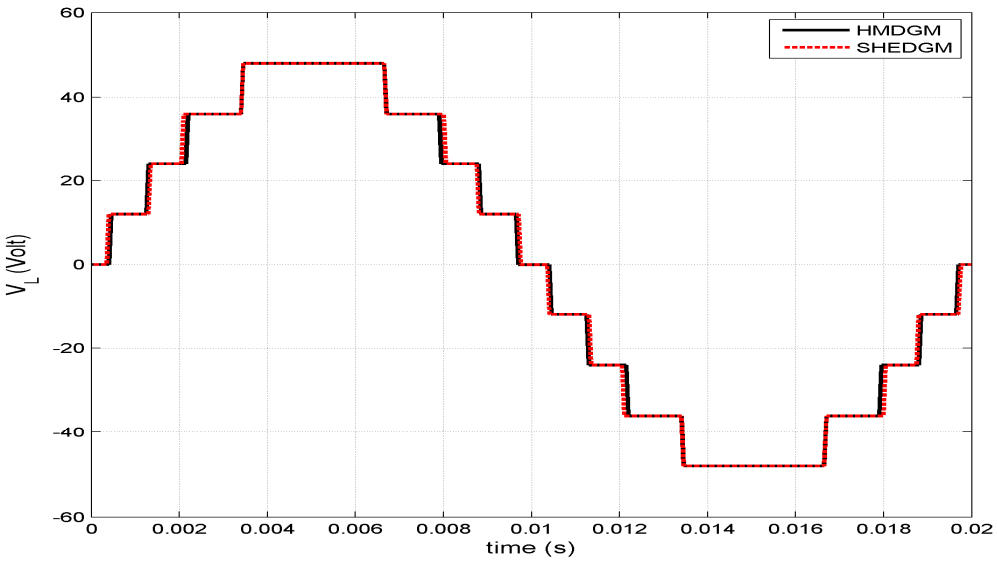
HMDGM ve SHEDGM deneysel sonuçları harmonik analizi yapıldığında, 3. harmonik eliminasyonlu SHEDGM'nin 3.harmoniği %2.89'dan %0.23 seviyesine kadar azalttığı görülmektedir. Ancak 5-seviyeli gerilim ile 1 adet harmonik eliminasyonu yapılabildiği için diğer harmonik bileşenlerin kontrol edilemediği ve dolayısı ile diğer harmonik bileşenlerden bazılarının değerlerinin arttığı gözlemlenmiştir ve bu nedenle 21. harmoniğe kadar hesaplanan THD değerinin %15.11'den %22.06'ya çıktığı gözlemlenmiştir. Şekil 7.4'te SHEDGM ve HMDGM simülasyonu için elenen 3. harmonik harmoniğe kadar olan THD değeri görülmektedir. Bu iki Simulink çıktısı karşılaştırıldığında SHEDGM'nin THD değerini %2.93'ten %0.94 seviyesine kadar azalttığı görülmektedir.

7.2. 9-Seviyeli İnverterin Simülasyon ve Deney Sonuçları

Bu bölümde 9-seviyeli gerilim şekli için elde edilen simülasyon ve deneysel sonuçlara yer verilmiştir.

7.2.1. HMDGM ve SHEDGM metodu ile kontrol edilen inverterin simülasyon sonuçları

Şekil 7.5'te HMDGM ve 3., 5. ve 7. harmonik eliminasyonlu SHEDGM için çıkış gerilimlerinin zamana bağlı değişimleri verilmiştir.



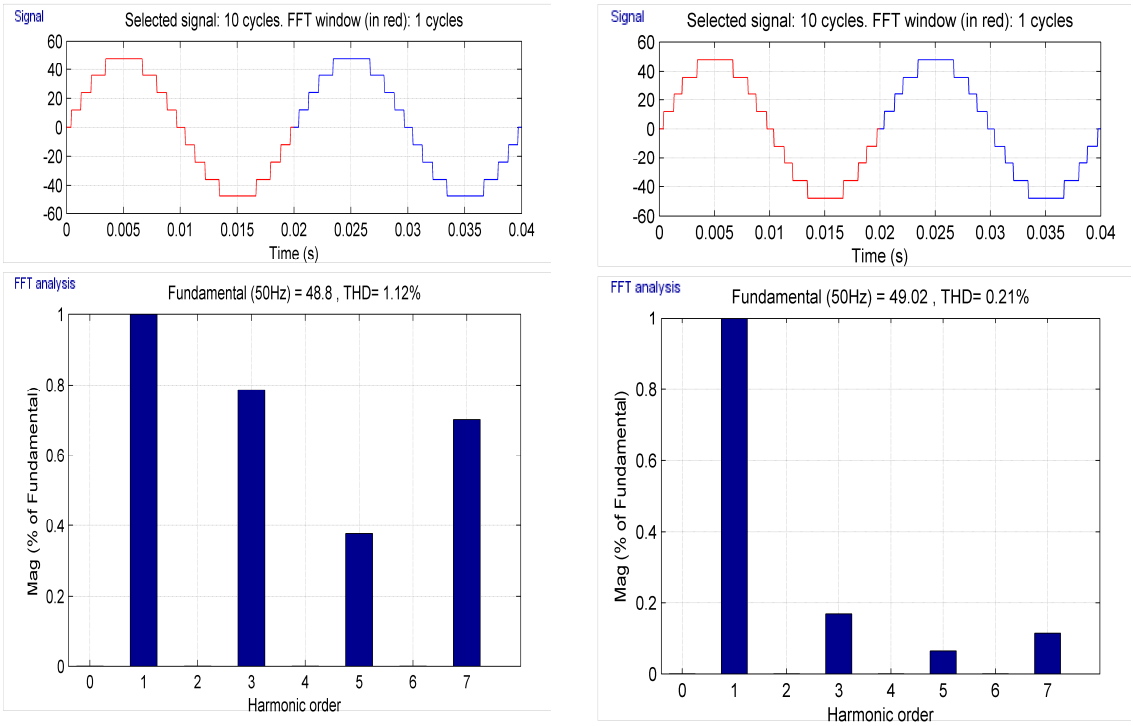
Şekil 7.5. 9-seviyeli inverterin çıkış gerilim dalga şekli

HMDGM ve SHEDGM metotları için anahtarlama açıları birbirine yakın elde edilmiştir. Ancak simülasyon sonuçları analiz edildiğinde HMDGM ve SHEDGM metotlarının farklı harmonik bileşenler içerdikleri görülmektedir. Harmonik bileşenlerin %'de olarak büyüklükleri her iki metot için Çizelge 7.3'te verilmiştir.

7.2.2. 9-seviyeli inverter simülasyonunun harmonik analizi

Çizelge 7.3. HMDGM ve SHEDGM metodları ile kontrol edilen 9-seviyeli inverterin simülasyon sonuçlarının harmonik analizi

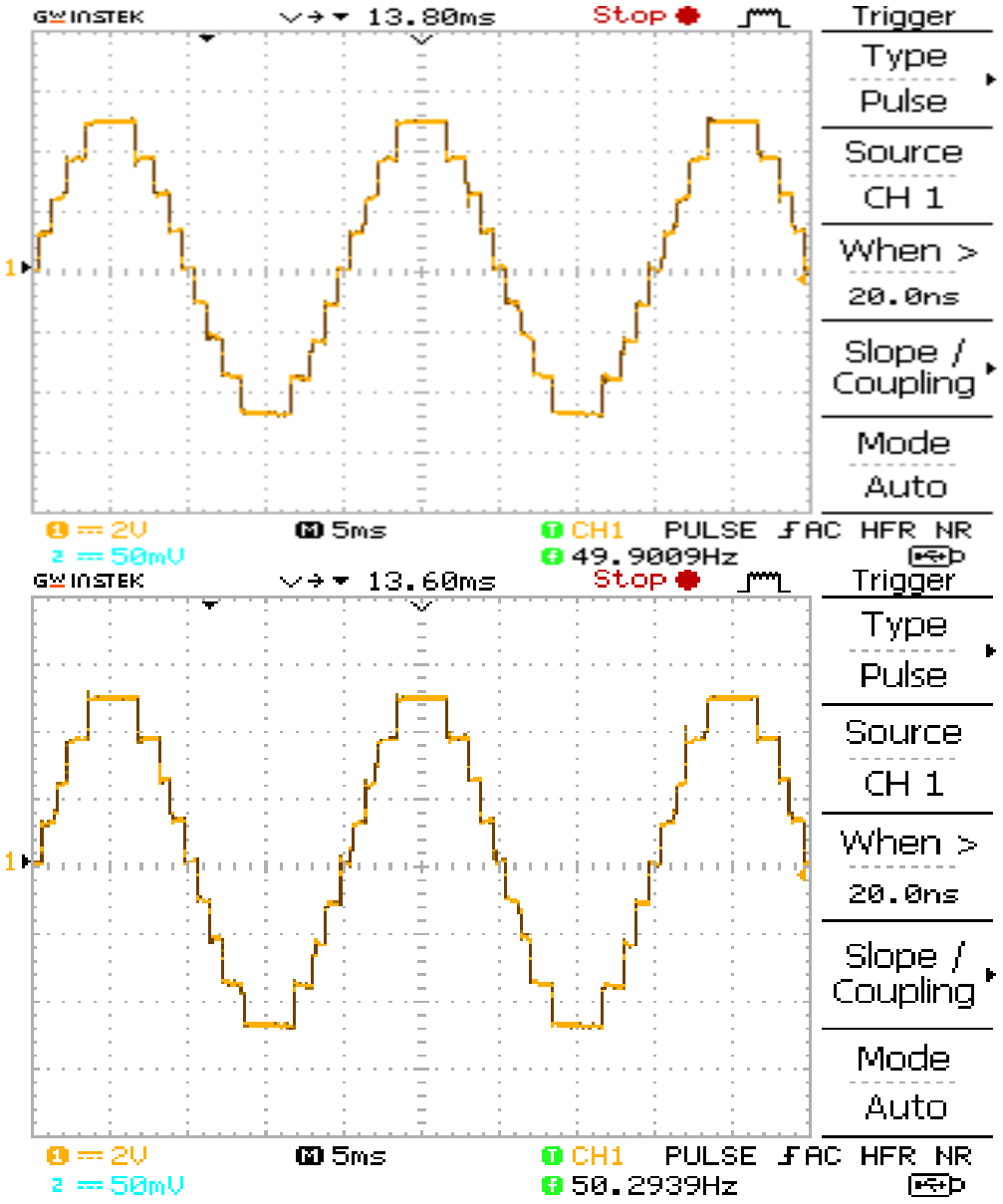
Harmonik Sırası	Harmoniğin genliği %	
	HMDGM	**SHEDGM**
1	100	100
3	**0.79**	**0.17**
5	**0.38**	**0.06**
7	**0.7**	**0.12**
9	1.71	1.5
11	2.62	4.27
13	0.15	1.58
15	2.37	2.02
17	2.91	2.21
19	1.92	1.71
21	2.78	1.99
Toplam Harmonik (THD %)	6.04	6.23



Şekil 7.6. HMDGM ve SHEDGM metodları ile kontrol edilen 9-seviyeli inverterin simülasyon sonuçlarının harmonik analizi

HMDGM ve SHEDGM sonuçları harmonik analizi yapıldığında, 3., 5. ve 7. harmonik eliminasyonlu SHEDGM'nin 3.harmoniği %0.79'dan %0.17, 5.harmoniği %0.38'dan %0.06'ya ve 7.harmoniği %0.7'den %0.12 indirerek 0'a yaklaştırdığı görülmektedir. 3 adet harmonik eliminasyonu yapıldığı için diğer harmonik bileşen değerleri kontrol edilememekte ve dolayısı ile diğer harmonik bileşenlerden bazılarının değerleri artmaktadır. Bu nedenle 21.harmoniğe kadar hesaplanan THD değeri %6.04'ten %6.23'e çıktığı gözlemlenmiştir.

7.2.3. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel sonuçları



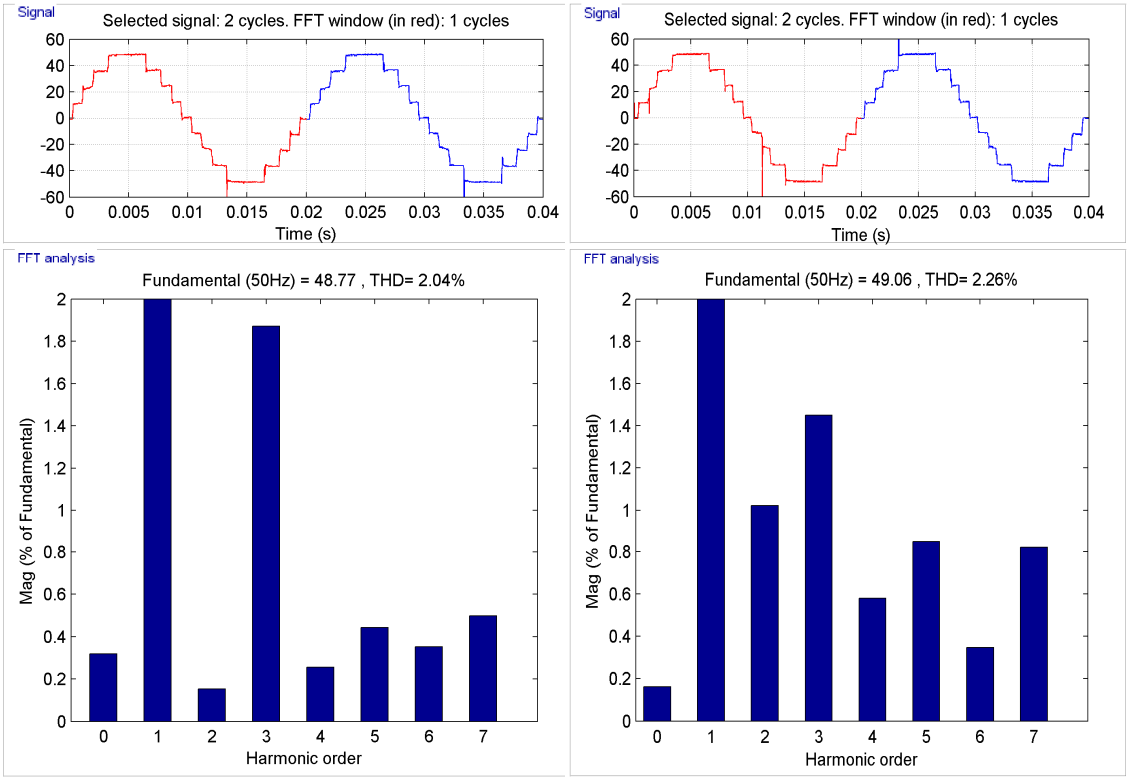
Şekil 7.7. HMDGM ve SHEDGM metodu ile kontrol edilen 9-seviyeli inverterin deneysel çıkış gerilimleri

Şekil 7.7 ve Şekil 7.11'de 9 ve 11-seviyeli inverter çıkış gerilimi analiz edilirken osiloskop probu 10x konumuna alınmıştır. Gerçek gerilim değerlerlerini elde etmek için osiloskoptan okunan veriler 10 ile çarpılmalıdır. Kısacası 8'e bölünen osiloskop düşey düzlemi her bölümü 20V'a denk gelmektedir.

7.2.4. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel harmonik analizi

Çizelge 7.4. HMDGM ve SHEDGM metodları ile kontrol edilen 9-seviyeli inverterin deneysel sonuçlarının harmonik analizi

Harmonik Sırası	Harmoniğin genliği %	
	HMDGM	**SHEDGM**
1	100	100
3	**1.87**	**1.45**
5	**0.44**	**0.85**
7	**0.5**	**0.82**
9	1.94	1.71
11	2.36	3.82
13	0.72	0.7
15	2.76	2.84
17	2.6	1.52
19	1.07	0.95
21	3.4	2.71
Toplam Harmonik (THD %)	**6.44**	**6.59**



Şekil 7.8. HMDGM ve SHEDGM metodları ile kontrol edilen 9-seviyeli inverterin deneysel sonuçlarının harmonik analizi

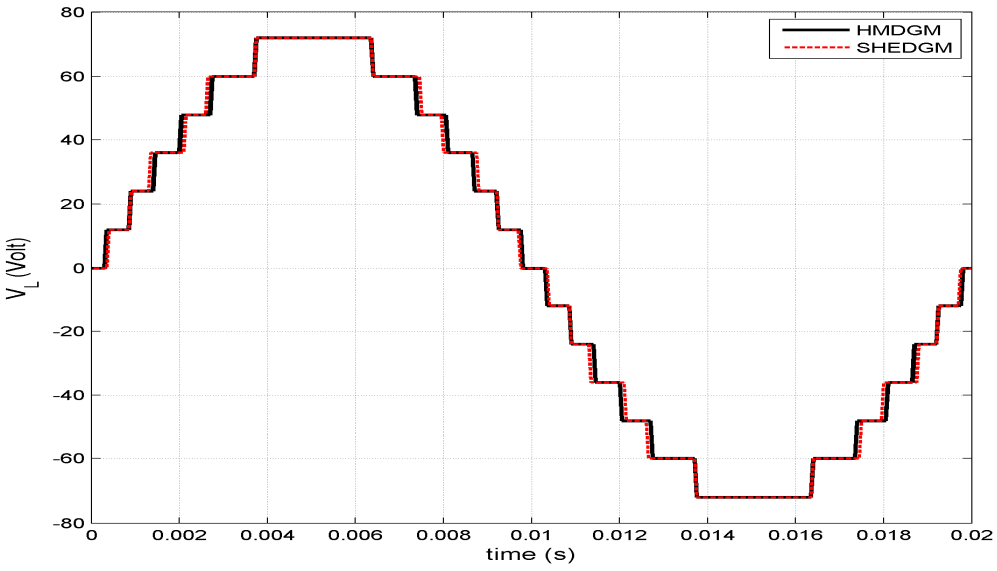
Şekil 7.8'de 9-seviyeli HMDGM ve SHEDGM teknikleri için elde edilen deneysel çıkış gerilimleri görülmektedir. Çizelge 7.4 incelendiğinde iki farklı modülasyon tekniğinin farklı harmonik bileşenler içerdiği sonucuna varılabilir.

HMDGM ve SHEDGM deneysel sonuçları harmonik analizi yapıldığında, 3. harmonik eliminasyonlu SHEDGM 3.harmoniği %1.87'den %1.45 seviyesine kadar azaltmaktadır. Eliminasyonu yapılmak istenen 5. ve 7. harmonik değerlerinin %0.5 seviyelerinden %0.8 seviyelerine kadar arttığı gözlenmektedir. 21.harmoniğe kadar hesaplanan THD değerinin %6.44'den %6.59'a çıktığı gözlemlenmiştir. Şekil 7.8'de SHEDGM ve HMDGM uygulaması için elenen 7. harmoniğe kadar olan THD değeri görülmektedir. Bu iki Simulink çıktısı karşılaştırıldığında SHEDGM'nin THD değerini %2.04'ten %2.26 seviyesine çıktığı görülmektedir.

7.3. 13- Seviyeli İnverterin Simülasyon ve Deney Sonuçları

Bu bölümde 13-seviyeli gerilim şekli için elde edilen simülasyon ve deneysel sonuçlara yer verilmiştir.

7.3.1. HMDGM ve SHEDGM metodu ile kontrol edilen inverterin simülasyon sonuçları



Şekil 7.9. 13-seviyeli inverterin çıkış gerilim dalga şekli

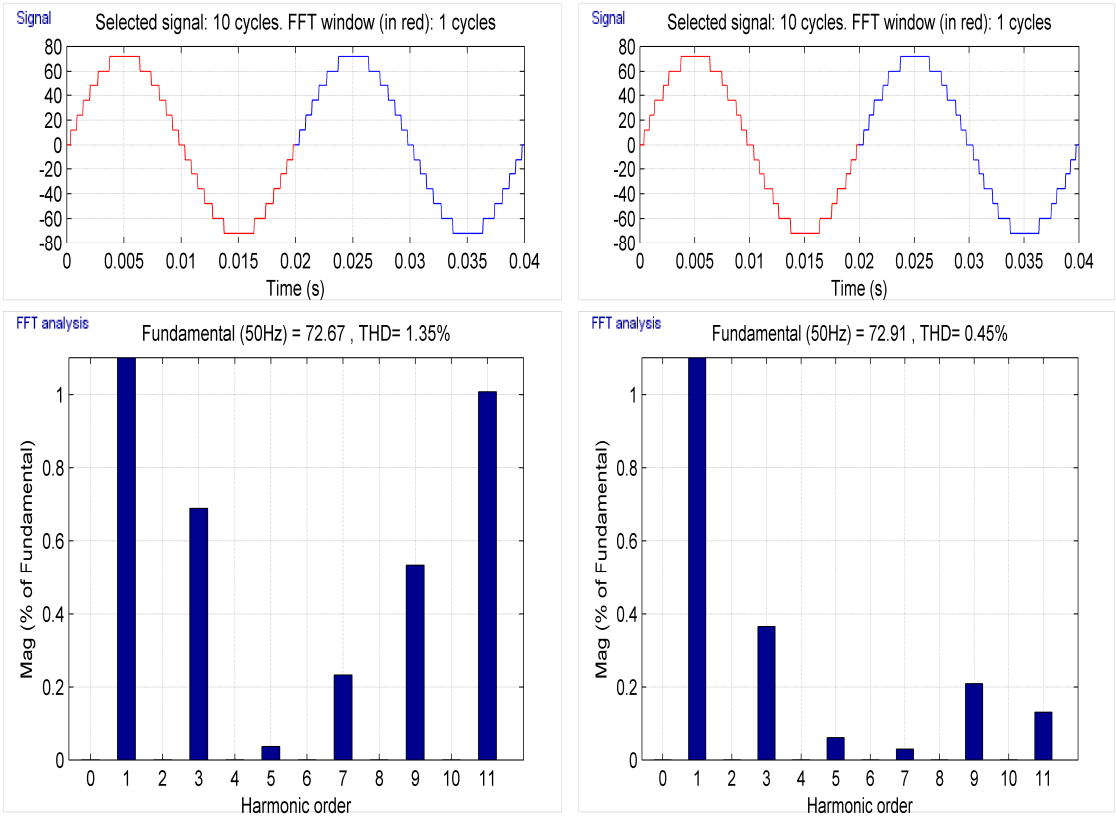
Şekil 7.9'da HMDGM ve 3., 5., 7., 9. ve 11. harmonik eliminasyonlu SHEDGM için çıkış gerilimlerinin zamana bağlı değişimleri verilmiştir.

7.3.2. 13-seviyeli inverter simülasyonunun harmonik analizi

Şekil 7.10'da SHEDGM ve HMDGM simülasyonu için 3., 5., 7., 9. ve 11. harmonik bileşenleri ve elenen harmoniğe kadar olan THD değeri görülmektedir. Bu iki Simulink çıktısı karşılaştırıldığında SHEDGM'nin THD değerini %1.35'ten %0.45 seviyesine kadar indirdiği görülmektedir.

Çizelge 7.5. HMDGM ve SHEDGM metodları ile kontrol edilen 13-seviyeli inverterin simülasyon sonuçlarının harmonik analizi

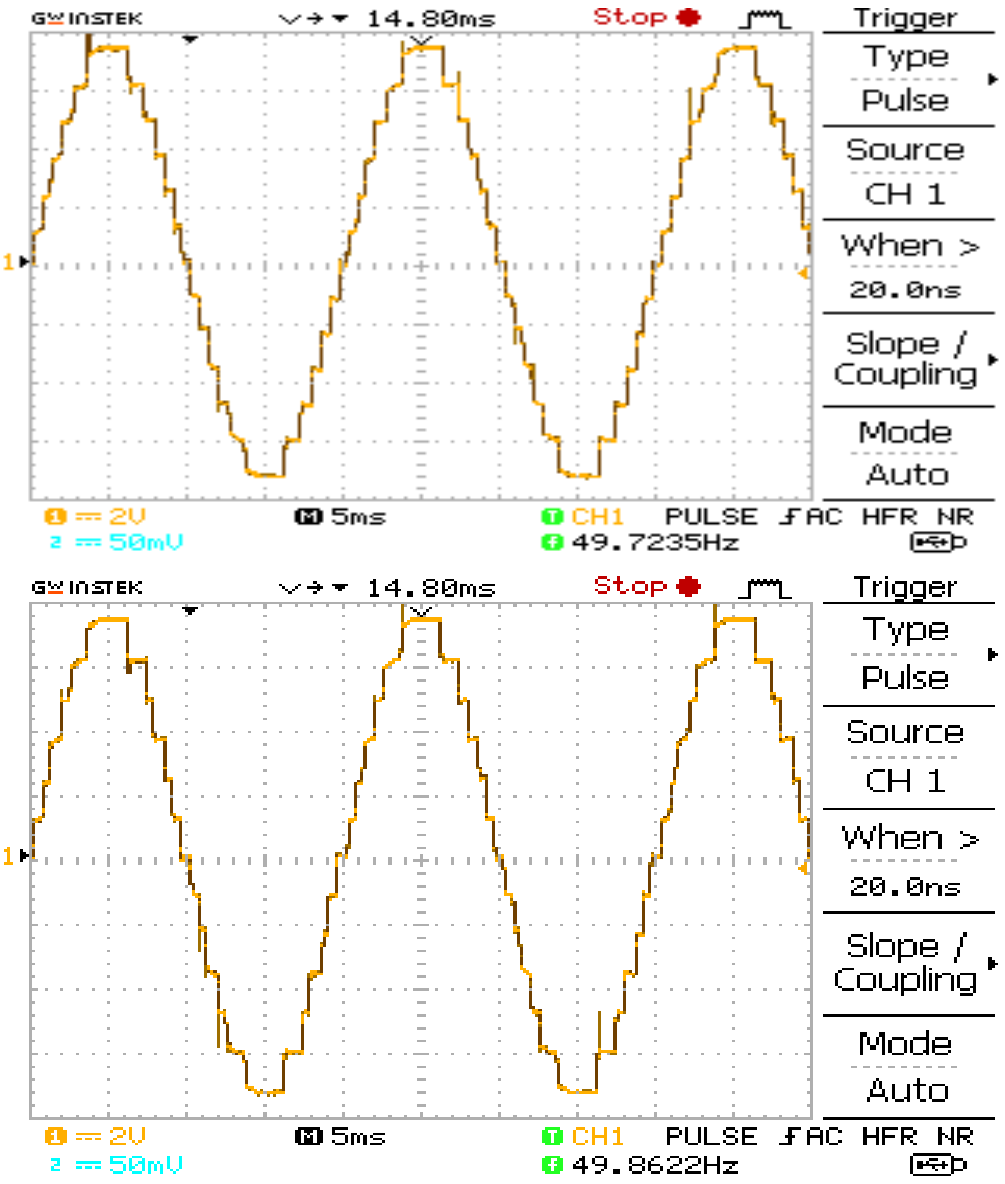
Harmonik Sırası	Harmoniğin genliği %	
	HMDGM	**SHEDGM**
1	100	100
3	**0.69**	**0.37**
5	**0.04**	**0.06**
7	**0.23**	**0.03**
9	**0.53**	**0.21**
11	**1.01**	**0.13**
13	1.3	3,34
15	0.79	0.39
17	0.52	1.95
19	1.62	0.96
21	1.38	0.37
Toplam Harmonik (THD %)	2.99	4.04



Şekil 7.10. HMDGM ve SHEDGM metodları ile kontrol edilen 13-seviyeli inverterin simülasyon sonuçlarının harmonik analizi

3., 5., 7. ve 9. harmonik eliminasyonlu SHEDGM'nin 3.harmoniği %0.69'dan %0.37'ye, 7.harmoniği %0.23'ten %0.03'e, 9.harmoniği %0.53'ten %0.21'e, 11.harmoniği %1.01'den %0.13 seviyesine kadar azalttığı görülmektedir. 5. harmonik bileşenin HMDGM analizindeki değere göre %0.04'ten %0.06'ya çıktığı görülmüştür. 21.harmoniğe kadar hesaplanan THD değeri %2.99'dan %4.04'e çıktığı gözlemlenmiştir.

7.3.3. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel sonuçları



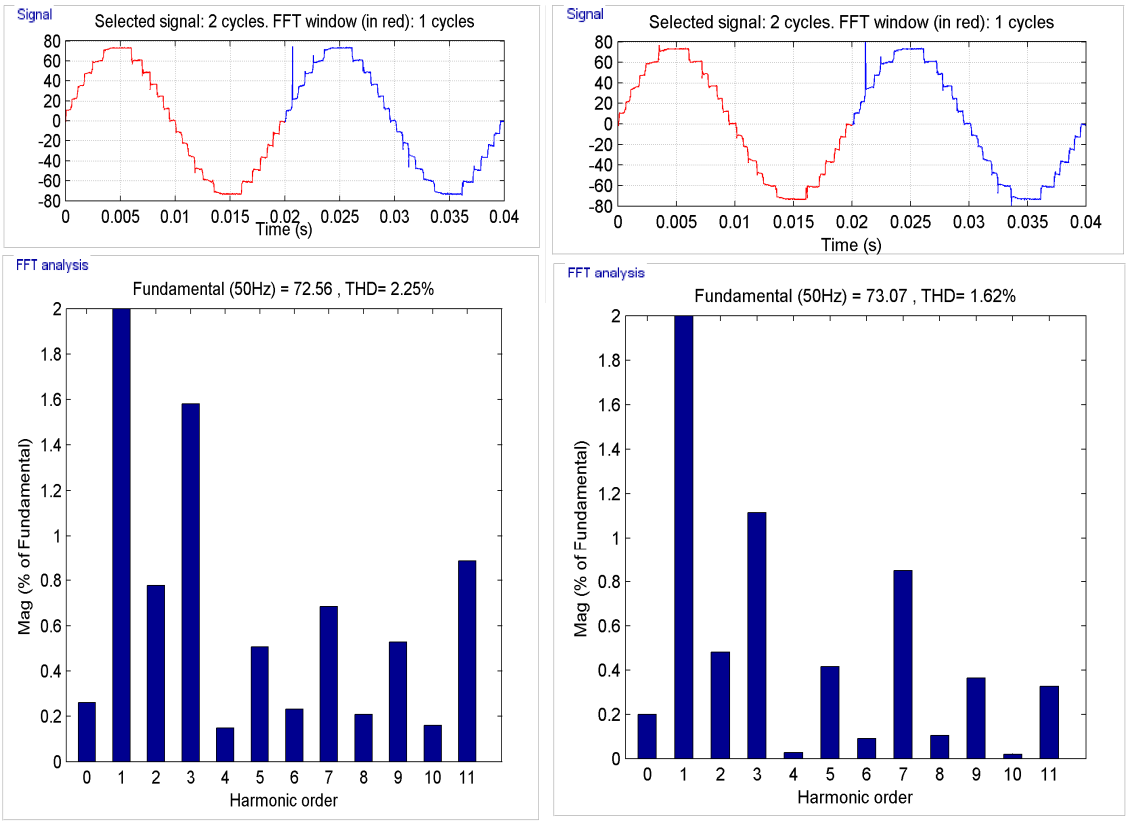
Şekil 7.11. HMDGM ve SHEDGM metodu ile kontrol edilen 13-seviyeli inverterin deneysel çıkış gerilimleri

7.3.4. HMDGM ve SHEDGM metodu ile kontrol edilen inverter deneysel harmonik analizi

Şekil 7.11'de 13-seviyeli HMDGM ve SHEDGM teknikleri için elde edilen deneysel çıkış gerilimleri görülmektedir. Çizelge 7.6 incelendiğinde iki farklı modülasyon tekniğinin farklı harmonik bileşenler içerdiği sonucuna varılabilir.

Çizelge 7.6. 13-seviyeli gerilim için HMDGM ve SHE metodları deneysel çalışma sonuçları harmonik analizi

Harmonik Sırası	Harmoniğin genliği %	
	HMDGM	**SHEDGM**
1	100	100
3	**1.58**	**1.11**
5	**0.51**	**0.41**
7	**0.68**	**0.85**
9	**0.53**	**0.36**
11	**0.89**	**0.33**
13	1.11	2.94
15	1	0.97
17	0.17	1.67
19	1.20	0.75
21	1.53	0.58
Toplam Harmonik (THD %)	3.37	4



Şekil 7.12. 13-seviyeli gerilim için HMDGM ve SHE metodları deneysel çalışma sonuçları harmonik analizi

HMDGM ve SHEDGM deneysel sonuçları harmonik analizi yapıldığında, 3., 5., 7., 9. ve 11. harmonik eliminasyonlu SHEDGM 3.harmoniği %1.58'den %1.11'e, 5.harmoniği %0.51'den %0.41'e, 9.harmoniği %0.53'den %0.36'ya, 11.harmoniği %0.89'dan %0.33 seviyesine kadar azaltmaktadır. Eliminasyonu yapılmak istenen 7. harmonik değerin %0.68 seviyesinden %0.85 seviyesine çıktığı gözlenmektedir. 13-seviyeli gerilim, 6 adet harmonik eliminasyonuna olanak sunduğu için diğer harmonik bileşenlerin kontrol edilemediği ve dolayısı ile diğer harmonik bileşenlerden bazılarının değerlerinin arttığı sonucuna varılmıştır. Bu yüzden 21.harmoniğe kadar hesaplanan THD değeri %6.44'den %6.59'a yükselmiştir. Şekil 7.12'de SHEDGM ve HMDGM uygulaması için elenen 11.harmonik harmoniğe kadar olan THD değeri görülmektedir. Bu iki Simulink çıktısı karşılaştırıldığında SHEDGM'nin THD değerini %2.25'ten %1.62'ye indiği görülmektedir.

7.4. Farklı Seviyelerde HMDGM ve SHEDGM'nin Karşılaştırılması

HMDGM tekniği çıkış geriliminin sinüs sinyaline yaklaştırmayı ve çıkışta minimum harmonikli bir gerilim elde etmeyi amaçlamaktadır. Aynı zamanda anahtar sayısı azaltılmış çok seviyeli inverterlerde seviye sayısının artması, çıkış gerilimi THD değerlerini ve çıkış gerilimi genliğini de etkilemektedir. Bu bölümde, 5, 9, 13-seviyeli HMDGM ve SHEDGM metotları uygulanan anahtar sayısı azaltılmış çok seviyeli inverter simülasyonlarından edilen THD değerleri ve modülasyon değerleri karşılaştırılmaktadır.

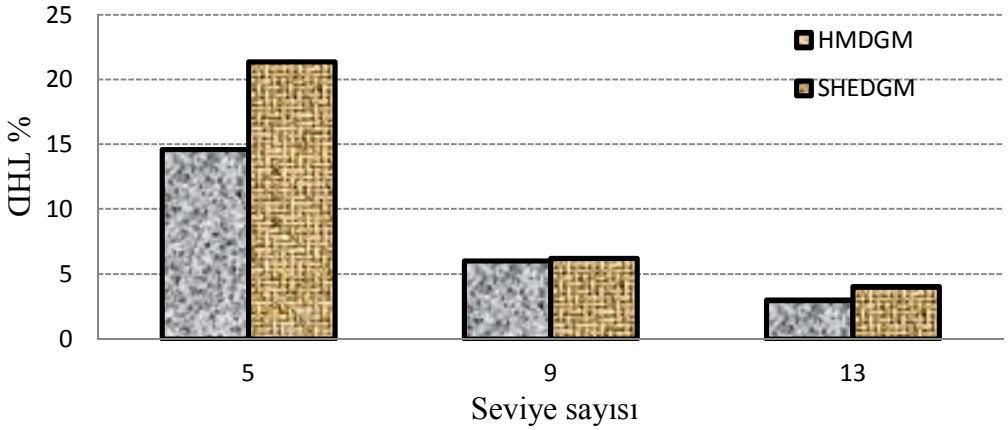
7.4.1. THD değerinin karşılaştırılması

Çok seviyeli inverterlerde HMDGM tekniği için seviye sayısının artması ile çıkış gerilimi harmonik bileşenleri azalmaktadır ve dolayısı ile THD değeri de azalmaktadır.

Çizelge 7.7'de 5, 9 ve 13 seviyeli çıkış gerilimi için elde edilen simülasyon değerleri görülmektedir. 5-seviyeli gerilim için 21. harmoniğe kadar hesaplanan genel THD değeri %14.64 iken, seviye sayısının artması ile seviye sayısının 13 olduğu durum için %2.99'a seviyesine azalmaktadır.

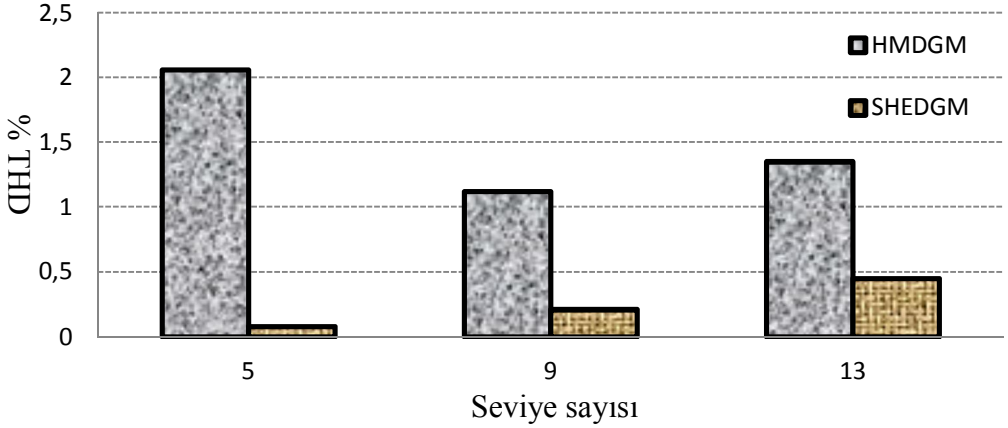
Çizelge 7.7. HMDGM ve SHEDGM metodu uygulanan anahtar sayısı azaltılmış çok seviyeli inverter için THD değerlerinin seviye sayısına göre değişimi

Seviye sayısı	**Toplam harmonik bozulma (% THD)**			
	21.harmoniğe kadar		Elenen harmoniğe kadar	
	HMDGM	SHEDGM	HMDGM	SHEDGM
5	14.64	21.39	2.06	0.08
9	6.04	6.23	1.12	0.21
13	2.99	4.04	1.35	0.45



Şekil 7.13. HMDGM ve SHEDGM metodu uygulanan anahtar sayısı azaltılmış çok seviyeli inverter için 21. harmoniğe kadar hesaplanan THD değerinin değişimi

Şekil 7.13 ve Çizelge 7.7'den genel THD değeri ile seviye sayısının her iki metot içinde ters orantılı olarak değiştiği sonucuna varılabilir. Aynı zamanda seviye sayısının artması ile SHEDGM tekniğinin yok ettiği harmonik sayısının da artmasına olanak sağlamakta ve inverter çıkışındaki THD değerini azaltmaktadır.



Şekil 7.14. HMDGM ve SHEDGM metodu uygulanan anahtar sayısı azaltılmış çok seviyeli inverter için elenen harmoniğe kadar hesaplanan THD değerinin değişimi

Şekil 7.14'te SHEDGM ve HMDGM metodu için elenen harmoniğe kadar hesaplanan THD değeri görülmektedir. SHEDGM metodu, HMDGM metoduna göre 5, 9 ve 13 seviyede daha düşük harmonik değerleri içermektedir. Çıkışında 5-seviye için

250Hz ve altındaki, 9-seviye için 450 Hz ve altındaki, 13 seviye için ise 650 Hz ve altındaki frekansları geçiren alçak geçiren filtre ile SHEDGM tekniği, HMDGM tekniğine göre daha düşük harmonik içeren çıkış gerilimi elde edilebilmesine olanak sağlamaktadır. Böylelikle SHEDGM uygulanan çok seviyeli inverter çıkışındaki alçak geçiren filtre boyutları da küçülmektedir.

7.4.2. Modülasyon değerinin karşılaştırılması

HMDGM tekniğinde dikkat çekilmesi gereken ve literatürde pek yer verilmeyen diğer bir nokta ise artan seviye sayısı ile modülasyon değerinin değişimidir. HMDGM tekniğinde artan seviye sayısı ile çıkış gerilimi şeklinin daha çok sinüse benzemesi sonucunda modülasyon kavramı 1'e yaklaşmaktadır. Çizelge 7.8'de 5 ile 13 seviye arasında, her iki metot için elde edilen modülasyon değerlerinin değişimine yer verilmiştir.

Çizelge 7.8. HMDGM ve SHEDGM metodu uygulanan anahtar sayısı azaltılmış çok seviyeli inverter için modülasyon değerlerinin seviye sayısına göre değişimi

Seviye sayısı	Modülasyon	
	HMDGM	SHEDGM
5	$\frac{24.96}{24} = 1.04$	$\frac{23.91}{24} = 0.996$
9	$\frac{48.8}{48} = 1.017$	$\frac{49.02}{48} = 1.021$
13	$\frac{72.67}{72} = 1.009$	$\frac{72.91}{48} = 1.013$

5, 9, 13-seviyeli inverter simülasyonu için modülasyon terimi, EK-3.1 ve EK-3.2'de yer verilen temel gerilim değerinin, seviye sayısına göre değişen seviye modülleri toplam DC gerilim değerlerine oranı alınarak hesaplanabilir.

Genetik Algoritma tabanlı SHEDGM tekniği ile elde edilen simülasyon çıkış gerilimleri HMDGM tekniği değerlerine göre Çizelge 7.8'den görüldüğü üzere küçük sapmalar göstermektedir. Ancak Genetik Algoritma'nın bir optimizasyon yöntemi olduğunu düşünürsek bu sapmalar olağan sonuç olarak karşımıza çıkmaktadır ve göz ardı edilebilir.

8. SONUÇLAR VE ÖNERİLER

Bu tez çalışmasında ilk olarak literatürde yer alan temel çok seviyeli inverter çeşitleri araştırılmıştır. Bünyesinde çok sayıda yarı iletken anahtar barındırması nedeniyle sistem maliyetini de göz önünde bulundurarak daha az anahtar kullanan çok seviyeli inverter çeşitleri incelenmiştir. Bunların sonucunda yarım köprü modüllü çok seviyeli inverter sisteminin farklı seviye sayıları için simülasyonları ve deneysel uygulaması yapılmıştır.

Simülasyonu ve deneysel olarak uygulaması yapılan çok seviyeli inverter devresine HMDGM ve SHEDGM teknikleri uygulanmış, elde edilen çıkış gerilim harmonik değerleri iki teknik için karşılaştırılmıştır. SHEDGM metodu için gerekli olan anahtarlama açıları Genetik Algoritma programı ile elde edilmiştir.

HMDGM simülasyon sonuçlarında 5-seviyeli gerilim için 21.harmoniğe kadar hesaplanan THD değeri %14.64 iken, seviye sayısının artması ile seviye sayısının 13 olduğu durum için %2.99'a kadar azalmıştır. Uygulama sonuçlarında ise 5-seviyeli gerilim için THD değeri %15.11 iken, seviye sayısının 13 olduğu durum için %3.77'a kadar azalmıştır. Simülasyon ve deneysel sonuçlar birbirlerinden çok az bir sapma göstermiştir. Seviye sayısının artması ile 21. harmoniğe kadar hesaplanması tercih edilen THD değerinin azaldığı simülasyon sonuçlarının yanında uygulama sonuçları ile de desteklenmiştir.

Tezin asıl amacı olan Genetik Algoritma tabanlı SHEDGM sonuçları incelenecek olunursa 5-seviyeli gerilim için yok edilmek istenen 3.harmonik değerinin simülasyonda %2.06'dan %0.08'e düştüğü, uygulamada ise 2.89'dan 0.23'e kadar azaldığı görülmektedir ve simülasyon sonuçları ile uygulama sonuçlarının birbirini destekler nitelikte olduğu sonucuna varılabilir. 9 ve 13 seviyede SHEDGM tekniği simülasyonu harmonik değerleri incelendiğinde, HMDGM tekniğine göre elimine edilmek istenen harmonik değerlerinin 0'a yaklaştırıldığı görülmektedir. Uygulama sonuçlarından da istenilen harmoniklerin eliminasyonunun etkili bir şekilde yapıldığı sonucuna ulaşılmıştır. SHEDGM metodu HMDGM metoduna göre 5, 9 ve 13 seviyede daha düşük harmonik değerleri içermektedir. Çıkışında 5-seviye için 250Hz ve altındaki, 9-seviye için 450 Hz ve altındaki, 13 seviye için ise 650 Hz ve altındaki frekansları geçiren filtre ile SHEDGM tekniği, HMDGM tekniğine göre daha düşük harmonik içeren çıkış gerilimi elde edilebilmesine olanak sağlamaktadır. Böylece

SHEDGM tekniği uygulanan çok seviyeli inverter, çıkışında daha küçük boyutlu bir filtre tasarımına ihtiyaç duymakta ve alçak geçiren filtre boyutları da küçülmektedir.

Simülasyon çalışmalarında elde edilen AC çıkış gerilimi frekansının 50 Hz iken uygulamadaki frekans değerinin farklı seviye sayısına sahip AC gerilim için 49.6 Hz ile 50.3 Hz arasında değiştiği gözlemlenmiştir. Bu farkın ölçüm hatalarından kaynaklandığı değerlendirilmiştir. Aynı zamanda uygulama sinyalleri için kullanılan PIC18f4520 mikrodenetleyicinin yerine sinyallerdeki gecikmenin, matematiksel denklemler ile hesaplanan harmonik değerlerini büyük ölçüde etkilediğini düşünülürse daha hızlı bir mikrodenetleyici kullanılması sonuçların iyileştirilmesine olanak sağlayabilir.

Deneysel harmonik analizi için harmonik analizine direkt olarak olanak sağlayan gelişmiş bir osiloskop kullanılması, elde edilen simülasyon sonuçları ile deneysel sonuçların arasındaki hata payını düşürmesi açısından oldukça önemlidir. Dolaylı yoldan gerilim şeklini matematiksel veri olarak sağlayan osiloskoplarda harmonik analizi yapılırken alınan verinin bilgisayarda işlenmesi sürecinde, osiloskobun özellikleri çok iyi araştırılmalı ve buna göre bir yol çizilmelidir.

Gelecekte çok seviyeli inverter konusunda çalışacak araştırmacılara, çok seviyeli inverter pratik uygulamasında devrelerini modüler olarak tasarlamalarını öneririz. Seviye sayısının arttırılması böylece daha kolay olacaktır. Yüksek hızlarda çalışma özelliği bulunan DSP kullanılması, özellikle şebeke frekansına yaklaşmak ve daha düzgün harmonik analizi yapabilmek açısından daha iyi sonuç verecektir. Seçici harmonik eliminasyonu için tasarlanacak ve kullanılacak olan yazılımın çok iyi araştırılması ve mümkünse iki farklı teknik ile açıların bulunması ve karşılaştırılmasının yapılması yapılan eliminasyonun etkinliliğini arttıracaktır.

KAYNAKLAR

Babaei, E., Laali, S. and Bayat, Z., 2015, A single-phase cascaded multilevel inverter based on new basic unit with reduced number of power switches, *IEEE transaction on industrial electronics*, Volume 62, No. 2, 922-929

Babaei, E. and Hosseini, H. S., 2009, New cascaded multilevel inverter topology with minimum number of switches, *Energy conversion and management,Iran,* 2761-2767

Banaei, M. R., Salary, E., 2010, New multilevel inverter with reduction of switches and gate driver, *18th Iranian conference on electrical engineering (ICEE2010)*, Isfahan-Iran

Baskaran, J., Thamizharasan, S. and Rajtilak, R., 2012, GA bazed optimization and critical evulation SHE methods for three-level inverter, *International journal of soft computing and engineering ,* Volume-2, Issue-3, India, 321-326

Bektas, E. and Karaca, H., 2015, Harmonic minimization technique for multilevel inverter using cascaded h-bridge modules, *International scientific conference Vol I-UNITEC'15*, Gabrovo-Bulgaria, 139-143

Beşer, E., 2009, Anahtarlama elemanı sayısı ve harmonik optimizasyonu ile bir fazlı çok seviyeli evirici tasarımı, Doktora Tezi, *Kocaeli Üniversitesi Fen Bilimleri Enstitüsü,* Kocaeli

Bodur, H., 2010,Güç elektroniği temel analiz ve sayısal uygulamalar, 1. cilt, *Birsen yayınevi*, İstanbul, 281-283.

Bouhali, O., Bouzaziz, F., Rizoug, N. and Talha, A., 2013, Solving harmonic elimination equations in multi-level inverters by using neural networks, *International journal of information and engineering, Vol.3, No. 2* , India,191-195

Chapra, S. C. and Canale, R. P., 2008, Yazılım ve programlama uygulamalarıyla mühendisler için sayısal yöntemler, 4.cilt, Heperkan, H. ve Kesgin, U., *Literatür yayınları*, İstanbul, 40-300.

Canbaz, R., 2014, Üç seviyeli diyot kenetlemeli evirici ile çıkış geriliminin sabitlenmesi , Yüksek Lisans Tezi, *Gazi Üniversitesi Fen Bilimleri Enstitüsü,* Ankara

Chiasson, J. N., Tolbert M. L., McKenzie, J. K. and Du, Z., 2005, Elimination of harmonics in a multilevel converter using the theory of symmetric polynomials and resultants, *IEEE transaction on industrial electronics*, Volume 13, No. 2, 216-223

Choi, W. K., Kang, F. S., 2009, New H-bridge based multilevel inverter using PWM switchign function, *31st Telecommunications energy conference (INTELLEC 2009),* 1-5

Çamur, S., Arifoğlu, B., Beşer, E., Beşer, E.K., 2005, A novel topology for single-phase five-level inverter, *Proceedings of the 5th WSEAS/IASME int. conf. on power systems, high voltages, electric machines* , Tenerife-SPAIN, 314-319

Çolak İ. ve Kabalcı, E., 2008, Çok seviyeli eviricilerin kontrol yöntemleri, *Tubav bilim dergisi,* Ankara, 45-54

Dahidah, A. S. M., Konstanntinou, G. and Agelidis G. V., 2010, SHEPWM and optimized DC voltage Levels for cascaded multilevel inverters control, *2010 IEEE symposium on industrial electronics and applications (ISIEA 2010),* Malaysia, 143-148

Debnanth, S. and Ray, N., 2012, Harmonic elimination in multilevel inverter using GA and PSO: a comparison, *2012 IEEE students conference on electrical, electronics and Computer Science*

Deniz, E. ve Aydoğmuş, Ö., 2011, SPWM ve SVPWM kullanan üç-seviyeli h-köprü inverter ile beslenen asenkron motor sürücülerinin karşılaştırılması, 6^{th} *International advanced technologies symposium (IATS'11)*, Elazığ, 448-454

El-Naggar, K. and Abdelhamid, T. H., 2008, Selective harmonic elimination of new family of multilevel inverters using genetic algorithms, *Energy conversion and management,* Kuwait, 89-95

Filho, F. J. T., 2012, Real-time selective harmonic minimization for multilevel inverters using genetic algoritm and artificial network angle generation, PhD diss., *University of Tennessee*, Knoxville, 1- 126

Haupt, H. L. and Haupt S. E., 2004, Practical genetic algorithms , 2. cilt, A *Wiley-Interscience publıcation*, USA, 10-100

Kangarlu, M. F. and Babaei, E., 2013, A generalized cascaded multilevel inverter using series submultilevel inverters, *IEEE transaction on power electronics*, Volume 28, No. 2, 625-636

Karaca, H., 2013, A novel topology for multilevel inverter with reduced number of switches, *Proceedings of the world congress on engineering and computer science 2013 Vol I-WCSECS 2013*, San Francisco-USA, 350-354

Karaca, H. and Bektas, E., 2015, GA based selective harmonic elimination in cascaded multilevel inverter with reduced number of switches, *Proceedings of the world congress on engineering and computer science 2015 Vol I-WCSECS 2015*, San Francisco-USA, 204-209

Koçalmış, A., 2005, Uzay vektör PWM kontrollü çok seviyeli inverterin modellenmesi ve benzetimi, Yüksek Lisans Tezi, *Fırat Üniversitesi Fen Bilimleri Enstitüsü,* Elazığ

Koçalmış, A. ve Sünter, S., 2011, Uzay vektör darbe genişlik modülasyon tekniğini kullanan diyot kenetlemeli çok seviyeli eviricinin modellenmesi, *Elektrik-elektronik ve bilgisayar sempozyumu*, Elazığ, 190-194

Kumar, J., Das, B. and Agarwal , P., 2008, Selective harmonic elimination technique for a multilevel inverter , *Fifteenth national power systems conference (NPSC),* IIT Bombay, 608-613

Malinowski, M., Gopakumar, K., Rodrígues and Pérez, A., 2010, A survey on cascaded multilevel inverters, *IEEE transaction on industrial electronics*, Volume 57, No. 7, 2197-2206

Muthuramalingam, A, Balaji, M. and Himavathi, S., 2006, Selective harmonic elimination modulation method for multilevel inverters, *Proceeding of india international conference on power electronics,* 40-45

Nilkar, M., Babaei, E. and Sabahi, M., 2012, A novel new single-phase cascaded multilevel inverter topology using four-level cells, *20th Iranian conference on electrical engineering (ICEE2012)*, Tehran-Iran, 348-353

Ozpineci, B., Tolbert M. L. and Chiasson, J. N., 2005, Harmonic optimization of multilevel converters using genetic algorithms, *IEEE power electronics letter*, Volume 3, No. 3, 92-95

Park, F. S., Kang F. S., Lee M. H. and Kim C. U., 2003, A new single-phase five-level pwm inverter employing a deadbeat control scheme , *IEEE transaction on industrial electronics*,Volume 18, No. 3, 831-843

Rodrígues, J., Lai J. S. and Peng F. Z., 2002, Multilevel inverters: a survey of topologies, controls, and applications, *IEEE transaction on industrial electronics*, Volume 49, No. 4, 724-738

Tuncer, S., 2004, Uzay vektör darbe genişlik modülasyonu kullanan beş seviyeli inverter tasarımı ve uygulaması, Doktora Tezi, *Fırat Üniversitesi Fen Bilimleri Enstitüsü,* Elazığ

Wanmin, F., Du, X. and Wu, B., 2010, Generalized half-wave symmetry SHEPWM formulation for multilevel voltage ınverters, *IEEE transaction on industrial electronics,* Volume 57, No. 9, 3030-3038

Wells, J. R., Geng, X., Chapman, P. L., Krein, T. P. and Nee, B. M., 2007, Modulation-based harmonic elimination, *IEEE transaction on power electronics*, Volume 22, No. 1, 336-340

EK-1 HMDGM Simülasyonu İçin Hesaplanan 5-13-Seviyeli Gerilim Anahtarlama Süreleri

Çizelge EK-1.1. 5-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	Açı Başlama (°) Açı Bitiş (°)	Açı Başlama (µs) Açı Bitiş (µs)
1	14.48 165.52	805 9195
2	48.59 131.31	2700 7300

Çizelge EK-1.2. 7-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	Açı Başlama (°) Açı Bitiş (°)	Açı Başlama (µs) Açı Bitiş (µs)
1	9.59 170.41	534 9466
2	30 150	1667 8333
3	56.44 123.56	3136 6864

Çizelge EK-1.3. 9-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	Açı Başlama (°) Açı Bitiş (°)	Açı Başlama (µs) Açı Bitiş (µs)
1	7.18 172.82	399 9601
2	22.02 157.98	1224 8776
3	38.68 151.32	2150 7850
4	61.04 118.96	3392 6608

Çizelge EK-1.4. 11-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	Açı Başlama (°) Açı Bitiş (°)	Açı Başlama (µs) Açı Bitiş (µs)
1	5.74 174.26	319 9681
2	17.46 162.54	970 9030
3	30 150	1667 8333
4	44.43 135.57	2469 7531
5	64.16 115.84	3565 9435

Çizelge EK-1.5. 13-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	Açı Başlama (°) Açı Bitiş (°)	Açı Başlama (µs) Açı Bitiş (µs)
1	4.78 175.22	266 9734
2	14.48 165.52	805 9195
3	24.62 155.38	1369 8631
4	35.69 144.31	1983 8017
5	48.59 131.41	2700 7300
6	66.44 113.56	3692 6308

EK-2 SHEDGM Simülasyonu İçin Hesaplanan 5-13-Seviyeli Gerilim Anahtarlama Süreleri

Çizelge EK-2.1. 5-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	**Açı Başlama (°)** **Açı Bitiş (°)**	**Açı Başlama (µs)** **Açı Bitiş (µs)**
1	5.1 174.9	284 9716
2	54.95 125.05	3053 6947

Çizelge EK-2.2. 7-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	**Açı Başlama (°)** **Açı Bitiş (°)**	**Açı Başlama (µs)** **Açı Bitiş (µs)**
1	14.32 165.68	796 9204
2	25.27 154.73	1404 8596
3	57.35 122.65	3187 6813

Çizelge EK-2.3. 9-seviyeli gerilim şekli anahtarlama açıları

Açı numarası/ Modül numarası	**Açı Başlama (°)** **Açı Bitiş (°)**	**Açı Başlama (µs)** **Açı Bitiş (µs)**
1	6.25 173.75	347 9653
2	22.63 157.37	1258 8742
3	36.73 143.27	2041 7959
4	60.62 119.38	3368 6632

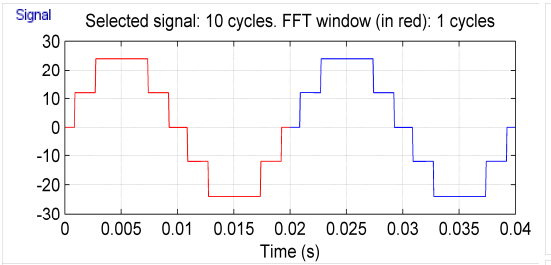
Çizelge EK-2.4. 11-seviyeli gerilim şekli anahtarlama açıları

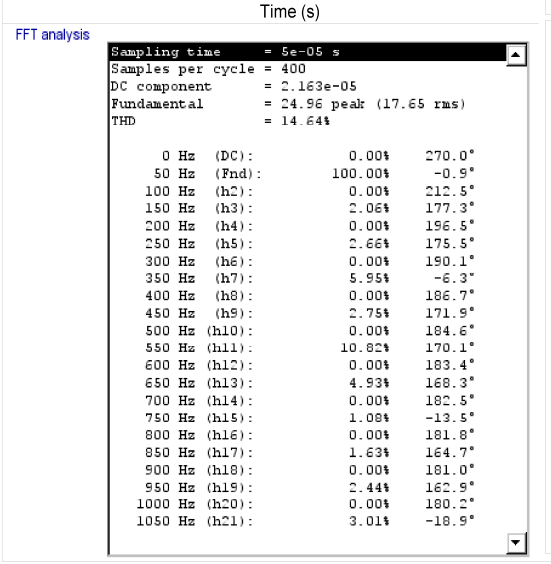
Açı numarası/ Modül numarası	**Açı Başlama (°)** **Açı Bitiş (°)**	**Açı Başlama (µs)** **Açı Bitiş (µs)**
1	6.53 173.47	363 9637
2	16.44 163.56	914 9086
3	31.05 149.95	1726 8274
4	42.34 137.66	2353 7647
5	64.06 115.94	3559 6441

Çizelge EK-2.5. 13-seviyeli gerilim şekli anahtarlama açıları

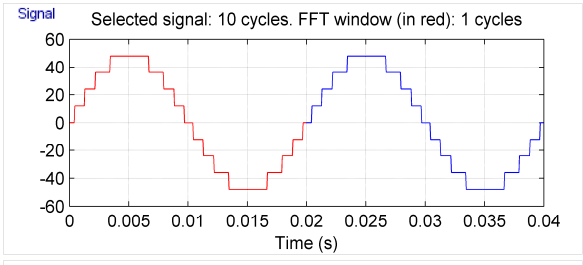
Açı numarası/ Modül numarası	Açı Başlama (°) Açı Bitiş (°)	Açı Başlama (µs) Açı Bitiş (µs)
1	5.56 174.44	309 9691
2	14.9 165.1	828 9172
3	22.86 157.14	1271 8729
4	37.18 142.82	2066 7934
5	46.18 133.82	2566 7434
6	66.41 113.59	3690 6310

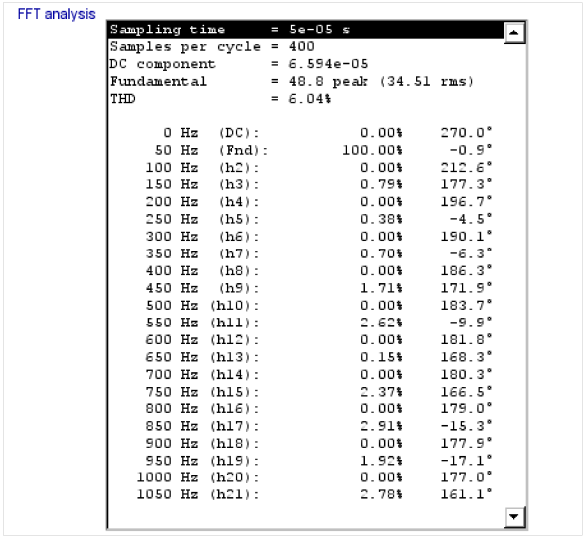
EK-3 Simülasyon ve Deneysel Uygulama İçin Harmonik Değerleri Liste Görünümü



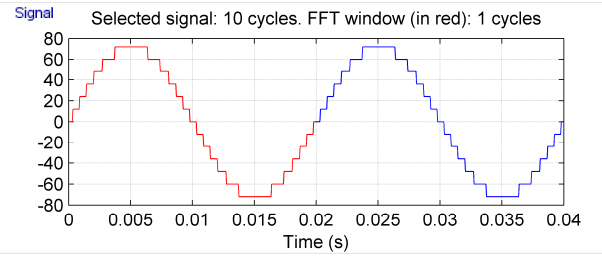


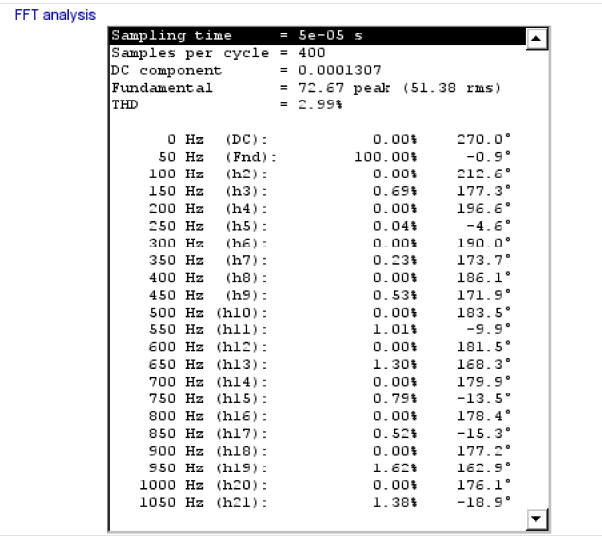
a





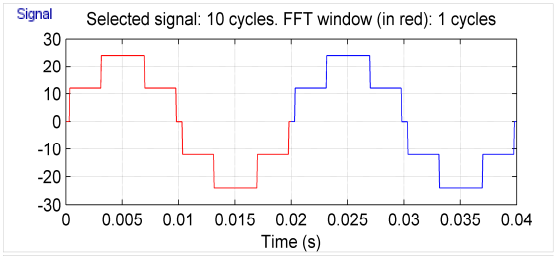
b

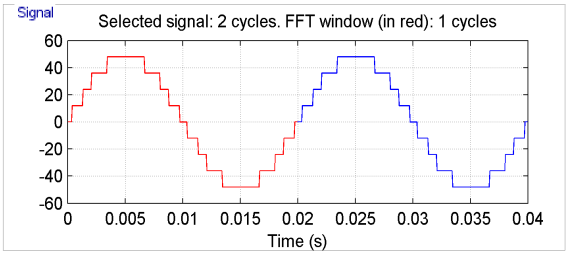


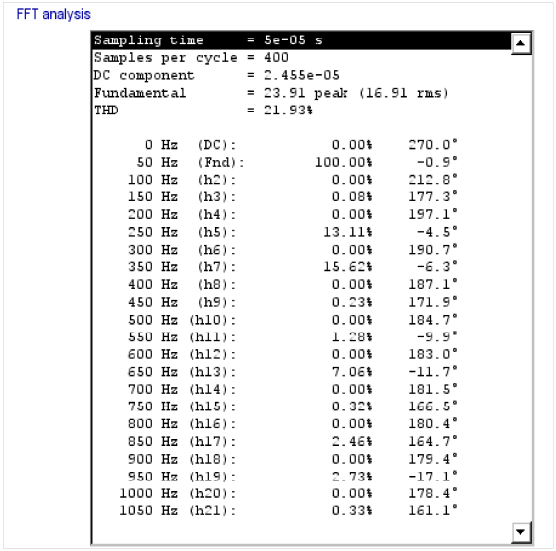


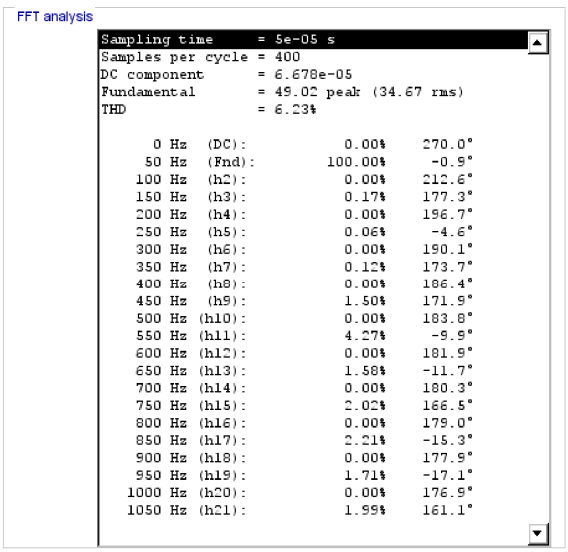
c

Şekil EK-3.1. a. 5 seviye, **b.** 9 seviye , **c.** 13 seviye HMDGM simülasyonu

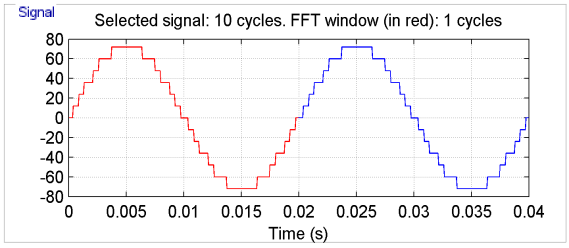


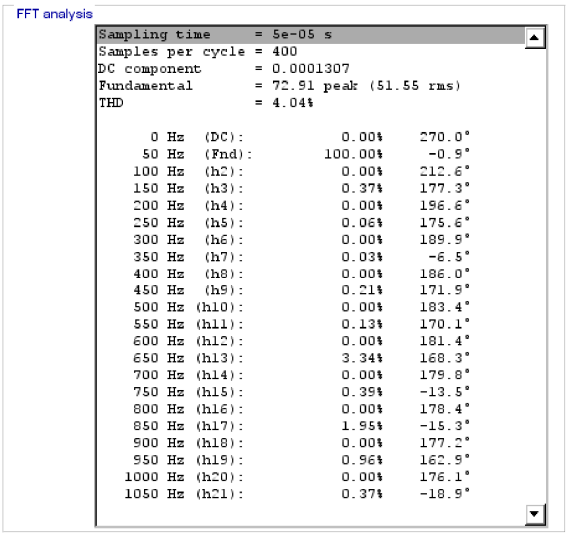






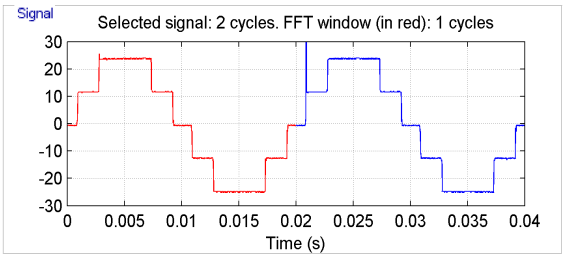
a b

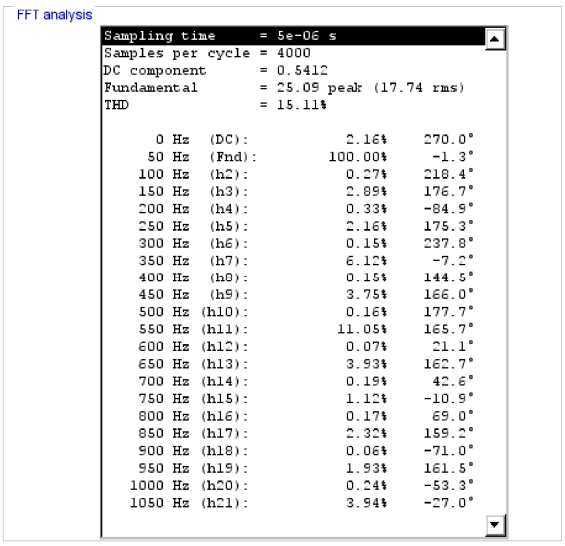




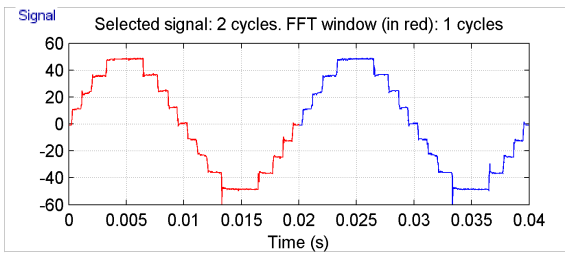
c

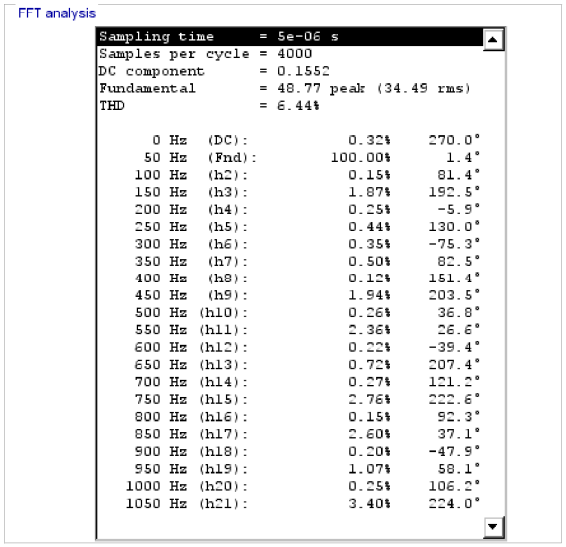
Şekil EK-3.2. a. 5 seviye, **b.** 9 seviye , **c.** 13 seviye SHEDGM simülasyonu



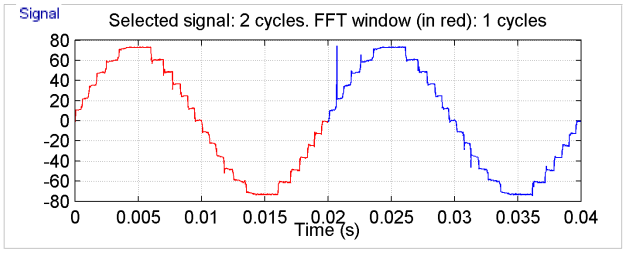


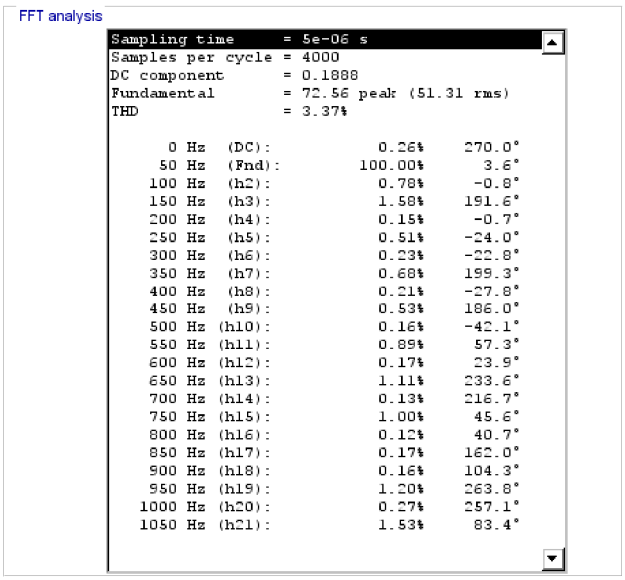
a





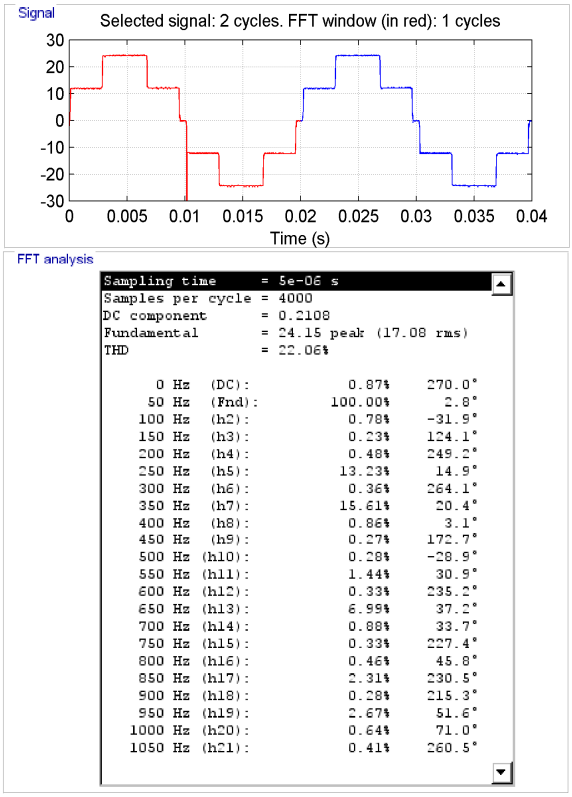
b



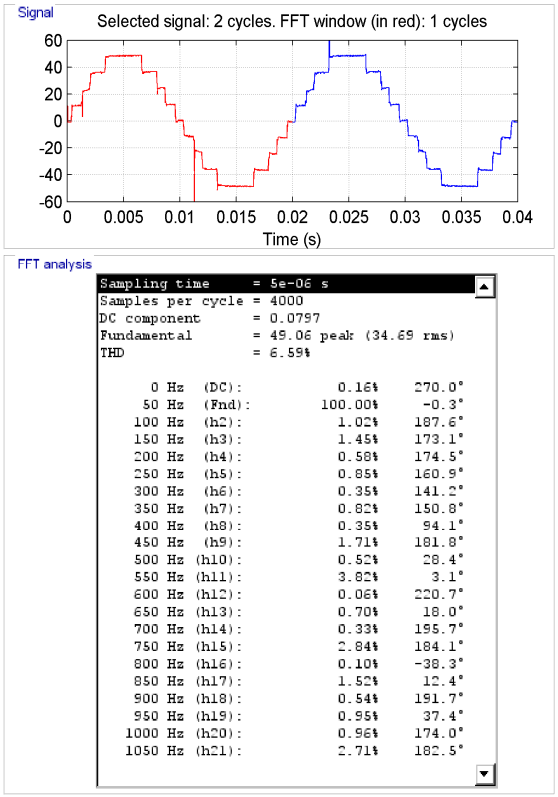


c

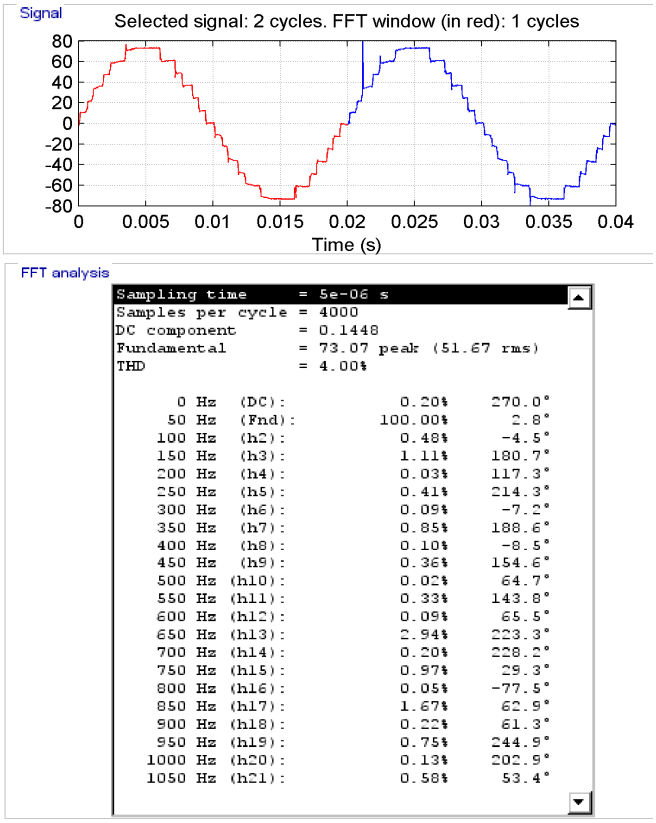
Şekil EK-3.3. a. 5 seviye, **b.** 9 seviye , **c.** 13 seviye HMDGM deneysel



a



b



c

Şekil EK-3.4. a. 5 seviye, **b.** 9 seviye , **c.** 13 seviye SHEDGM deneysel

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı	**:**	Enes BEKTAŞ
Uyruğu	**:**	T.C.
DoğumYeri veTarihi	**:**	Dursunbey/ 1990
Telefon	**:**	+90376 218 9532 - 8257
Faks	**:**	+90376 218 9536
e-mail	**:**	enesbektas@karatekin.edu.tr

EĞİTİM

Derece		**Adı, İlçe, İl**	**Bitirme Yılı**
Lise	:	**Milli Piyango Anadolu Lisesi, Merkez, Çanakkale**	**2008**
Üniversite	:	**Selçuk Üniversitesi, Elk.-Elt. Müh. Bölümü**	**2012**
YüksekLisans	:	**Selçuk Üniversitesi, FBE, Elk.-Elt. Müh. A.B.D.**	**2015**

İŞ DENEYİMLERİ

Yıl	**Kurum**	**Görevi**
2012-2013	**Şırnak Üniversitesi Mühendislik Fakültesi**	**Arş.Gör**
2014-	**Çankırı Karatekin Üniversitesi Mühendislik Fakültesi**	**Arş.Gör**

UZMANLIK ALANI
Güç Elektroniği

YABANCI DİLLER
2014 Nisan YDS 71,25

YAYINLAR

Karaca, H. and **Bektas, E**., 2015, GA based selective harmonic elimination in cascaded multilevel inverter with reduced number of switches, *Proceedings of the world congress on engineering and computer science Vol I-WCSECS'15*, San Francisco-USA, 204-209 (Yüksek lisans tezinden yapılmıştır)

Bektas, E. and Karaca, H., 2015, Harmonic minimization technique for multilevel inverter using cascaded h-bridge modules, *International scientific conference Vol I-UNITEC'15*, Gabrovo-Bulgaria, 139-143 (Yüksek lisans tezinden yapılmıştır)

Mamur, H., Ari, M., Korkmaz, F., Topaoglu, I., Cicek, A. and **Bektas, E.**, 2015, Micro wind turbines and power analyses, *International scientific conference Vol I-UNITEC'15*, Gabrovo-Bulgaria, 59-62