T.C.
İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

DOKTORA TEZİ

GÜÇ MOSFETLERİNDE GEÇİT OKSİTİ KIRILMASININ MODELLENMESİ

Hatice Gül UGRANLI

DANIŞMAN
Doç. Dr. Yasin ÖZÇELEP

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği Programı

İSTANBUL-2020

Bu çalışma, 15.01.2020 tarihinde aşağıdaki jüri tarafından Elektrik-Elektronik Mühendisliği Anabilim Dalı, Elektrik-Elektronik Mühendisliği Programında Doktora tezi olarak kabul edilmiştir.

Tez Jürisi

Doç. Dr. Yasin ÖZÇELEP(Danışman)
İstanbul Üniversitesi-Cerrahpaşa
Mühendislik Fakültesi

Prof. Dr. Fırat KAÇAR
İstanbul Üniversitesi-Cerrahpaşa
Mühendislik Fakültesi

Doç. Dr. Metin YAZGI
İstanbul Teknik Üniversitesi
Elektrik-Elektronik Fakültesi

Prof. Dr. Ahmet SERTBAŞ
İstanbul Üniversitesi-Cerrahpaşa
Mühendislik Fakültesi

Doç. Dr. Sefa ÇELİK
İstanbul Üniversitesi
Fen Fakültesi

20.04.2016 tarihli Resmi Gazete'de yayımlanan Lisansüstü Eğitim ve Öğretim Yönetmeliğinin 9/2 ve 22/2 maddeleri gereğince; Bu Lisansüstü teze, İstanbul Üniversitesi-Cerrahpaşa'nın abonesi olduğu intihal yazılım programı kullanılarak Lisansüstü Eğitim Enstitüsü'nün belirlemiş olduğu ölçütlere uygun rapor alınmıştır.

ÖNSÖZ

Lisansüstü eğitimim boyunca değerli bilgilerini benimle paylaşarak ve yapmış olduğu akademik yönlendirmeler ile akademik bakış açımın gelişmesinde büyük emek sahibi olan kıymetli danışman hocam Doç. Dr. Yasin ÖZÇELEP' e teşekkürlerimi sunarım.

Doktora sürecimde sağlamış olduğu sonsuz destek ve moral için sevgili eşim Faruk UGRANLI' ya çok teşekkür ederim. Bütün eğitim hayatım boyunca maddi manevi destekleri ile yanımda olan annem, babam ve abime çok teşekkür ederim.

Ocak 2020 Hatice Gül UGRANLI

İÇİNDEKİLER

Sayfa No

ÖNSÖZ ..... **iv**
İÇİNDEKİLER ..... **v**
ŞEKİL LİSTESİ ..... **viii**
TABLO LİSTESİ ..... **xiii**
SİMGE VE KISALTMA LİSTESİ ..... **xv**
ÖZET ..... **xvii**
SUMMARY ..... **xix**
1. GİRİŞ **1**
2. GENEL KISIMLAR **5**
2.1. METAL OKSİT YARIİLETKEN ALAN ETKİLİ TRANSİSTÖRLER 5
2.1.1. Geçit Oksit Tabakası ve Üzerindeki Kapasitif Bileşenler 6
2.2. HIZLANDIRILMIŞ YORMA TESTLERİ 10
2.3. GEÇİT OKSİT BOZULMASI VE KIRILMASI 13
2.3.1. Geçit Oksit Tabakasında ve Arayüzeyindeki Kusurlar 14
2.3.2. Geçit Oksitinde Tuzak Oluşum Mekanizmaları 17
2.3.3. Geçit Oksitindeki Tuzaklara Yüklerin Tünellenmesi 18
2.3.4. Geçit Oksitinde Görülen Bozulma Mekanizmaları 20
2.3.5. Elektriksel Parametreler üzerinde Turn-Around Etkileri 22
2.4. BOZULMA MODELLERİ 25
2.4.1. Literatürdeki Bozulma Modeli ile İlgili Çalışmalar 25
2.4.2. Doğrusal Olmayan Kapasitör Tasarımı 30
3. MALZEME VE YÖNTEM **34**
3.1. ÇALIŞMADA KULLANILAN GÜÇ MOSFETLERİ 34
3.2. YORMA DÜZENEKLERİ 35
3.2.1. Sabit Yorma Düzeneği 35
3.2.2. Rampa-İlerleyen Tip Yorma Düzeneği 36
3.3. KIRILMA İSTATİSTİKLERİNİN ÇIKARTILMASI 37
3.4. KAPASİTE ÖLÇÜM DÜZENEĞİ 39
3.4.1. Oksit Kapasitesinin Hesaplanması 40
3.5. GEÇİT OKSİT BOZULMASINI MODELLEME YÖNTEMLERİ 40

3.5.1. Matematiksel Modelin Oluşturulması 40
3.5.2. Devre Modeli Tasarımı 41
4. BULGULAR 43
4.1. YORMA KOŞULLARININ BELİRLENMESİ VE ELEMAN SEÇİMİ 43
4.1.1. Rampa Tipi Yorma Uygulaması 43
4.1.2. Kırılma İstatistiklerinin Çıkartılması 47
4.1.2.1. Vishay IRF530 transistörlerinin kırılma verileri 48
4.1.2.2. Vishay IRF540 transistörlerinin kırılma verileri 49
4.1.2.3. Vishay IRF620 transistörlerinin kırılma verileri 51
4.1.2.4. Vishay IRF720 transistörlerinin kırılma verileri 53
4.1.3. Sabit Yorma Koşullarının Belirlenmesi 54
4.2. KAPASİTE ÖLÇÜMLERİ 62
4.2.1. Kapasite Ölçümü için Sabit Yorma Uygulaması 62
4.2.2. Geçit-Savak Kapasitesi Değişimleri 65
4.2.3. Oksit Kapasitesi Değişimleri 68
4.3. MATEMATİKSEL MODEL: EĞRİ UYDURMA ÇALIŞMALARI 69
4.3.1. Geçit Kaçak Akım Eğrisi için Eğri Uydurma Sonuçları 70
4.3.2. Geçit Kaçak Akım Değişimleri için Genel Denklem Çıkarılması 75
4.3.3. Oksit Kapasitesi Değişimleri için Eğri Uydurma Sonuçları 79
4.3.4. Geçit Yük Değişimi ve Eğri Uydurma Sonuçları 82
4.3.5. Matematiksel ve Deneysel Sonuçların Karşılaştırılması 88
4.3.5.1. Geçit kaçak akım değişimleri 88
4.3.5.2. Geçit yük değişimleri 90
4.3.5.3. Oksit kapasitesi değişimleri 91
4.4. OKSİT KAPASİTESİ BOZULMASI İÇİN DEVRE MODELİ 92
4.4.1. Devrenin Çizimi 92
4.4.2. Devre Modeli Benzetim Sonuçları 95
5. TARTIŞMA VE SONUÇ 97
KAYNAKLAR 101
EKLER 111
EK 1. KIRILMA İSTATİSTİKLERİNİN ÇIKARTILMASI 111
EK 2. SABİT YORMA KOŞULLARININ BELİRLENMESİ 116
EK 3. MATEMATİKSEL MODEL: EĞRİ UYDURMA ÇALIŞMALARI 117
EK 3.1. Geçit Kaçak Akım Eğrisi için Eğri Uydurma Sonuçları 117

EK 3.2. Geçit Kaçak Akım Değişimleri için Genel Denklem Çıkarılması 123
EK 3.3. Oksit Kapasitesi Değişimleri için Eğri Uydurma Sonuçları 125
EK 3.4. Geçit Yük Değişimi ve Eğri Uydurma Sonuçları 126
ÖZGEÇMİŞ 128

ŞEKİL LİSTESİ

Sayfa No

Şekil 2.1: VDMOSFET' in düşey kesiti [5]. 6

Şekil 2.2: SiO_2' nin temel yapısal birimi [8]. 7

Şekil 2.3: İdeal Si-SiO_2 arayüzü için atomik dizilim modeli [56]. 7

Şekil 2.4: VDMOSFET' in (a) yapısında bulunan kapasitif bileşenler **(b)** terminalleri arasındaki eşdeğer kapasiteler [42]. 8

Şekil 2.5: Rampa tipi yorma; ilerleyen tip test. 12

Şekil 2.6: Sabit yorma yöntemi. 12

Şekil 2.7: Kalın (20nm) oksitli bir MOSFET için geçit akımının yorma süresi ile değişimi [64]. 13

Şekil 2.8: Geçit oksit bozulması ve kırılması [68]. 14

Şekil 2.9: Kırılma İstatistiksel Dağılımı (Weibull) [36]. 16

Şekil 2.10: Anot delik enjeksiyonu modelinin şematik gösterimi [65]. 17

Şekil 2.11: Anot hidrojen salınım modeli şematik gösterimi [9]. 18

Şekil 2.12: Rampa tipi gerilim yormasında geçit akım-gerilim değişimi [36]. 20

Şekil 2.13: Negatif/Pozitif kutuplamalı sıcaklık kararsızlığının özellikleri. 21

Şekil 2.14: Sıcak taşıyıcı bozulmasının özellikleri. 21

Şekil 2.15: Zamana bağlı dielektrik bozulmanın ve kırılmanın özellikleri. 22

Şekil 2.16: Turn-around olgusunun parametre değişimlerinde gözlemlenmesi. 23

Şekil 2.17: Turn-around literatür örnek çalışma 1; eşik gerilimi değişimi [13]. 24

Şekil 2.18: Turn-around literatür örnek çalışma 2; eşik gerilimi değişimi [15]. 25

Şekil 2.19: Eşik gerilimi değişimi için 3 parçalı bozulma modeli [14]. 27

Şekil 2.20: Eşik gerilimi değişimi için 2 parçalı PBTI bozulma modeli [27]. 27

Şekil 2.21: MOSFETlerin kırılma sonrası akım değerleri için eşdeğer devre modelleri **(a)** gerilim bağımlı akım kaynaklı tasarım **(b)** diyot ve direnç içeren tasarım [22]. 28

Şekil 2.22: MOSFETlerin (SiO_2) yorma öncesi, yorma boyunca ve kırılma sonrası geçit akım-geçit gerilim değişimleri ve devre modelleri yakınsama sonuçları [22]. 28

Şekil 2.23: Yüzey potansiyeli tabanlı bozulma modelinin devre şeması [37]. 29

Şekil 2.24: Üzerindeki kutuplama gerilimine göre değişen kapasite örneği [46]. 31

Şekil 2.25: Doğrusal olmayan kapasite değişimleri için SPICE modeli; örnek çalışma 1 [44]. 32

Şekil 2.26: Doğrusal olmayan kapasite değişimleri için SPICE modeli; örnek çalışma 2 [46]. 33

Şekil 3.1: Sabit yorma uygulaması. 35

Şekil 3.2: Sabit yorma uygulaması için ölçüm düzeneği. 36

Şekil 3.3: Rampa-ilerleyen tip yorma uygulaması. 36

Şekil 3.4: Rampa yorma uygulaması için ölçüm düzeneği. 37

Şekil 3.5: C_{RSS} (C_{GD}) kapasitesi ölçüm devresi. 39

Şekil 3.6: B1-bağımlı gerilim ve B2-bağımlı akım kaynaklarının devre sembolleri [142]. 42

Şekil 4.1: Bulguların sunulması için akış şeması. 43

Şekil 4.2: Rampa-ilerleyen tip yorma boyunca akım-gerilim değişimi (IRF620). 46

Şekil 4.3: Rampa-ilerleyen tip yormada kırılma öncesi kritik seviyede akım değişimi. 46

Şekil 4.4: Vishay IRF530 transistörünün Olasılık-Weibull eğrileri.....49

Şekil 4.5: Vishay IRF540 transistörünün Olasılık-Weibull eğrileri.....50

Şekil 4.6: Vishay IRF620 transistörünün Olasılık-Weibull eğrileri.....52

Şekil 4.7: Vishay IRF720 transistörünün Olasılık-Weibull eğrileri.....54

Şekil 4.8: Vishay IRF530 için sabit yorma boyunca kaçak akım değişimleri. 56

Şekil 4.9: Vishay IRF530 için 66V sabit yorma boyunca kaçak akım değişimleri. 56

Şekil 4.10: Vishay IRF540 65V sabit yorma boyunca kaçak akım değişimleri. 56

Şekil 4.11: Vishay IRF540 70V sabit yorma boyunca kaçak akım değişimleri. 57

Şekil 4.12: 68,5V-70V (IRF500) ve 78,5V-80V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri. 58

Şekil 4.13: 67V-68,5V (IRF500) ve 77V-78,5V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri. 58

Şekil 4.14: 66V-67V (IRF500) ve 77V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri. 59

Şekil 4.15: 65V-66V (IRF500) ve 75V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri. 59

Şekil 4.16: 64V-65V (IRF500) ve 74-75V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri. 60

Şekil 4.17: 63V-64V (IRF500) ve 73-74V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri. 60

Şekil 4.18: IRF530 (40V, 50V, 60V), IRF540 (60V) ve IRF720 (70V) transistörlerinin yorma boyunca geçit kaçak akım değişimleri. 61

Şekil 4.19: Kaçak akımın yormanın ilk anlarında ulaştığı en yüksek değerler. 61

Şekil 4.20: Kaçak akımın yükseliş sürelerindeki değişimler. 62

Şekil 4.21: Vishay IRF620; 75V yorma boyunca geçit kaçak akım değişimleri. 63

Şekil 4.22: Vishay IRF620; 76V yorma boyunca geçit kaçak akım değişimleri. 64

Şekil 4.23: Vishay IRF620; 77V yorma boyunca geçit kaçak akım değişimleri. 64

Şekil 4.24: Vishay IRF620; 78,5V yorma boyunca geçit kaçak akım değişimleri. 64

Şekil 4.25: Vishay IRF620; 80V yorma boyunca geçit kaçak akım değişimleri. 65

Şekil 4.26: IRF620 Vishay yorma sonrası kapasite değişimleri; ilk ölçümler. 66

Şekil 4.27: IRF620 Vishay yorma sonrası kapasite değişimleri; 30dk. 66

Şekil 4.28: IRF620 Vishay yorma sonrası kapasite değişimleri; 30dk-60dk. 67

Şekil 4.29: IRF620 Vishay yorma sonrası kapasite değişimleri; 60dk-120dk. 67

Şekil 4.30: IRF620 Vishay yorma sonrası kapasite değişimleri; 180dk. 67

Şekil 4.31: IRF620 Vishay yorma sonrası kapasite değişimleri; 180dk-270dk. 68

Şekil 4.32: Vishay IRF620 yorma sonrası oksit kapasitesi değişimleri. 69

Şekil 4.33: Geçit kaçak akım eğrisinin birinci kısım eğri uydurma işlemi (78,5V-120dk). 71

Şekil 4.34: Geçit kaçak akım eğrisinin ikinci kısım eğri uydurma işlemi (78,5V-120dk). 71

Şekil 4.35: Geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma işlemi (78,5V-120dk).....72

Şekil 4.36: Geçit kaçak akımı yakınsama fonksiyonu: ($I_{YÜKSELİŞ}$) a_1-V_{YORMA} değişimi. 72

Şekil 4.37: Geçit kaçak akımı yakınsama fonksiyonu: ($t_{YÜKSELİŞ}$) b_1-V_{YORMA} değişimi. 72

Şekil 4.38: Geçit kaçak akımı yakınsama fonksiyonu: c_1-V_{YORMA} değişimi. 73

Şekil 4.39: Geçit kaçak akımı yakınsama fonksiyonu: a_2-V_{YORMA} değişimi. 73

Şekil 4.40: Geçit kaçak akımı yakınsama fonksiyonu: b_2-V_{YORMA} değişimi. 73

Şekil 4.41: Geçit kaçak akımı yakınsama fonksiyonu: c_2-V_{YORMA} değişimi. 74

Şekil 4.42: Geçit kaçak akımı yakınsama fonksiyonu: a_3-V_{YORMA} değişimi. 74

Şekil 4.43: Geçit kaçak akımı yakınsama fonksiyonu: b_3-V_{YORMA} değişimi. 74

Şekil 4.44: Geçit kaçak akımı yakınsama fonksiyonu: t_{KISIM1}-V_{YORMA} değişimi. 75

Şekil 4.45: Geçit kaçak akımı yakınsama fonksiyonu: t_{KISIM2}-V_{YORMA} değişimi. 75

Şekil 4.46: Geçit kaçak akımı fonksiyonu; a_1-V_{YORMA} eğri uydurma çalışması.....77

Şekil 4.47: Geçit kaçak akımı fonksiyonu; b_1-V_{YORMA} eğri uydurma çalışması. 77

Şekil 4.48: Geçit kaçak akımı fonksiyonu; c_1-V_{YORMA} eğri uydurma çalışması.....78

Şekil 4.49: Geçit kaçak akımı fonksiyonu; t_{KISIM1}-V_{YORMA} eğri uydurma çalışması.....78

Şekil 4.50: Geçit kaçak akımı fonksiyonu; t_{KISIM2}-V_{YORMA} eğri uydurma çalışması.....78

Şekil 4.51: Oksit kapasitesi turn-around noktası değişimleri. 79

Şekil 4.52: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (75V). 81

Şekil 4.53: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (80V). 81

Şekil 4.54: Oksit kapasitesi (C_{OXDEC}) fonksiyonu; a_{DEC}-V_{YORMA} eğri uydurma çalışması. 81

Şekil 4.55: Oksit kapasitesi (C_{OXDEC}) fonksiyonu; b_{DEC}-V_{YORMA} eğri uydurma çalışması. 82

Şekil 4.56: Kısım 1 boyunca geçitte görülen yük değişimleri (75V-77V). 84

Şekil 4.57: Kısım 1 boyunca geçitte görülen yük değişimleri (77V-80V). 84

Şekil 4.58: Tüm yorma süresi boyunca geçitte görülen yük değişimleri (75V-77V). 85

Şekil 4.59: Tüm yorma süresi boyunca geçitte görülen yük değişimleri (77V-80V). 85

Şekil 4.60: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (76V). 86

Şekil 4.61: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (78,5V). 87

Şekil 4.62: $Q_{GEÇİT}$-t_{YORMA} fonksiyonu; $a_{YÜK}$-V_{YORMA} eğri uydurma çalışması. 87

Şekil 4.63: $Q_{GEÇİT}$-t_{YORMA} fonksiyonu; $b_{YÜK}$-V_{YORMA} eğri uydurma çalışması. 87

Şekil 4.64: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (75V-77V). 88

Şekil 4.65: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (77V-80V). 88

Şekil 4.66: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (75V).....89

Şekil 4.67: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (80V).....89

Şekil 4.68: Geçit yükleri genel denklem sonuçlarının deneysel veriler ile karşılaştırması (75V-77V). 90

Şekil 4.69: Geçit yükleri genel denklem sonuçlarının deneysel veriler ile karşılaştırması (77V-80V). 90

Şekil 4.70: Oksit kapasitesi genel denklem sonuçlarının deneysel veriler ile karşılaştırması (75V-77V). 91

Şekil 4.71: Oksit kapasitesi genel denklem sonuçlarının deneysel veriler ile karşılaştırması (77V-80V). 91

Şekil 4.72: Geçit oksit bozulması için eşdeğer devre. 92

Şekil 4.73: Oksit Kapasitesinin yorma ile değişiminin modellenmesi. 93

Şekil 4.74: (a) Turn-around ve **(b)** genel yorma etkisinin modellenmesi. 93

Şekil 4.75: C_{OXINC} - Yorma Etkisi 1 parametresinin modellenmesi. 94

Şekil 4.76: C_{OXDEC} - Yorma Etkisi 2 parametresinin modellenmesi.....94

Şekil 4.77: Oksit kapasitesi benzetim ve deneysel sonuçların karşılaştırılması (75V-80V). 96

Şekil 4.78: Oksit kapasitesi benzetim ve deneysel sonuçların karşılaştırılması (75V, 77V, 80V). 96

TABLO LİSTESİ

Sayfa No

Tablo 2.1: Oksit tabakasında bulunan içsel ve dışsal kusurlar [55]. 15

Tablo 2.2: Literatürde raporlanmış turn-around olgusu gözlemlerinin listesi. 24

Tablo 2.3: MOS elemanları için literatürde yapılan bazı bozulma araştırmaları. 26

Tablo 3.1: Kullanılan transistörlerin özellikleri.....35

Tablo 3.2: Eğri uydurma uygulaması yakınsama seçenekleri 41

Tablo 3.3: Yakınsama uygunluğunu tespit etmek için istatistiksel parametreler 41

Tablo 4.1: Transistörlerin kırılma gerilim değerleri. 44

Tablo 4.2: Rampa-ilerleyen tip yorma uygulaması bozulma verileri. 47

Tablo 4.3: Vishay IRF530 sabit yorma uygulaması. 48

Tablo 4.4: Vishay IRF530' un 73V yorma uygulaması için güvenilirlik dağılım parametreleri. 49

Tablo 4.5: Vishay IRF530' un 74,8V yorma uygulaması için güvenilirlik dağılım parametreleri. 49

Tablo 4.6: Vishay IRF540 sabit yorma uygulaması. 50

Tablo 4.7: Vishay IRF540' ın 73V yorma uygulaması için güvenilirlik dağılım parametreleri. 50

Tablo 4.8: Vishay IRF540' ın 74,5V yorma uygulaması için güvenilirlik dağılım parametreleri. 51

Tablo 4.9: Vishay IRF620 sabit yorma uygulaması. 51

Tablo 4.10: Vishay IRF620' nin 87,4V yorma uygulaması için güvenilirlik dağılım parametreleri. 53

Tablo 4.11: Vishay IRF620' nin 87,9V yorma uygulaması için güvenilirlik dağılım parametreleri. 53

Tablo 4.12: Vishay IRF720 sabit yorma uygulaması. 53

Tablo 4.13: Vishay IRF720' nin 87,5V yorma uygulaması için güvenilirlik dağılım parametreleri. 54

Tablo 4.14: Vishay IRF720’ nin 87,8V yorma uygulaması için güvenilirlik dağılım parametreleri. 54

Tablo 4.15: Sabit yorma gerilim değerleri. 57

Tablo 4.16: Vishay IRF620 kapasite ölçümü için yorma uygulama listesi. 62

Tablo 4.17: Vishay IRF620 akım yükseliş parametreleri. 63

Tablo 4.18: C_{OXINC}-t_{YORMA} Eğri Uydurma Fonksiyonu: Polinom. 80

Tablo 4.19: C_{OXDEC}-t_{YORMA} Eğri Uydurma Fonksiyonu: Power. 80

Tablo 4.20: $Q_{GEÇİT}$-t_{YORMA} değişimlerinin eğri uydurma fonksiyonu. 86

Tablo 4.21: Oksit kapasitesi devre modelinin deneysel veriler ile uyumluluğu 95

SİMGE VE KISALTMA LİSTESİ

Simgeler **Açıklama**

ε_{ox} : Geçit oksit tabakası dielektrik sabiti
C_{DS} : Savak-kaynak arasındaki terminal kapasitesi
C_{GD} : Geçit-savak arasındaki terminal kapasitesi
C_{GS} : Geçit-kaynak arasındaki terminal kapasitesi
C_{OSS} : Çıkış kapasitesi
C_{OX} : Oksit kapasitesi
C_{OXINC} : Yorma kaynaklı oksit kapasitesindeki artış
C_{OXDEC} : Yorma kaynaklı oksit kapasitesindeki azalış
C_{OXSE} : Yorma kaynaklı oksit kapasitesindeki değişim
C_{RSS} : Ters iletim kapasitesi
D : Savak terminali
G : Geçit terminali
I_{DS} : Savak-kaynak akımı
$I_{DS(sat)}$: Doyma durumundaki savak-kaynak akımı
$I_{GEÇİT}$: Geçit kaçak akımı
$I_{YÜKSELİŞ}$: Geçit kaçak akımı yükseliş değeri
N_{IT} : Arayüzey tuzak yoğunluğu
S : Kaynak terminali
Q_{BD} : Kırılmaya sebep olan yük miktarı
Q_{OT} : Yorma kaynaklı oksitte tuzaklanmış yük miktarı
t_{BD} : Kırılma süresi
t_{Cox} : Oksit kapasitesi için turn-around süresi
t_{OX} : Geçit oksit tabakası kalınlığı
t_{YORMA} : Yorma süresi
$t_{YÜKSELİŞ}$: Geçit kaçak akım yükseliş süresi
V_{DS} : Savak-kaynak gerilimi
V_{GS} : Geçit-kaynak gerilimi
V_{TH} : Eşik gerilimi
V_{TH0} : Eşik geriliminin başlangıç değeri
V_{YORMA} : Yorma gerilimi

Kısaltmalar **Açıklama**

AHI : Anot delik enjeksiyonu
AHR : Anot hidrojen salınımı
BTI : Kutuplamalı sıcaklık kararsızlığı
FN : Fowler-Nordheim tünellemesi
HCD : Sıcak taşıyıcı bozulması
HCI : Sıcak taşıyıcı enjeksiyonu
MOSFET : Metal oksit yarıiletken alan etkili transistör
NMOS : n-kanallı MOS yapısı
NBTI : Negatif kutuplamalı sıcaklık kararsızlığı
PBTI : Pozitif kutuplamalı sıcaklık kararsızlığı
SE1 : Yorma etkisi 1
SE2 : Yorma etkisi 2
Si : Silisyum
SiO_2 : Silisyum dioksit
TAT : Tuzak destekli tünelleme
TDDB : Zamana bağlı dielektrik kırılma
VDMOSFET : Dikey yapılı çift difüzyonlu metal oksit yarıiletken alan etkili transistör

ÖZET

DOKTORA TEZİ

GÜÇ MOSFETLERİNDE GEÇİT OKSİTİ KIRILMASININ MODELLENMESİ

Hatice Gül UGRANLI

İstanbul Üniversitesi-Cerrahpaşa

Lisansüstü Eğitim Enstitüsü

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman : Doç. Dr. Yasin ÖZÇELEP

Dikey yapılı çift difüzyonlu MOSFET' lerin (VDMOS) yüksek empedans, yüksek ısıl kararlılık ve hızlı anahtarlama gibi avantajları; ticari olarak başarılı bir güç elemanı olmasını sağlamıştır. Ancak geçit oksit tabakasının kusur bulundurma eğilimi, MOSFET' lerin çalışma performansı üzerinde belirleyici bir rol oynar. Ayrıca oksit tabakasının işlevini yitirmesi elemanın çalışmasını sonlandırabilir. Bu durum geçit oksit bozulmasını, önemli bir aşınma sorunu haline getirir.

Bu tez çalışmasında, güç MOSFET' leri için geçit oksit bozulma modeli önerilmesi amaçlanmaktadır. Tez kapsamında yapılmış olan ölçüm ve tasarım çalışmaları üç aşamada gerçekleştirilmiştir. İlk aşamada; temin edilen farklı marka model transistörlerin kırılma gerilim değerleri tespit edilip kırılma istatistikleri çıkartılmıştır ve tekrarlanabilir parametre ölçümleri yapabilmek için sabit yorma uygulamasının koşulları araştırılmıştır. İkinci aşamada ise seçilen bir transistör modeli için geçit-savak kapasitesi ölçümleri yapılmıştır. Sabit yorma uygulaması farklı yüksek gerilim değerlerinde ve yorma sürelerinde yapılmıştır. Sabit yorma boyunca geçit kaçak akım değişimi kaydedilmiştir. Geçit-savak kapasite değerleri kullanılarak oksit kapasitesi hesaplanmıştır. Oksit kapasitesinin doğrusal olmayan bir değişim gösterdiği gözlemlenmiştir. Bu ikinci aşamada sunulan deneysel veriler, modelleme aşamasında kullanılmıştır. Üçüncü aşamada ise oksit bozulmasının gözlemlenmesini sağlayan geçit kaçak akımı, geçit yükleri ve oksit kapasitesi parametrelerinin değişimleri; eğri uydurma uygulaması yardımıyla

matematiksel olarak modellenmiştir. Modelleme sürecinde, bozulma modeli araştırmalarında incelenen turn-around olgusu da dikkate alınmıştır. Matematiksel modellemenin yanı sıra geçit oksit kapasitesi değişimi için devre benzetim modeli tasarlanmıştır. Devre ve matematiksel modellerin doğruluğunu tespit etmek için deneysel sonuçlar ile karşılaştırılması yapılmıştır. Devre modeli, LTSPICE programında uygulanmıştır. Önerilen modeller, MOSFET' lerin geçit oksit bozulması hakkında doğru tahminler yapabilme imkânı sunmaktadır.

Ocak 2020, 149 sayfa.

Anahtar kelimeler: Bozulma modeli, sabit elektriksel yorma, hızlandırılmış yorma testi, güç MOSFETi, oksit kapasitesi, eğri uydurma, SPICE benzetim, devre tasarımı.

SUMMARY

Ph.D. THESIS

MODELLING of GATE OXIDE BREAKDOWN in POWER MOSFETs

Hatice Gül UGRANLI

Istanbul University-Cerrahpasa

Institute of Graduate Studies

Department of Electrical and Electronic Engineering

Supervisor : Assoc. Prof. Dr. Yasin ÖZÇELEP

Advantages of vertical structure double diffused MOSFETs (VDMOS) such as large impedance, heat stability and high switching provide to be a commercially successful power device. However, the tendency of the gate oxide layer to have defects plays a decisive role in the operational performance of the MOSFETs. In addition, the breakdown of the oxide layer terminates the device operation. As a result, gate oxide degradation is a major wear-out problem.

In this thesis, it is aimed to propose gate oxide degradation model for power MOSFETs. Measurement and modeling procedure are carried out in three stages. First stage; breakdown voltage values of different brand model transistors are determined and the breakdown statistics are extracted and the conditions of constant stress application are investigated in order to make parameter measurements repeatable. In the second stage, the gate-drain capacitance measurements are performed for a selected transistor model. Constant stress is applied for several high voltage values and time intervals. The gate leakage current variation is recorded during the constant stress. Oxide capacitance is calculated using the gate-drain capacitance values. It is observed that the oxide capacitance showed a nonlinear change. The experimental data presented in the second stage is used in the modeling stage. In the third stage, the changes in gate leakage current, the gate charges and the oxide capacitance parameters which enable the

observation of oxide degradation; are modeled mathematically by the curve fitting application. In the modeling process, the turn-around phenomenon that has examined in the degradation model studies is also taken into consideration. In addition to mathematical modeling, a circuit simulation model is designed for the changes of gate oxide capacitance. In order to determine the accuracy of the circuit and mathematical models, the model results are compared with the experimental results. The circuit model is implemented in the LTSPICE program. The proposed models provide the opportunity to make accurate predictions about the gate oxide degradation of the VDMOSFETs.

January 2020, 149 pages.

Keywords: Degradation model, constant electrical stress, accelerated aging test, power MOSFET, oxide capacitance, curve fitting, SPICE simulation, circuit design.

1. GİRİŞ

Günümüzde elektrik enerjisinin %70’ i yarı iletken güç elemanları tarafından yönetilmektedir [1]. Özellikle dikey yapılı çift difüzyonlu metal-oksit-yarıiletken (VDMOS) tasarımı, güç uygulamalarında oldukça benimsenmiş ve ticari olarak en başarılı güç MOSFET' i olarak kabul görmüştür [2]. Tipik bir MOSFET’ e kıyasla VDMOS; yüksek empedans, yüksek ısıl kararlılık, düşük sürüş akımı (driving current), düşük dinamik kayıp, düşük distorsiyon ve hızlı anahtarlama gibi pek çok avantaja sahiptir [3]. Bu yüzden VDMOS; modern anahtarlamalı güç kaynağı, otomotiv elektroniği, endüstriyel kontrol, ses yükseltici ve benzeri alanlarda önemli bir çalışma alanı bulmaktadır [3].

MOS teknolojisinin başarısındaki önemli faktörlerden biri, MOSFET' lerin temel yapı taşını oluşturan geçit oksit (SiO_2) tabakasıdır [4]. Bu yalıtkan, yüksek dielektrik dayanım ve yüksek empedans özelliklerine sahip olmasından dolayı entegre devrelerde yaygın olarak kullanım alanı bulmuştur [5-7]. Oksit tabakası, sağladığı avantajlara rağmen, mükemmel olmaktan uzaktır. SiO_2; elemanların fiziksel, kimyasal, yapısal, optik ve elektriksel özellikleri üzerinde önemli etkileri olabilecek kusurlar içerir [8]. Bu kusurlar, MOSFET’ lerin üretim sürecinde yapılan hatalara veya malzemenin içsel özelliklerine bağlı olarak oluşabilmektedir [5, 9]. Bu kusurların varlığı, normal çalışma koşullarında bile elemanın oksit tabakasında tuzak (trap) oluşumunu tetikleyebilmektedir [5, 9, 10]. Tuzaklanmış yükler bölgesel bir elektrik alan artışına sebep olur ve bunun sonucunda, yeni tuzaklar oluşur [9, 11, 12]. Böylece, oksit yalıtkanlık özelliğini kademeli olarak yitirir. Bu yük tuzaklanması boyunca, MOSFET’ in elektriksel parametrelerinde de değişiklikler görülür. Literatürdeki çalışmalar; SiO_2 ve Si/SiO_2 ara yüzey durumlarının eşik gerilimi [13-17], mobilite [15, 18], terminal kapasiteleri [11, 19, 20], çalışma direnci [13, 21], anahtarlama süreleri [11, 13, 21] ve eşik-altı eğimi [15, 16, 19] gibi parametrelerde değişikliklere sebep olduğunu göstermiştir. Yük tuzaklanmaları, elektriksel parametreleri değiştirmesinin yanı sıra MOSFET’ lerin devre performanslarını da etkilemektedir [13, 17, 20-22]. Biriken yükler kritik değerlere ulaşınca, geçit ile kanalın kısa devre olmasına neden olan kesintisiz iletken bir yol oluşur ve bunun sonucunda geçit oksit kırılması meydana gelir [9, 23-26]. Bu durum geçit oksit bozulmasını, MOSFET' lerin çalışmasını olumsuz yönde etkileyen önemli bir aşınma (wearout) sorunu haline getirir [11-17,

19, 22, 27-29]. Literatürde çok ince geçit oksit tabakaları (<5nm) üzerine çalışmalar yaygın biçimde sürdürülse de güç uygulamalarında MOS teknolojilerinin yaygın kullanımı nedeniyle; kalın oksitlere hala büyük bir ilgi bulunmaktadır. Güç MOSFET' lerinde geçit oksit bozulması araştırmaları, son yıllarda önemini korumaya devam eden bir konudur [11-19, 21, 27].

Oksit tabakasındaki yük tuzaklanmaları ve arayüzey tuzak durumları, MOS elemanların elektriksel parametre değişimlerinde ek bir davranış biçimine sebep olur. Bu bahsedilen ek değişim davranışı "Turn-around Olgusu" olarak isimlendirilmektedir [13-17, 28-31]. Turn-around olgusu, ilgili elektriksel parametrenin yormanın ilk anlarında azalırken/artarken yorma süresi ilerledikçe artmaya/azalmaya başlaması ile tespit edilmektedir [13-17, 28-31]. Turn-around olgusunun görüldüğü yorma süresi ve parametre genliği, uygulanan yorma gerilimine bağlı olarak değişmektedir [13-16, 27]. Olgu, çeşitli bozulma mekanizmaları için incelenmiş ve ağırlıklı olarak eşik gerilimi değişimi üzerinden gözlemlenmiştir [13-17, 28-31]. N-kanallı güç VDMOSFET' leri için eşik gerilimi değişiminde, ilk olarak geçit oksitindeki delik tuzaklanmalarının sebep olduğu bir azalışın görüldüğü ve turn-around noktasından sonra bunu arayüzey durumları nedeniyle bir artışın takip ettiği bildirilmektedir [13-15, 17, 27]. Bazı çalışmalarda, parametrelerdeki turn-around olgusunun neden olduğu değişiklikler teorik olarak [13, 15-17, 28-31] veya matematiksel modeller [14, 27] oluşturularak açıklanmıştır.

MOSFET' lerin kullanımları esnasında karşılaşılabilecek problemlerin tahmin edilebilmesi için güvenilirliklerinin kısa süre içerisinde test edilmesi gerekmektedir. Firmalar, ürünlerin müşteri bazında memnuniyetini artırmak ve böylece prestij kazanabilmek için güvenilirlik performansını artırmaya yönelik çaba sarf etmektedir [1]. Aynı zamanda akademik çevrede de güvenilirlik tasarımlarının geliştirilmesine ve yeni ürünlerin tasarımına olanak sağlanması amacıyla uzun yıllardır çalışmalar yapılmaktadır [9-31]. Yarıiletken elemanların güvenilirlik durumu hakkında bilgi alınmasını sağlayan en geleneksel yöntem hızlandırılmış yorma testleridir (accelerated aging tests). Bu testlerde, normal çalışma şartlarından daha şiddetli seviyelerde gerilim, akım, sıcaklık ve benzeri yorma faktörleri kullanılır. Böylece, elemanların kullanımları sırasında gözlemlenebilecek bozulma mekanizmaları kısa sürede elde edilir [32-35]. MOSFETlerin güvenilirlik çalışmalarında oksit bozulmasını araştırırken sabit yormadan faydalanılmaktadır [13-15, 36]. Bu testler sırasında, oksit yapısını bozan yük tuzaklanmalarının etkileri ölçülen ikinci bir parametre üzerinden gözlemlenir [36]. MOSFETlere sabit gerilim

uygulandığında yorma esnasında geçit akımının zamana bağlı değişimi çıkartılır. Daha sonra, oksit bozulmasını gözlemlemeyi sağlayan elektriksel parametrelerin ölçümleri yapılarak yorma süresine bağlı olarak değişimleri çıkartılır.

MOSFET bozulmaları ile ilgili mekanizmayı aydınlatmak için bazı gözlemler yapılmış ve bazı modeller önerilmiştir [14, 15, 22, 27, 37-41]. X.R. Ye ve arkadaşları, turn-around olgusunu da göz önüne alarak eşik gerilimi değişimini yüksek gerilim [14] ve sıcaklık [27] yorması için matematiksel olarak modellemiştir. Raul Fernandez ve arkadaşları [22] da elemanların kırılma sonrası geçit akım değişimlerini çıkartmışlar ve SPICE' de çalıştırılan 2 farklı eşdeğer devre tasarlamışlardır. Sanchez Esqueda ve arkadaşları [37], kutuplama ve tuzak yoğunluklarının hesaba katıldığı fizik tabanlı bir model oluşturup SPICE eşdeğer devre modelini önermişlerdir. [15] çalışmasında N. Stojadinovic ve arkadaşları, oksit ve arayüzey durumları için önerilen fizik tabanlı modelleri kullanarak eşik gerilimi ve mobilite ötelenmelerinin analizini yapmışlardır. Bu modelleme çalışmalarında, oksit kapasitesinin değişimine odaklanılmamış veya ihmal edilebilir seviyede oldukları belirtilmiştir. Ancak oksit tabakasındaki tuzaklanmalar geçit savak kapasitesi (C_{GD}) üzerinde önemli bir etkiye sahiptir [11, 19, 20]. Çünkü geçit oksit ve oksit arayüzey durumları kapasite-gerilim (C-V) eğrilerinin şeklini belirler [4, 11, 28]. Elde edilen C_{GD}-V_{DS} eğrileri yardımıyla oksit kapasitesi hesaplanabilmektedir [42, 43]. Böylece, [19] çalışmamızda vurgusunu yapmış olduğumuz gibi, geçit oksit bozulması araştırmasında oksit kapasitesinin değişimleri göz önüne alınabilir. [19] çalışmasında, oksit kapasitesi değişimi yorma süresine bağlı olarak tek bir yorma seviyesi için elde edilmiştir. Bu tez çalışması boyunca oksit kapasitesi değişimleri, farklı yorma seviyeleri ve süre aralıkları için çıkartılmıştır.

Bu tez çalışmasında, geçit oksit bozulmasının matematiksel ve devre tabanlı modellerinin oluşturulması amaçlanmaktadır. Tez kapsamında yapılmış olan ölçüm ve tasarım çalışmaları sırasıyla şu üç aşamada gerçekleştirilmiştir. İlk aşamada; temin edilen farklı marka model transistörlerin kırılma gerilim değerleri tespit edilip kırılma istatistikleri çıkartılmıştır ve sabit yorma uygulamasının koşulları araştırılmıştır (Başlık 4.1). Buradaki amaç tekrarlanabilir parametre ölçümleri yapabilmek için çalışma koşullarının ve eleman seçiminin yapılmasıdır. İkinci aşamada ise seçilen bir transistör modeli için geçit-savak kapasitesi ölçümleri yapılmıştır (Başlık 4.2). Sabit yorma uygulaması farklı yüksek gerilim değerlerinde ve yorma sürelerinde yapılmıştır. Sabit yorma boyunca geçit kaçak akım değişimi kaydedilmiştir. Geçit-savak

kapasite değerleri kullanılarak oksit kapasitesi hesaplanmıştır. Oksit kapasitesinin doğrusal olmayan bir değişim gösterdiği gözlemlenmiştir. Bu ikinci aşamada sunulan deneysel veriler, modelleme aşamasında kullanılmıştır. Üçüncü aşamada ise oksit bozulmasının gözlemlenmesini sağlayan geçit kaçak akımı, geçit yükleri ve oksit kapasitesi parametrelerinin değişimleri; eğri uydurma uygulaması yardımıyla matematiksel olarak modellenmiştir (Başlık 4.3). Modelleme sürecinde, bozulma modeli araştırmalarında incelenen turn-around olgusu da dikkate alınmıştır. Matematiksel modellemenin yanı sıra geçit oksit kapasitesi değişimi için devre benzetim modeli tasarlanmıştır. Bu devre tasarım aşamasında, doğrusal olmayan kapasitörlerin modellenmesi üzerine yapılan çalışmalar temel alınmıştır [44-48]. Devre modeli, LTSPICE programında uygulanmıştır. Devre ve matematiksel modellerin doğruluğunu tespit etmek için deneysel sonuçlar ile karşılaştırılması yapılmıştır. Bu önerilen modeller, güç MOSFET'lerinin geçit oksit bozulması hakkında doğru tahminler yapabilme imkânı sunmaktadır. Böylece, elemanların devre uygulamalarındaki performansı ön görülüp devre tasarımlarında iyileştirmeler yapılabilir.

2. GENEL KISIMLAR

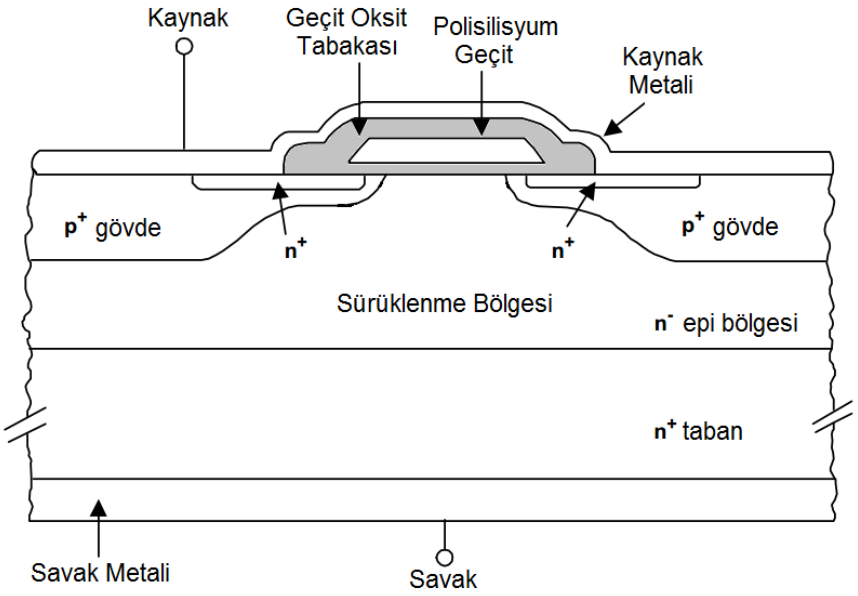
2.1. METAL OKSİT YARIİLETKEN ALAN ETKİLİ TRANSİSTÖRLER

Metal oksit yarıiletken alan etkili transistörler (MOSFET), mikroişlemciler ve yarı iletken bellekler gibi yüksek yoğunluklu entegre devreler için çok önemli elemanlardır. Aynı zamanda güç uygulamalarında da önemli bir yere sahiptir [4]. Günümüzde elektrik enerjisinin %70' inin yarı iletken güç elemanları tarafından yönetilmesi bunun en büyük sebeplerinden biridir [1].

MOSFET' lerin yapısal tasarımları, kullanım alanlarındaki çeşitliliğe göre değişmektedir. Mikroelektronik devreler için MOS teknolojilerinin geliştirilmesi güç MOSFET' lerinin tasarlanmasına kapı açmıştır [49]. Güç MOSFET' lerinin eleman geometrisi, gerilim ve akım seviyeleri düşük MOSFET'lerde kullanılan tasarımdan önemli ölçüde farklıdır ancak benzer yarıiletken işleme tekniklerine sahiptirler [50]. Güç MOSFET' lerinin yapısında çoğu güç elemanını imal etmek için kullanılan çift difüzyonlu teknoloji bulunmaktadır (Şekil 2.1) [51]. Bu tasarımın güç uygulamalarında oldukça benimsenmesi, özellikle dikey yapılı çift difüzyonlu MOSFET' lerin (VDMOS) ticari olarak en başarılı güç MOSFET' i olmasını sağlamıştır [52]. Tipik bir transistöre kıyasla VDMOS; yüksek empedans, yüksek ısıl kararlılık, düşük sürüş akımı (driving current), düşük dinamik kayıp, düşük bozulma (distortion) ve hızlı anahtarlama gibi birçok avantaja sahiptir [3]. Bu yüzden VDMOS, modern anahtarlamalı güç kaynağı, otomotiv elektroniği, endüstriyel kontrol, ses yükseltici gibi alanlarda önemli bir rol oynamaktadır [3].

Şekil 2.1' de n kanallı VDMOSFET' in düşey kesiti gösterilmektedir. Düşük güçlü bir MOS ile karşılaştırıldığında; VDMOS' larda kaynak için daha fazla alan kullanılmaktadir. Kaynak ile savak, silisyum plakanın (wafer) birbirine karşıt kısımlarında yerleştirildiği için aralarındaki mesafe daha geniş olur ve dikey bir kanal tasarımı oluşur. Bu sürüklenme bölgesindeki genişlik, VDMOSFET' in güç oranı (power rating) ve gerilim dayanımında artış gözlemlenmesini sağlar [51, 53, 54].

Bu çalışmada VDMOS yapısındaki güç MOSFETleri kullanılmıştır. Bu başlıktan sonra bahsedilecek olan matematiksel denklemler ve ilgili şekiller, VDMOS yapısına uygun şekilde ifade edilmiştir.

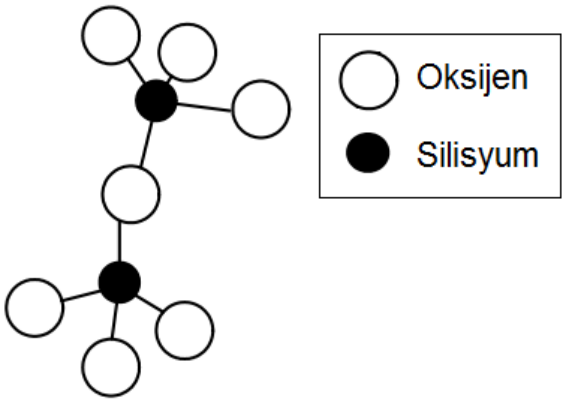


Şekil 2.1: VDMOSFET' in düşey kesiti [5].

2.1.1. Geçit Oksit Tabakası ve Üzerindeki Kapasitif Bileşenler

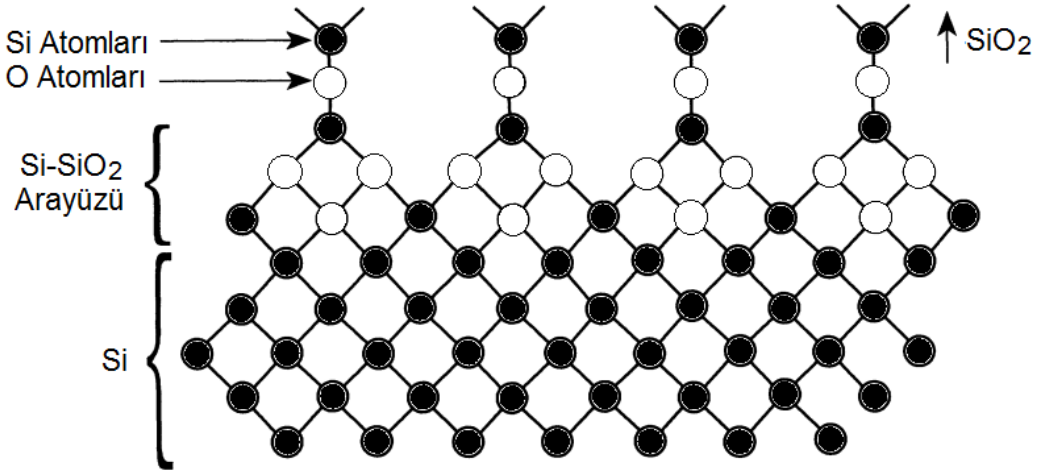
Silisyum dioksit (SiO_2), MOSFETlerin geçit terminalini kanaldan izole etmek amacıyla kullanılan önemli bir yalıtkandır. Bu yalıtkan, yüksek dielektrik dayanım (>10MV/cm) ve yüksek empedans ($\approx 10^{17}\Omega \cdot cm$) özellikleri sayesinde entegre devrelerde yaygın olarak kullanım alanı bulmuştur [5-7]. Silisyum (Si) yüzeyi, SiO_2 oksit tabakasıyla kolayca pasifleştirilebilir [5]. Geçit oksiti olarak MOSFET' in yapı taşını oluşturur ve MOS teknolojisinin başarısındaki anahtar faktörlerden biridir [4].

Saf SiO_2, sürekli bir SiO_4 tetrahedra ağı olarak tanımlanabilir ve bu ağdaki bitişik tetrahedra, bir oksijen (O) atomunun iki silisyum (Si) atomu arasında köprü oluşturması sonucu (Si-O-Si) birbirine bağlanır (Şekil 2.2) [5]. SiO_2 filmi bir Si taban üzerinde büyütüldüğünde, bir arayüzey bölgesi oluşturulur [5]. Şekil 2.3' te Si tabandan SiO_2 tabakasına geçişin örnek bir modeli görülmektedir [7].



Şekil 2.2: SiO_2' nin temel yapısal birimi [8].

Oksit tabakası, sağladığı avantajlara rağmen, mükemmel olmaktan uzaktır. SiO_2; elemanların fiziksel, kimyasal, yapısal, optik ve elektriksel özellikleri üzerinde önemli etkileri olabilecek kusurlar içerir [8]. Bu kusurların varlığı, normal çalışma koşullarında bile elemanın oksit tabakasında tuzak (trap) oluşumunu tetikleyebilmektedir [5, 9, 10]. Oksit tabakasında ve arayüzeyindeki yük tuzaklanmaları, MOSFET' lerin yapısında bulunan kapasitif bileşenlerin de etkilenmesine sebep olur [11, 19-21]. Oksitte tuzaklanan yükler, MOS yapıların kapasite-gerilim (C-V) eğrisinde bir ötelenmeye neden olurken; arayüzey tuzakları C-V eğrisini uzatma/genişletme eğilimindedir [55].



Şekil 2.3: İdeal Si-SiO_2 arayüzü için atomik dizilim modeli [56].

VDMOSFET yapısında bulunan kapasitif bileşenler Şekil 2.4' te görülmektedir. Bu oksit ve jonksiyon üzerindeki kapasitif bileşenler; geçit-savak (C_{GD}), geçit-kaynak (C_{GS}) ve savak-kaynak (C_{DS}) terminal kapasiteleri ile temsil edilebilirler [42].

MOSFETlerin birim alan başına düşen oksit kapasitesi C_{OX} (F/cm^2), Eşitlik 2.1' deki denklem ile ifade edilmektedir. Bu kapasitörün ölçüm teknikleri ile nasıl elde edileceği, "3. Malzeme ve Yöntem" başlığında detaylı olarak anlatılacaktır.

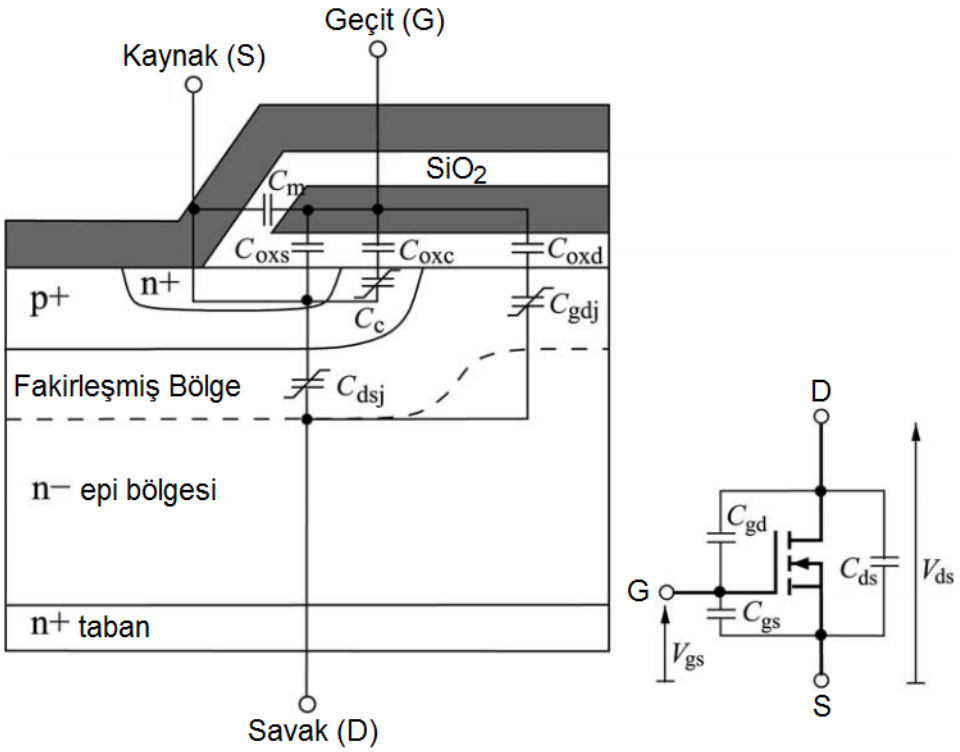
$$C_{OX} = \varepsilon_{OX}/t_{OX} \tag{2.1}$$

Burada; ε_{OX}, geçit oksit tabakası dielektrik sabiti ve t_{OX}, geçit oksit kalınlığıdır.

Geçit oksit tabakası üzerindeki bir kapasitenin, uygulanan kutuplama geriliminden bağımsız olarak sabit bir değer aldığı bilinmektedir [42]. Ancak, oksit tabakasında tuzaklanan yükler, özellikle geçit-savak kapasitesi üzerinde önemli bir etkiye sahiptir [11, 19, 20]. C_{GD} kapasitesi 2 seri kapasiteden oluşmaktadır ve Eşitlik 2.2' de formülize edilmiştir [42, 43].

$$C_{GD} = \frac{1}{\frac{1}{C_{OXD}} + \frac{1}{C_{GDJ}}} \tag{2.2}$$

Burada, C_{OXD} oksit boyunca epi-bölgesi üzerindeki geçit-savak arasındaki kapasite ve C_{GDJ} jonksiyon kapasitesidir.



Şekil 2.4: VDMOSFET' in (a) yapısında bulunan kapasitif bileşenler **(b)** terminalleri arasındaki eşdeğer kapasiteler [42].

Oksit tabakasının bozulma durumu, C_{GD} üzerinden tespit edilebilir [19]. Bu inceleme, jonksiyon kaynaklı kapasitenin etkileri ihmal edilebilir seviyeye getirilerek sadece oksit kapasitesi değişimi gözlemlenerek gerçekleştirilir. MOSFET' lerin güvenilirliğinin sağlanması ve kontrol edilmesi açısından, geçit oksit bozulması araştırmalarının yapılması önemlidir. Çünkü SiO_2 tabakası, Si-tabanlı elemanlarda oldukça baskın bir rol oynar [4]. Bu yüzden, SiO_2' deki kusurların ve bozulma durumunun MOSFET' lerin performansını nasıl etkileyebileceği hakkında daha iyi bir görüş kazanmak için göz önünde bulundurulması gerekir.

Oksit kapasitesi; eşik gerilimi, savak-kaynak akımı, geçiş iletkenliği, mobilite, sayısal devre uygulamaları için geçiş karakteristikleri, analog devre uygulamalarında devre kazancı gibi çeşitli elektriksel parametrelerin denklemlerinde yer bulmaktadır. C_{OX} parametresini içeren bazı elektriksel parametreler Eşitlik 2.3-2.12' de sıralanmıştır [49, 57]. Oksit kapasitesinin değişiminin MOSFET' in elektriksel özelliklerini, sayısal ve analog devrelerde çalışma performansını etkileyeceği bu ifadeler üzerinden söylenebilir.

Bir n kanallı MOSFET' in çıkış akım ve bazı elektriksel parametreleri Eşitlik 2.3-2.8' de verilmektedir.

$v_{GS} > V_{TH}$ ve $v_{DS} < v_{GS} - V_{TH}$ için;

$$I_{DS} = \frac{1}{2}\frac{W}{L}.\mu.C_{OX}\cdot[2\cdot(v_{GS}-V_{TH})\cdot v_{DS} - {v_{DS}}^2] \quad (2.3)$$

$v_{GS} > V_{TH}$ ve $v_{DS} \geq v_{GS} - V_{TH}$ için;

$$I_{DSsat} = \frac{1}{2}\frac{W}{L}.\mu.C_{OX}\cdot(v_{GS}-V_{TH})^2 \quad (2.4)$$

$$K = \frac{k_N}{2} = \frac{1}{2}\frac{W}{L}.\mu.C_{OX} \quad (2.5)$$

$$\mu = \frac{2K}{C_{OX}}\frac{L}{W} \quad (2.6)$$

$$V_{TH} = V_{TH0} + \frac{\sqrt{2q\varepsilon_{Si}N_A}}{C_{OX}}\cdot[\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|}] \quad (2.7)$$

$$g_m = \frac{W}{L}.\mu.C_{OX}.(V_{GS}-V_{TH}) \quad (2.8)$$

Burada; v_{GS} geçit-kaynak gerilimi, v_{DS} savak-kaynak gerilimi, V_{TH} eşik gerilimi, I_{DS} savak kaynak akımı, I_{DSsat} doyma bölgesinde akım değeri, K (k_N) proses parametresi, μ mobilite, g_m

doyma bölgesinde geçiş iletkenliği, W kanal genişliği, L kanal boyu, V_{TH0} eşik gerilimi başlangıç değeri, V_{SB} kaynak-taban gerilimi, ϕ_F yüzey evirtim potansiyeli, q birim yük, ε_{Si} silisyumun permitivitesi, N_A katkılama yoğunluğunu temsil etmektedir.

Bir sayısal evirici devresinde n-kanallı MOSFET' in gerilim geçiş karakteristiğindeki önemli noktalar Eşitlik 2.9-2.11' de verilmektedir [57, 58]. Bu karakteristik noktalardaki gerilim değerleri; sayısal devrelerdeki geçiş bölgesi genişliği, gürültü bağışıklığı ve gürültü sınırı gibi devrenin lojik becerisini ölçen kavramların hesaplanmasında kullanılır. Bu ifadelerde görülen eşik gerilimi ve proses parametresi, C_{OX} ile ilişkili elektriksel parametrelerdir (Eşitlik 2.5 ve 2.7) .

$$V_{OL} = \frac{V_{DD}}{1+k_n.R_L.(V_{DD}-V_{TH})} \tag{2.9}$$

$$V_{IL} = \frac{1}{k_n.R_L} + V_{TH} \tag{2.10}$$

$$V_{IH} = -\frac{1}{0{,}75.k_n.R_L} \pm \sqrt{\frac{1}{(0{,}75.k_N.R_L)^2} + \frac{2.V_{DD}}{0{,}75.k_n.R_L}} + V_{TH} \tag{2.11}$$

Burada; V_{OL} çıkış düşük seviye gerilimi, V_{DD} besleme gerilimi, R_L eş değer yük direnci, V_{IL} geçiş eğrisinde girişin alacağı düşük seviye gerilimi, V_{IH} ise girişin alacağı yüksek seviye gerilimidir.

Bir analog kuvvetlendirici devresinin kazanç parametresi, Eşitlik 2.12 yardımıyla hesaplanmaktadır.

$$\frac{V_{çıkış}}{V_{giriş}} = A_V = -g_M.R_L = -\frac{W}{L}.\mu.C_{OX}.(V_{GS}-V_{TH})\cdot R_L \tag{2.12}$$

2.2. HIZLANDIRILMIŞ YORMA TESTLERİ

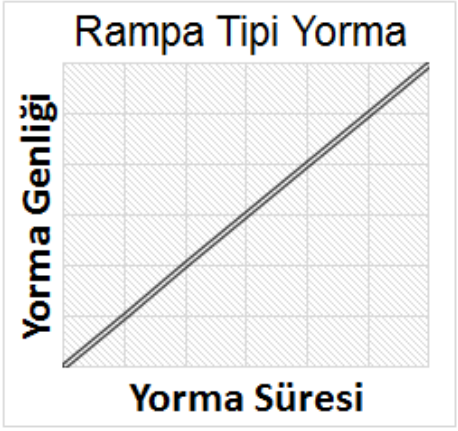
Yarıiletken elemanların kararlı bir çalışma performansı göstermesi, yapısında bulunduğu ürünlerin görevlerini belirlenen koşul ve süreler içerisinde yerine getirebilme becerisinin kaynağını oluşturur. Bu beceri, ilgili ürün veya sistemin güvenilirliğine karşılık gelir ve yapısındaki en zayıf bileşenin güvenilirliği ile belirlenmektedir [59]. Bu açıdan bakıldığında MOSFET' lerin bozulması, yapısında bulunduğu devre veya ürünlerin kötü etkilenmesine sebep olur. MOSFET' ler için ise oksit tabakasının işlevini yitirmesi elemanın çalışmasını sonlandırabilir. Bu durumda oksit tabakası en zayıf halkadır. MOSFET' lerin güvenilirliğinin

sağlanması ve kontrol edilmesi açısından, geçit oksitinin güvenilirlik araştırmasına büyük bir dikkat gösterilmelidir.

Yarıiletken elemanların üretim sürecinde oksitin kırılmasını etkileyen birçok adım mevcuttur. Üretim-kurulum aşamasında ara yüzey etkileşimleri için oluşturulan tasarımların başarısızlığı veya tasarımların düzgün uygulanmaması, elemanların zaman içerisinde normal kullanım koşullarında bile zarar görmelerine sebep olabilir [60]. Bundan dolayı, elemanların kullanımları esnasında karşılaşılabilecek problemlerin ön görülebilmesi için güvenilirliklerinin kısa süre içerisinde test edilmesi gerekmektedir. Firmalar, ürünlerin müşteri bazında memnuniyetini artırmak ve böylece prestij kazanmak için güvenilirlik performansını artırmaya yönelik çaba sarf etmektedir [1]. Aynı zamanda akademik çevrede de güvenilirlik tasarımlarının geliştirilmesine ve yeni ürünlerin tasarımına olanak sağlanması amacıyla uzun yıllardır çalışmalar yapılmaktadır [9-31].

Yarıiletken elemanların güvenilirlik durumu hakkında bilgi alınmasını sağlayan en geleneksel yöntem hızlandırılmış yorma testleridir (accelerated aging tests). Bu testler, normal çalışma şartlarından daha şiddetli seviyelerde yorma uygulanarak yapılmaktadır. Elemanlar; gerilim, akım, sıcaklık ve benzeri yorma faktörlerine maruz bırakılarak, kullanımları esnasında oluşabilecek bozulma mekanizmaları kısa sürede elde edilir. [32-35]. Yorma faktörlerine, çalışılması planlanan bozulma mekanizması göz önüne alınarak karar verilir ve testlerde iki farklı şekilde uygulanırlar:

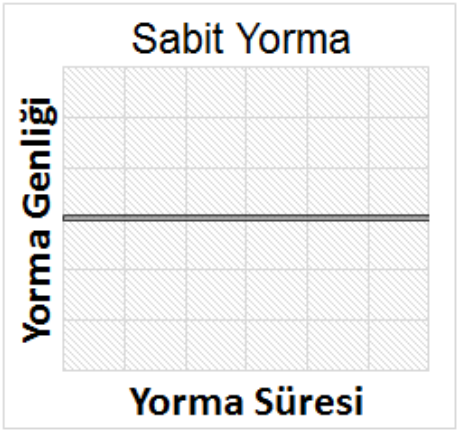
- Rampa tipi yorma: Yarıiletken elemanın gerilim dayanımının belirlenmesini sağlayan hızlı bir ölçüm yöntemidir [61]. Bu test yönteminin birçok farklı çeşidi vardır. Yöntemlerinden biri ilerleyen tip testtir ve yorma seviyesi, zaman içerisinde sürekli olarak artırılarak uygulanır (Şekil 2.5). Bu artış oranı farklılık gösterebilmektedir. Ayrıca basamak testi olarak isimlendirilen başka bir yönteminde; yorma genliği, bir süre sabit bırakılır, sonra değeri artırılır ve tekrar başka bir yorma süresi aralığı boyunca sabit kalır. Bu şekilde kırılma gerilim seviyesine kadar değeri artırılır [35]. Bu rampa tipi yorma yöntemi kırılma fiziğini araştırmak için uygun değildir [36].



Şekil 2.5: Rampa tipi yorma; ilerleyen tip test.

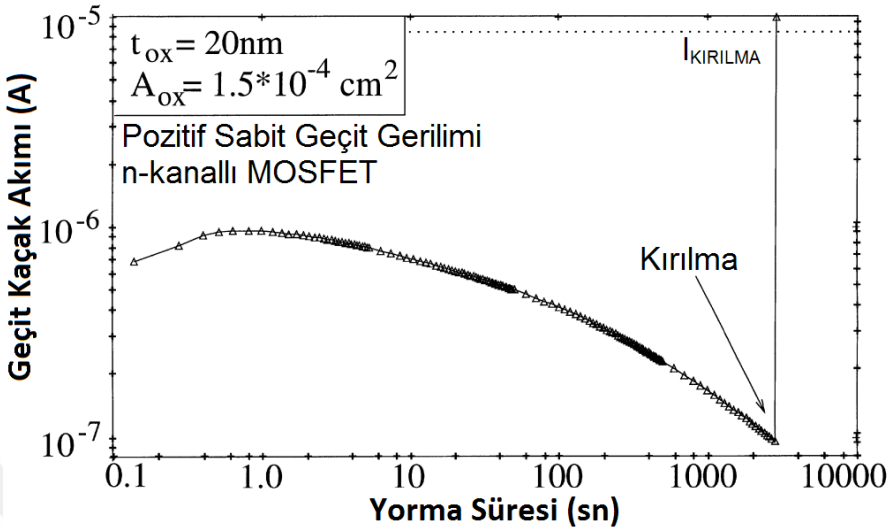
- Sabit Yorma: Bu yöntemin amacı; yorma uygulamasında elemanların kırılma gösterdiği sürenin (t_{BD}) belirlenmesidir [61]. Yorma genliği, bütün yorma süresi boyunca aynıdır (Şekil 2.6). MOSFET' lerin güvenilirlik çalışmalarında oksit bozulmasını araştırırken sabit yormadan faydalanılmaktadır [13-15, 36]. Bu testler sırasında, oksit yapısını bozan yük tuzaklanmalarının etkileri ölçülen ikinci bir parametre üzerinden gözlemlenir [36]. Örneğin, MOSFET' lere sabit gerilim uygulandığında geçit akımının zamana bağlı değişimi çıkartılır (Şekil 2.7). Akımın aniden çok yüksek değerler aldığı süre, kırılma süresini işaret etmektedir. Kırılma yükü (Q_{BD}) de kaydedilen akım-yorma süresi eğrilerinden hesaplanabilir [62, 63]. Q_{BD}, aşağıdaki denklemde ifade edildiği gibi yorma süresi boyunca oksit içerisine enjekte edilen akımın toplamıdır [61]:

$$Q_{BD} = \int_0^{t_{BD}} I(t)dt \qquad (2.13)$$



Şekil 2.6: Sabit yorma yöntemi.

Hızlandırılmış yorma testinde incelenmesi planlanan elektriksel parametrelere göre yorma seviyesinin uygulama boyunca artması (rampa) veya sabit kalması sağlanır.



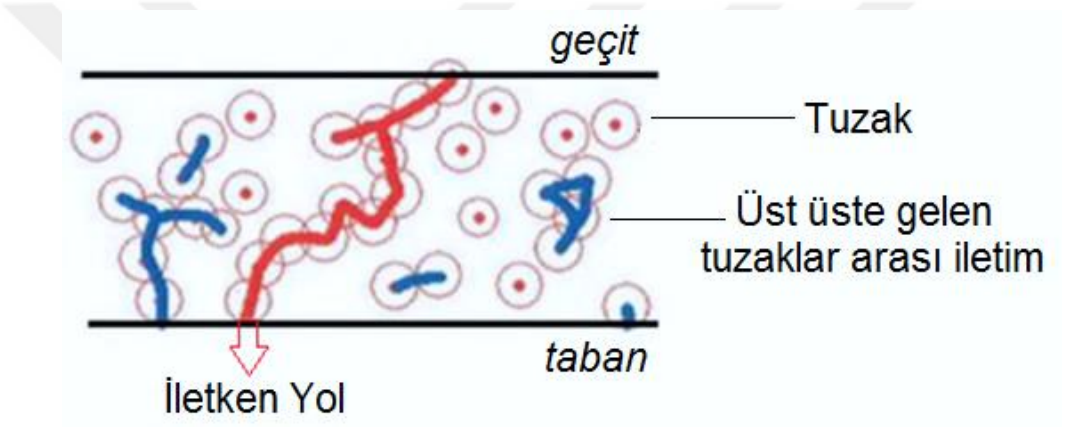
Şekil 2.7: Kalın (20nm) oksitli bir MOSFET için geçit akımının yorma süresi ile değişimi [64].

2.3. GEÇİT OKSİT BOZULMASI VE KIRILMASI

MOSFET' lerin geçit oksit tabakasına dielektrik dayanımından daha düşük bir elektrik alan uzun süre uygulanırsa, dielektrik özellikleri kademeli olarak bozulur ve en sonunda oksit tabakası aniden kırılır [65]. Bu kırılma, Başlık 2.3.4' te bahsedilecek olan zamana bağlı dielektrik kırılma (Time Dependent Dielectric Breakdown-TDDB) olarak isimlendirilmektedir [9].

MOSFET' lerin üretim sürecinde yapılan hatalara veya malzemenin içsel özelliklerine bağlı olarak geçit oksiti içerisinde ve ara yüzey (Si/SiO_2) yakınlarında bozukluklar (defects) oluşur [5, 9]. Bu bozuklukların varlığı, oksit tabakasının normal kullanım koşullarında bile kırılabileceği anlamına gelir [9, 26, 66]. Çünkü MOSFETler normal kullanım koşulları boyunca elektriksel bir yormaya maruz kalacaktır. Oksit tabakasında bulunan bozukluklar, SiO_2 ve Si-SiO_2 arayüzeyinde yüklerin tuzaklanmasına sebep olur [5]. Tuzaklar, oksit içerisinde rastgele konumlarda üretilmektedir (Şekil 2.8) [26, 67]. Tuzaklanmış yükler bölgesel bir elektrik alan artışına sebep olur ve bunun sonucunda, yeni tuzaklar oluşur [9, 12]. Böylece, oksit yalıtkanlık özelliğini kademeli olarak yitirir. Bu yük tuzaklanması boyunca, MOSFET' in elektriksel parametrelerinde de değişiklikler görülür. Literatürdeki çalışmalar; SiO_2 ve Si/SiO_2 ara yüzey durumlarının eşik gerilimi [13-17], mobilite [15, 18], terminal kapasiteleri [11, 19, 20], çalışma

direnci [13, 21], anahtarlama süreleri [11, 13, 21] ve eşik-altı eğimi [15, 16, 19] gibi parametrelerde değişikliklere sebep olduğunu göstermiştir. Tuzaklanan yükler, kritik değerlere ulaşana kadar birikir. Birbirine yakın tuzaklar üst üste gelirse, bu tuzaklar arasında iletim mümkün olur [26, 68]. Kritik yük değerlerine ulaşılınca, geçit ile kanalın kısa devre olmasına neden olan kesintisiz iletken bir yol oluşur ve bunun sonucunda geçit oksit kırılması meydana gelir (Şekil 2.8) [9, 23-26]. Bu durum geçit oksit bozulmasını, MOSFET' lerin çalışmasını olumsuz yönde etkileyen önemli bir aşınma (wearout) sorunu haline getirir [11-17, 19, 22, 27-29] ve güç MOSFET' lerinde geçit oksit bozulması araştırmaları, son yıllarda önemini korumaya devam eden bir konudur [11-19, 21, 27].



Şekil 2.8: Geçit oksit bozulması ve kırılması [68].

Geçit oksiti içerisinde birçok iletken kırılma yollarının bulunması, kırılma süreleri arasında farklılıklara yol açar [69]. İstatistiksel modellerden faydalanılarak dielektrik boyunca çok sayıda kaçak yolların oluşabileceği gözlemlenmiştir (Şekil 2.8) [69, 70]. Örneğin; aynı elemana düşük yorma seviyesi uygulandığında elde edilen kırılma süresi, daha yüksek yorma seviyesi uygulanması halinde elde edilen kırılma süresinden küçükse oksit içerisinde birçok kırılma yollarının mevcut olduğu belirtilmiştir [68-70]. Çünkü geçit oksiti içerisinde tuzaklar rastgele konumlanır ve yorma seviyesine bağlı olarak birikim sürecinden iletken yol oluşumuna kadar geçen sürenin değişmesine sebep olabilir [26, 67, 69].

2.3.1. Geçit Oksit Tabakasında ve Arayüzeyindeki Kusurlar

Geçit oksitindeki kusurlar; SiO_2 ağındaki(network) yapısal kusurları, yabancı atom ve parçacıkları (impurities and particles) ifade eder [55]. Yabancı atomlar, elemanın üretim

süreçleri sırasında istenmeden dahil edilir [10]. Malzemenin yapısal kusurları, iç özelliği olarak gevşek bağlar ve boşluklar (vacancies) bulundurma eğiliminden gelmektedir. Tüm bu durumlar, oksit tabakasında mevcut kusurların (defects) oluşmasına sebep olmaktadır [5, 9]. Aktif kusurların varlığı, elemanın elektriksel özelliklerini değiştiren yüklere veya yük tuzaklanmalarına neden olabilir [8].

Oksit tabakasındaki kusurlar içsel (intrinsic) ve dışsal (extrinsic) olarak sınıflandırılabilir [55]. Tablo 2.1' de Si veya O boşlukları gibi orijinal ağın atomları ile ilgili içsel kusurların ve yabancı bir atomun varlığı ile ilgili dışsal kusurların örnekleri verilmektedir.

Tablo 2.1: Oksit tabakasında bulunan içsel ve dışsal kusurlar [55].

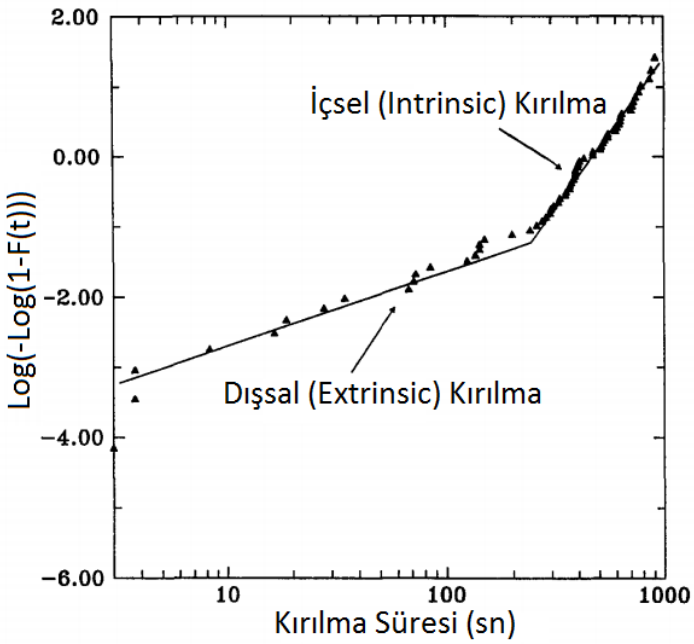
Kusur Tipleri	Örnekleri
İçsel Kusurlar	• Si veya O boşluğu • Uzun Si-O bağı • Gergin bağ • Bozuk bağ veya sarkan bağ • Köprü oluşturmayan oksijen
Dışsal Kusurlar	• Bir Si atomunun bir katkılama (dopant) atomuyla değişimi • Bir O atomunun başka bir anyon ile değiştirilmesi • Ağdaki yabancı iyonların (örneğin, Na +, F−, OH−) boşlukları • Köprü oluşturmayan bir O atomunun tek değerlikli bir anyon (veya grup) ile değiştirilmesi (örn. OH^-)

Si-O bağlarından biri gerildiğinde, bozulduğunda veya kırıldığında içsel kusurlar oluşur. Bu içsel kusurların oluşmasına neden olabilecek Si-O-Si bağlarının çeşitli anormal konfigürasyonları oluşabilmektedir (Tablo 2.1) [5, 10]. Si-O bağlarının kırılması, yorma ile kolayca kırılabilen gerilmiş bağlardan kaynaklanmaktadır [5].

İçsel kusurlar, arayüzey kusurlarının da kaynağını oluşturmaktadır. Arayüzey özellikleri, SiO_2 tabakasındaki ve arayüzey bölgesindeki kusurlardan etkilenir [5]. Si-SiO_2 sistemindeki elektriksel olarak aktif kusurlar üç kategoriye ayrılır: (1) Si' deki yükler ile etkileşimi olmayan oksit tuzakları, (2) Si yükleri ile kolayca iletişim kuran arayüzey durumu tuzakları ve (3) Si yükleri ile etkileşime giren yakın-arayüzey tuzakları [5].

SiO_2'deki dışsal kusurlar, klor (Cl) ve hidrojen (H) gibi yabancı maddeleri içerir; bu katkılar kaçınılmaz olarak başlangıç materyalleri (örneğin $SiCl_4$) ve ürün hazırlama süreçleri esnasında sokulur [8].

İçsel ve dışsal olarak iki ana başlık ile ifade edilen kusurların kırılma davranışları da farklılık göstermektedir. Üretim sürecinde ortaya çıkan dışsal kusurlar, oksit kalitesini düşürür ve yarıiletken elemanlarda kısa sürede veya ani kırılmalara sebep olabilir. Bunun sonucunda geniş bir kırılma istatistiksel dağılımına sahip olur (Şekil 2.9) [36]. Diğer yandan oksitin kendi yapısındaki tuzak oluşturma eğiliminden kaynaklanan içsel kusurlar, yorma süresi boyunca tuzak oluşumunu tetikler. Kırılma zaman içerisinde gerçekleşir. Böylece, yüksek yorma seviyesi altında daha uzun kırılma süreleri görülebilmektedir. Bundan dolayı, daha dar ve dik bir kırılma istatistiksel dağılıma sahiptir (Şekil 2.9) [36]. Şekil 2.9' da [36] çalışması için çıkartılmış olan örnek kırılma istatistiksel dağılımı görülmektedir. Başlık 3.3' te bu dağılımlar ile ilgili detaylı bilgi verilecektir.



Şekil 2.9: Kırılma İstatistiksel Dağılımı (Weibull) [36].

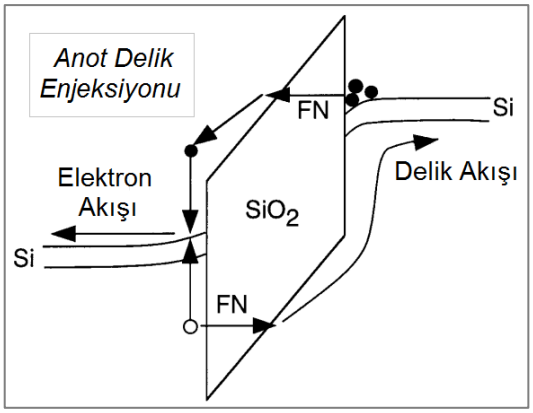
Oksit ağındaki kusurlar, yük taşıyabilir veya taşımayabilir ve bunlara nötr tuzaklar denir. Nötr tuzak terimi, tuzakların nötr olması gerektiği anlamına gelmez. Bozulmaya neden olan tuzakların mutlaka pozitif veya negatif yük ile ilişkili olmadığını belirtmek için kullanılır. Nötr tuzaklar, pozitif olarak yüklenmek üzere bir delik veya negatif olarak yüklenmek için bir elektron yakalayabilir [71]. Bir tuzağın yük yakalama faktörü; aşırı kutuplama gerilimi, aşırı ısınma ve iyonlaştırıcı radyasyona maruz kalma gibi elemanlara uygulanan yorma koşullarına göre değişir [55]. SiO_2' de, taşıyıcı tuzaklama ve tuzaktan salıverme (detrapping), SiO_2 tabakasına yapılan taşıyıcı enjeksiyonu ile doğrudan ilgilidir. Yük tuzaklanması; oksit

tabakasında önceden var olan elektrik alanı ve potansiyel dağılımı değiştiren pozitif veya negatif bir yüke yol açar [55]. Böylece tuzak yoğunluğu kritik bir değere ulaşır ve oksit tabakası boyunca kırılmaya sebep olan iletken bir yol oluşur [71].

2.3.2. Geçit Oksitinde Tuzak Oluşum Mekanizmaları

Bozulmaya neden olan tuzak oluşum mekanizması için literatürde üç genel model önerilmiştir [72]. Bu modeller; anot delik enjeksiyonu modeli (Anode Hole Injection - AHI), termokimyasal model ve anot hidrojen salınım modeli (Anode Hydrogen Release - AHR) şeklindedir.

1/E modeli olarak da bilinen AHI modeli, pek çok araştırmacı tarafından doğruluğu kabul görmüş bir bozulma mekanizmasıdır [73-75]. Bu modele göre kusur oluşumunun çoğunlukla elektronlardan değil deliklerden kaynaklandığı varsayılmaktadır [76]. Tünellenen yüksek kinetik enerjili elektronlar, anota ulaşarak, enerjilerini kaybeder ve elektron-delik çifti üretirler. Deliklerin küçük bir kısmı oksitin valans bandına geri tünellenerek oksit içerisinde tuzak oluşumunu hızlandırır [77-81]. Bu durum oksitte yeni elektron tuzaklarının oluşması anlamına gelir [82-83]. Bunun sonucunda daha fazla enerjili elektron oksit içine girer ve daha fazla tuzak oluşur. Bu döngü, dielektrik kırılma gerçekleşene kadar sürmektedir. Bu modelin fiziksel temeli, Başlık 2.3.3' te anlatılacak olan Fowler-Nordheim (F-N) tünellemesi ve anotta delik üretimine dayanmaktadır (Şekil 2.10) [84, 85]. Bu model; dielektrik kırılma süresinin (t_{BD}) veya ömrünün uygulanan elektrik alan ile ters orantılı olduğunu önermektedir [81, 84].

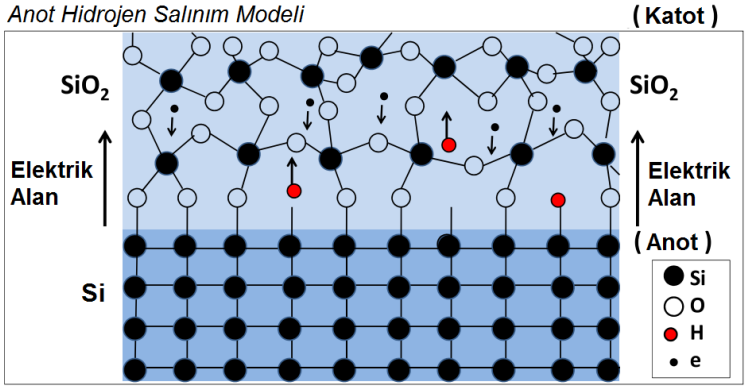


Şekil 2.10: Anot delik enjeksiyonu modelinin şematik gösterimi [65].

Termokimyasal model (E modeli) yaygın olarak kullanılan bir diğer tuzak oluşum mekanizmasıdır [86]. Termokimyasal aşınma süreci yalnızca elektrik alanın genliği ve geçite

bu alanın uygulanma süresi ile ilgilidir. Enjekte olan yük miktarı ile ilgili değildir [24]. Bu modele göre kırılma, yüksek elektrik alan yönlendirmeli bağ kırılması sonucu gerçekleşir [84, 85]. Yerel elektrik alan; oksit tabakasındaki zayıf Si-Si bağlarıyla etkileşime girer. Bu bağlar yapıdaki oksijen boşluklarıyla ilişkilidir. Bağların kırılması sonucu kalıcı kusurlar oluşur [5, 9, 24]. Bu modele göre kırılma veya ömür süresi, elektrik alan ile doğrusal bir ilişki içindedir [84, 85].

Anot hidrojen salınım modelinde ise elektronlar oksit potansiyel bariyeri boyunca tünellenir ve anot/oksit arayüzeyinden delik yaratmanın yanı sıra hidrojen salınımını etkinleştirebilirler [65, 72, 87]. Serbest bırakılan hidrojen atomları, oksit boyunca yayılır ve elektron tuzakları üretebilir (Şekil 2.11). Ve bu nedenle, oksit tabakasına hasar vermeleri beklenir [9]. AHR modeli, kusur üretimi için tespit edilen en düşük enerjili süreçtir [88].



Şekil 2.11: Anot hidrojen salınım modeli şematik gösterimi [9].

2.3.3. Geçit Oksitindeki Tuzaklara Yüklerin Tünellenmesi

Oksit tabakasında, Si-SiO_2 ara yüzeyi potansiyel bariyeri boyunca yüklerin tünellenmesini sağlayan mekanizmalar; Fowler–Nordheim tünelleme (FN), direkt tünelleme ve tuzak destekli tünelleme (trap assisted-TAT) şeklinde ifade edilir [65, 89].

Uygulanan yüksek yorma gerilimi sonucu elektronlar Si' nin iletim bandından SiO_2' nin iletim bandına enerji bariyerini aşarak geçebilirler. Hatta delikler bile SiO_2' nin valans bandına erişebilir [65]. Bunun sonucunda oksit boyunca bir akım akışı oluşur. Bu tünelleme

mekanizması, FN tünellemesi olarak isimlendirilmektedir [90]. FN akım yoğunluğu J_{FN}, şöyle hesaplanabilir [90]:

$$J_{FN} = A \cdot E_{OX}^2 \cdot e^{-B/E_{OX}} \quad (2.14)$$

Burada A, oksit iletim bandındaki etkin elektron kütlesi; B, Si/SiO_2 bariyer yüksekliği ve E_{OX} oksite uygulanan elektrik alan değeridir.

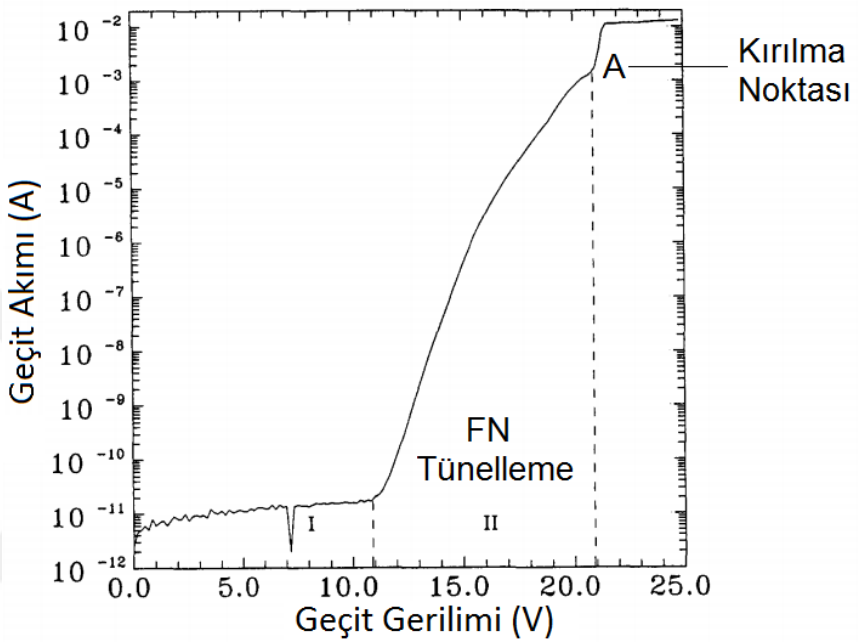
Direkt tünelleme akımı analitik bir formda kolayca tanımlanamaz ve 3 nm altındaki oksit tabakaları için baskın akım iletim mekanizmasıdır [65, 91]. Direkt tünellemenin gerçekleşebilmesi için düşük bir elektrik alan yeterlidir [89]. Çünkü uygulanan geçit gerilimi 3V' un altına düştüğünde, elektronlar artık oksit iletim bandına girmez, ancak anottan katoda doğrudan tünellenebilir. Bu yüzden direkt tünelleme, ince oksit tabakaları için baskın akım iletim mekanizmasıdır [92-95].

Tuzak destekli tünelleme ise yorma kaynaklı kaçak akımın ve yorma uygulanmış MOSFET' lerde düşük geçit gerilimi için geçit akımındaki artışın kaynağı olan bir fiziksel mekanizma olarak ifade edilir [96]. Bu tünelleme, oksit tabakasında bulunan tuzakların ve uygulanan elektrik alanın yoğunluğuna bağlı olarak oluşur. Oldukça düşük yorma değerlerinde bile, oksit yapısındaki tüm tuzakların katkısıyla geçit kaçak akımının oluşmasını sağlayabilir [97]. İdeal konumda yerleşmiş birbirlerine yakın oksit tuzakları etkileşim içerisine girerek ani akım değişikliklerine neden olmaktadır [67].

Çok ince oksitlerde kaçak akım, FN veya direkt tünellemeden kaynaklanmaktadır. Bu kaçak akım, gerilim yorması boyunca tuzak oluşumu için itici faktördür [26]. Kalın oksitler için akım, FN tünelleme veya tuzak destekli tünelleme ile kontrol edilir [90, 98]. Kalın dielektrikler için, enerji bariyeri direkt tünellemeye izin vermek için çok büyüktür [26]. Tünellemelerden kaynaklanan oksit tabakasındaki elektron tuzakları, hidrojen ya da delik içeren bir mekanizma yoluyla oluşturulur [99].

Rampa tipi gerilim yorması uygulandığında Şekil 2.12' deki gibi bir akım-gerilim eğrisi elde edilebilir. Bölge I' de düşük gerilimlerdeki olası geçit kaçak (leakage) akım değerleri görülür. Bölge II' de ise kırılma öncesinde akımın değeri oldukça yükselmeye başlar ve bu durum FN tünellemeden kaynaklanmaktadır [36]. A noktasında ise dielektrik tamamen kırılır.

Flash geçici olmayan hafıza ve elektriksel olarak silinebilir-programlanabilir belleklerin (EEPROM) de yazma işlemi, sıcak elektron enjeksiyonu ile yapılmaktadır [100]. Silme işlemleri ise yüksek elektrik alana maruz bırakılıp FN tünellemesi tetiklenerek gerçekleştirilir [100, 101]. Ve bazı flash elemanlarında silme işlemlerinin yanı sıra yazma işlemi için de FN tünelleme kullanılır [101].



Şekil 2.12: Rampa tipi gerilim yormasında geçit akım-gerilim değişimi [36].

2.3.4. Geçit Oksitinde Görülen Bozulma Mekanizmaları

MOSFET geçit oksit bozulması araştırmalarında en yaygın kullanılan ve en önemli bozulma mekanizmaları: negatif/pozitif kutuplamalı sıcaklık kararsızlığı, sıcak taşıyıcı bozulması ve zamana bağlı dielektrik bozulma/kırılma şeklinde sıralanabilir [102-107]. Bu bozulma mekanizmalarının özellikleri ve ilgili mekanizmanın oluşturulması için kullanılan yorma yöntemleri Şekil 2.13-2.15' te belirtilmektedir.

Bozulma Tipi

- Kutuplamalı Sıcaklık Kararsızlığı (Bias Temperature Instability)

Yorma Yöntemi

- Yüksek pozitif veya negatif yorma gerilimi (Sıcak taşıyıcı bozulmasına sebep olan elektriksel alanın altında bir değer uygulanır [10].)
- Yüksek sıcaklık

Özellikleri

- NMOSlarda PBTI, PMOSlarda NBTI bozulma mekanizmaları daha etkin rol oynar [102, 103].
- NBTI, MOS yapılara özellikle yüksek sıcaklıkta negatif yorma uygulandığında, tuzaklanmış pozitif oksit yükünün ve arayüzey durumlarının birleşimi sonucu ortaya çıkar [104].
- PBTI, yalnızca verici (donor) tip arayüzey durumu oluşturma şeklinde kendini gösterir ve NMOSların oksit tabakasında elektron tuzaklanması küçüktür [103, 105].

Şekil 2.13: Negatif/Pozitif kutuplamalı sıcaklık kararsızlığının özellikleri.

Bozulma Tipi

- Sıcak Taşıyıcı Bozulması (Hot Carrier Degradation-HCD)

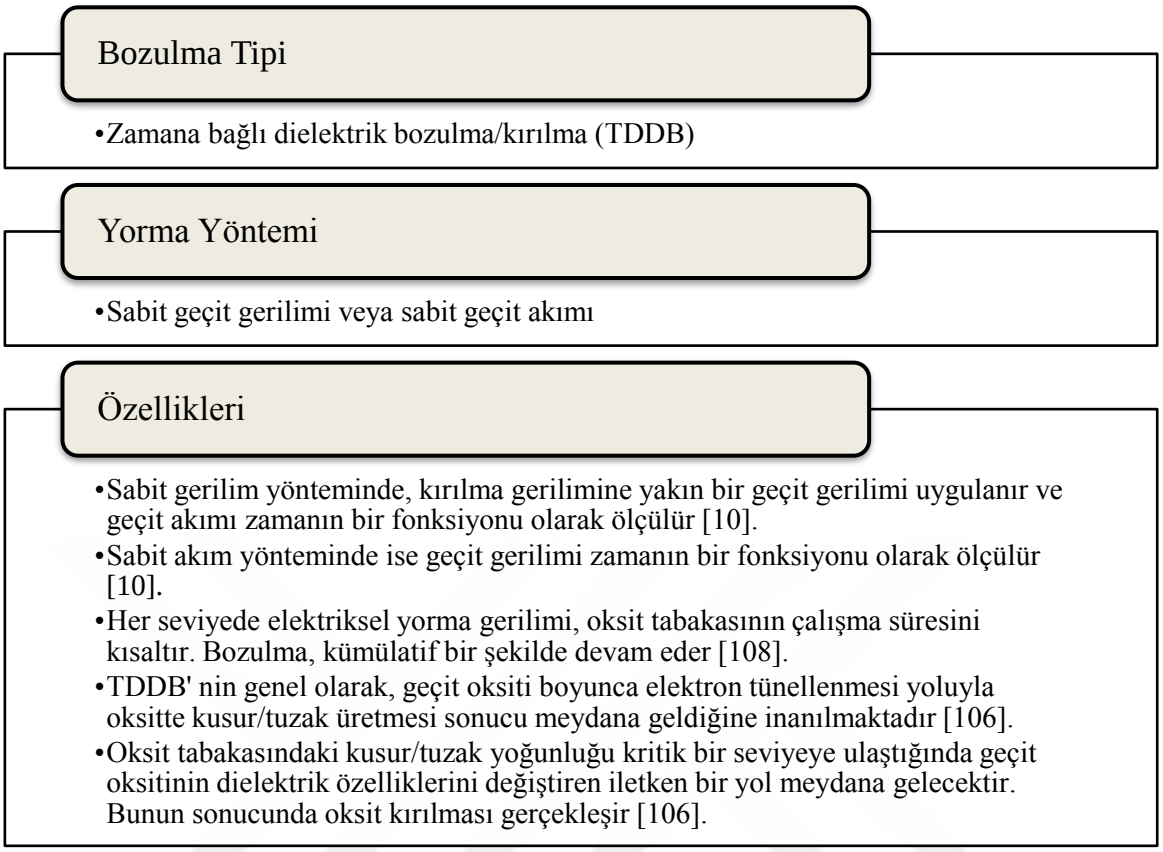
Yorma Yöntemi

- Sıcak taşıyıcı enjeksiyonu (Hot Carrier Injection-HCI) (Yüksek savak-kaynak gerilimi)

Özellikleri

- Kanal boyunca akan savak-kaynak akımı kaynaktan savak bölgesine geçerken, savak jonksiyonu yakınındaki elektrik alan, sıcak taşıyıcıların üretilmesine sebep olur [106, 107].
- Oluşan sıcak taşıyıcıların bazıları, geçit oksidine enjekte olabilmek için yeterli enerjiyi kazanır, bu da yük tuzaklanması ve arayüzey durumlarının oluşmasına neden olur [106, 107].
- HCI oranı doğrudan kanal uzunluğu, oksit kalınlığı ve elemanın çalışma gerilimi ile ilgilidir [106].

Şekil 2.14: Sıcak taşıyıcı bozulmasının özellikleri.



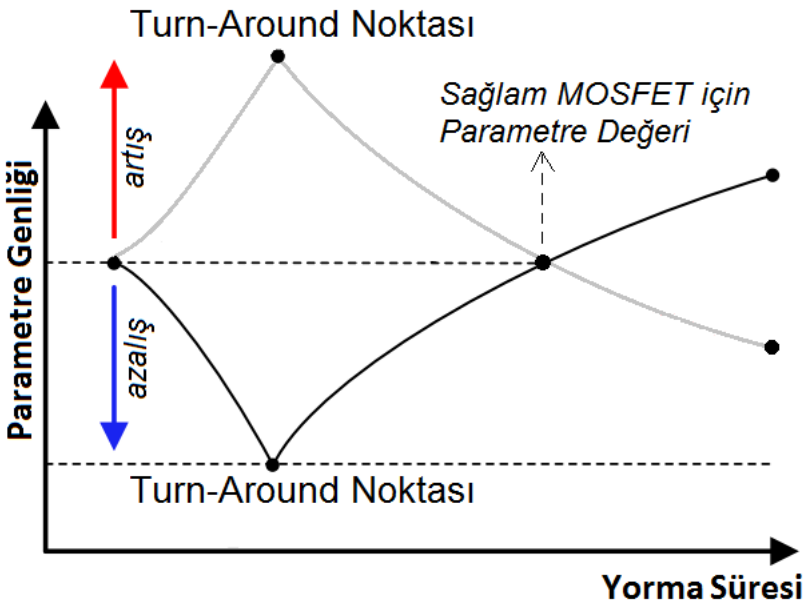
Şekil 2.15: Zamana bağlı dielektrik bozulmanın ve kırılmanın özellikleri.

2.3.5. Elektriksel Parametreler üzerinde Turn-Around Etkileri

Geçit oksit tabakasında tuzaklanmış yükler, yerel elektrik alanında bir artışa neden olur ve böylece delik tünellemesi için yeterli bir dar bariyer oluşur. Tünelleme, arayüzey tuzakları oluşmadan önce, oksitte tuzaklanmış yük birikimleri belirli bir eşik değerine ulaşıncaya kadar devam eder. Bu yük eşik seviyesine erişilmesi ile arayüzey tuzaklarının oluşumu sağlanır. Yorma seviyesine bağlı olarak, bu belirli eşiğe daha erken ulaşılır [4, 15, 16]. Bu, oksitin dielektrik dayanımının yorma seviyesinin bir fonksiyonu olmasının kaynağıdır [61]. Oksit tabakasındaki yük tuzaklanmaları ve arayüzey tuzak durumları, MOS elemanların elektriksel parametre değişimlerinde ek bir davranış biçimine sebep olur. Bu bahsedilen ek değişim davranışı "Turn-around Olgusu" olarak isimlendirilmektedir [13-17, 28-31].

Turn-around olgusu, ilgili elektriksel parametrenin yormanın ilk anlarında azalırken/artarken yorma süresi ilerledikçe artmaya/azalmaya başlaması ile tespit edilmektedir (Şekil 2.16) [13-17, 28-31]. Bu değişimler, tuzaklanan net yükün pozitifken negatife dönüşmeye başlaması

sonucu görülmektedir [109]. Turn-around olgusunun görüldüğü yorma süresi ve parametre genliği, bahsi geçen eşik yük değerine benzer olarak, uygulanan yorma gerilimine bağlı olarak değişmektedir [13-16, 27].



Şekil 2.16: Turn-around olgusunun parametre değişimlerinde gözlemlenmesi.

Turn-around olgusunu içeren bazı çalışmalar Tablo 2.2' de verilmektedir [13-17, 28-31]. Olgu, farklı bozulma mekanizmalarında gözlemlenmiştir ve ağırlıklı olarak eşik gerilimi (V_{TH}) değişimi üzerinden incelenmiştir. N-kanallı güç VDMOSFET' leri için V_{TH} değişiminde, ilk olarak geçit oksitindeki delik tuzaklanmalarının sebep olduğu bir azalışın görüldüğü ve turn-around noktasından sonra bunu arayüzey durumları nedeniyle bir artışın takip ettiği bildirilmektedir (Şekil 2.18-2.19) [13-15, 17, 27]. Örnek olarak; U. Karki ve arkadaşları [13], Şekil 2.17' de bu bahsedilen V_{TH} değişimini sunmaktadır. Şekil 2.17' de aynı model 5 tane VDMOSFET' e aynı değerde pozitif sabit yorma uygulanmıştır. Ayrıca N. Stojadinovic ve arkadaşları da pozitif ve negatif gerilim yorması altında iki farklı marka-model VDMOSFET' in eşik gerilimi değişimini çıkartmışlar [15]. Şekil 2.18' den görülebileceği gibi, turn-around olgusunu pozitif gerilim değerlerinde negatif yormaya kıyasla daha belirgin bir şekilde gözlemlendiğini belirtmişler [15]. Geçit-oksit bozulmasının V_{TH} üzerindeki etkisinin ampirik denklemi aşağıdaki gibidir [15, 110]:

$$V_{TH} = V_{TH0} - \frac{\Delta Q_{OT}}{C_{ox}} + \frac{q\Delta N_{IT}}{C_{ox}} \qquad (2.15)$$

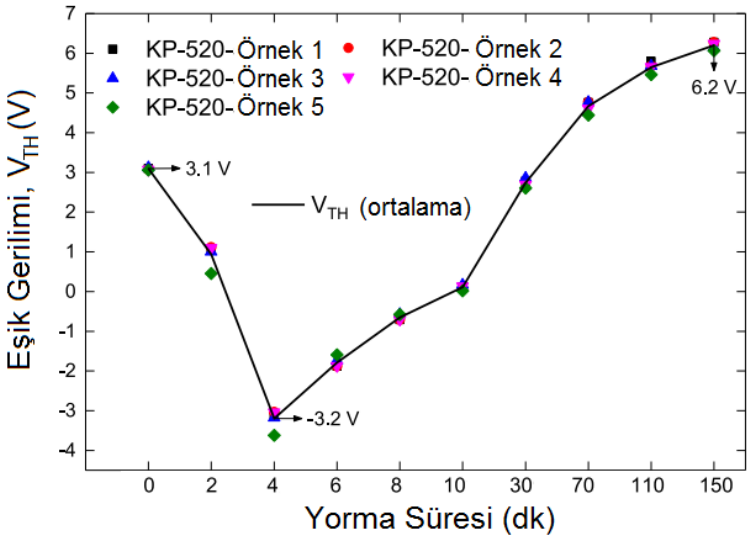
Burada; V_{TH0} eşik geriliminin başlangıç değeri, ΔQ_{OT} yorma kaynaklı oksitte tuzaklanmış yük değişimleri ve ΔN_{IT} arayüzey tuzak yoğunluğudur.

Oksitte tuzaklanmış yükler ve arayüzey tuzak yoğunluklarındaki değişiklikler, V_{TH}' ın değişiminden sorumlu olarak görülmektedir. Bu nedenle, önceki çalışmalarda elektriksel parametreler üzerindeki yük tuzaklanma katkıları detaylı şekilde incelenmiştir [12, 15, 28, 30]. Bazı çalışmalarda, parametrelerdeki turn-around olgusunun neden olduğu değişiklikler teorik olarak [13, 15-17, 28-31] veya matematiksel modeller [14, 27] yardımıyla açıklanmıştır. Bu yüzden, geçit oksit bozulmasını modellerken turn-around olgusu göz önünde bulundurulmalıdır.

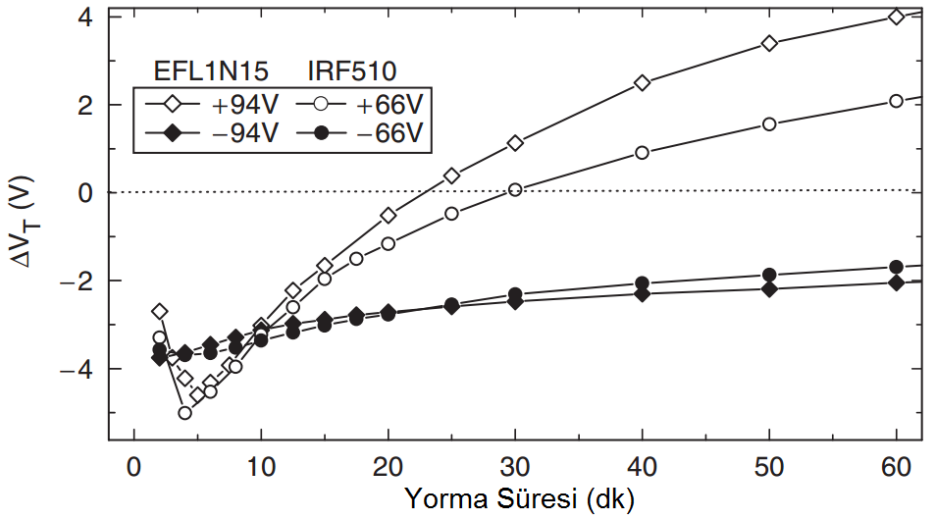
Tablo 2.2: Literatürde raporlanmış turn-around olgusu gözlemlerinin listesi.

Yayın	Yorma Yöntemi	Turn-Around Olgusu Gözlemlenen Parametre
[13]	Yüksek Gerilim Yorması	V_{TH}, V_{GP}[a], t_{GP}[b], R_{ON}[c]
[14]	Yüksek Gerilim Yorması	V_{TH}
[15]	Yüksek Gerilim Yorması	V_{TH}
[16]	Yüksek Gerilim Yorması	V_{TH}, I_{DS}[d]
[17]	Yüksek Gerilim Yorması, Radyasyon	V_{TH}, V_{GP}[a]
[28]	Çığ (Avalanche) Elektron Enjeksiyonu	V_{FB}[e]
[29]	Pozitif Kutuplama ve Sıcaklık	V_{TH}
[30]	Sıcak Taşıyıcı Enjeksiyonu	V_{TH}
[31]	Negatif Kutuplama ve Sıcaklık	V_{TH}

[a]Geçit plato gerilimi, [b]geçit plato süresi, [c]çalışma direnci, [d]savak-kaynak akımı, [e]flat-band gerilimi.



Şekil 2.17: Turn-around literatür örnek çalışma 1; eşik gerilimi değişimi [13].



Şekil 2.18: Turn-around literatür örnek çalışma 2; eşik gerilimi değişimi [15].

2.4. BOZULMA MODELLERİ

Modelleme, yarıiletken elemanların çalışmalarını ayrıntılı bir biçimde anlama ve tasarımlarını optimize etme ihtiyacından dolayı önemli bir kavramdır. MOSFET' lerin geçit oksit bozulmasının modellenmesi, elemanın çalışma performansı hakkında doğru tahminler yapabilme imkânı verir. Bu sayede, elemanların devre uygulamalarındaki olası davranışları önceden öngörülebilir ve devre tasarımlarında iyileştirmeler yapılabilir.

MOS elemanlarının bozulma modelleri üç kategoride ele alınabilir; fiziksel modeller, ampirik modeller ve eşdeğer devre modelleri [111]. Bu üç model birbirleriyle bağlantılı şekilde sunulabilmektedir [37, 39, 40]. Başlık 2.4.1' de MOS elemanları için literatürde önerilmiş olan bazı bozulma modelleri anlatılacaktır.

2.4.1. Literatürdeki Bozulma Modeli ile İlgili Çalışmalar

Geçit oksit bozulması boyunca oksit ve arayüzey durumları, MOSFET' lerin elektriksel parametrelerini değiştirir ve devre performanslarını etkiler [11-22]. Bundan dolayı MOSFET bozulmaları ile ilgili mekanizmayı aydınlatmak için Tablo 2.3' te verilen gözlemler yapılmıştır ve bazı modeller önerilmiştir [14, 15, 22, 27, 37-41].

Tablo 2.3: MOS elemanları için literatürde yapılan bazı bozulma araştırmaları.

Yayın	Yorma Yöntemi	Bozulma Modeli
[14]	Yüksek Gerilim Yorması	Eşik gerilimi ötelemesi için matematiksel model
[15]	Yüksek Gerilim Yorması	Oksit ve arayüzey durum modellerine dayalı teknikler kullanılarak eşik gerilimi ve mobilite ötelenmelerinin analizi
[27]	Pozitif Kutuplama ve Sıcaklık	Eşik gerilimi ötelemesi için matematiksel model
[22]	Yüksek Gerilim Yorması	Kırılma sonrası akım değişimi için 2 farklı SPICE devre modeli
[37]	Yüksek Gerilim Yorması, İyonlaştırıcı Radyasyon	Oksitte tuzaklanmış yükler ve arayüzey tuzaklarının bir fonksiyonu olarak yüzey potansiyeli hesaplaması için fizik tabanlı bir kompakt model ve SPICE simülasyonu kullanarak modelin devre düzeyinde gösterimi
[38]	Yüksek Gerilim Yorması	Oksit ve arayüzey tuzaklanma durumlarını tespit etmek için kullanılan yöntemlerin karşılaştırılması (iletkenlik-kapasite eşdeğer devre, darbeli I-V yöntemi)
[39]	Yük Pompalama Tekniği	Yük pompalama akımı için matematiksel model ve modelin SPICE' ta uygulaması
[40]	Sıcak Taşıyıcı Enjeksiyonu	Taban akımı matematiksel modeli
[41]	İyonlaştırıcı Radyasyon	Oksit ve arayüzeyde tuzaklanmış yüklerin ayrımı için eşik altı akımı matematiksel modelleri

- X.R. Ye ve arkadaşları [14] çalışmasında; International Rectifier marka IRF540 model (V_{DS}=100V, I_{DS}=33A) güç MOSFET' ine sabit pozitif yüksek gerilim uygulamıştır. Yorma gerilimine ve süresine bağlı olarak eşik gerilimi değişimi çıkartılmıştır ve bu değişimde turn-around olgusu gözlemlenmiştir. Böylece matematiksel modellerinde, turn-around noktası da göz önüne alınmıştır. Eşik gerilimi değişimi, 3 farklı kısma bölünüp ayrı ayrı modellenmiştir (Şekil 2.19) [14]. Üç parçalı modelin alt modellerinin tümü Eşitlik 1' deki klasik t^n power fonksiyonunu izlemektedir [14]:

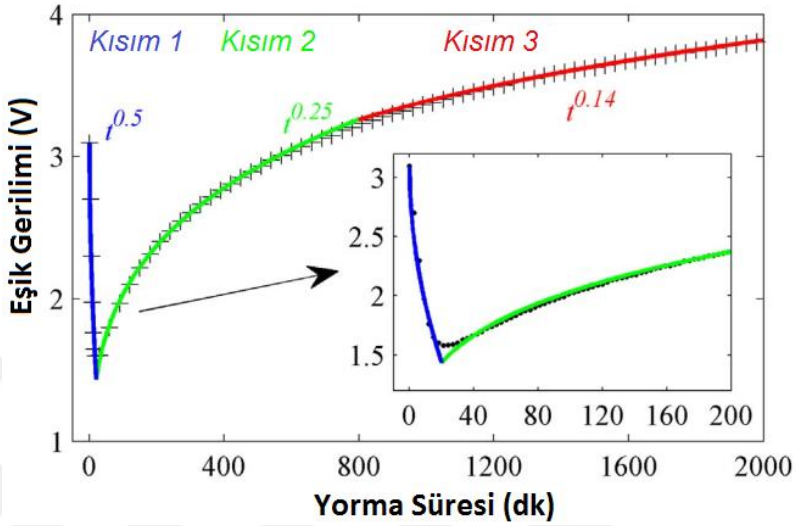
$$V_{TH}(t) = a \cdot t^n + b \tag{2.16}$$

X.R. Ye ve arkadaşları ayrıca [27] çalışmalarında ise IRF540N transistörüne sıcaklık ve yüksek gerilim uygulayarak pozitif kutuplamalı sıcaklık kararsızlığını incelemişlerdir. Ve eşik gerilimi üzerinden yapılan bu araştırmada yine turn-around olgusu gözlemlenmektedir. Bu çalışmada, elektriksel ve sıcaklık etkilerini ölçmek için matematiksel bir model önerilmektedir. Eşik gerilimi değişimini, power fonksiyonu ve Arrhenius modeli ile birleştirip 2 fazlı bir matematiksel model çıkartılmıştır (Şekil 2.20, Eşitlik 2.16-2.18) [27].

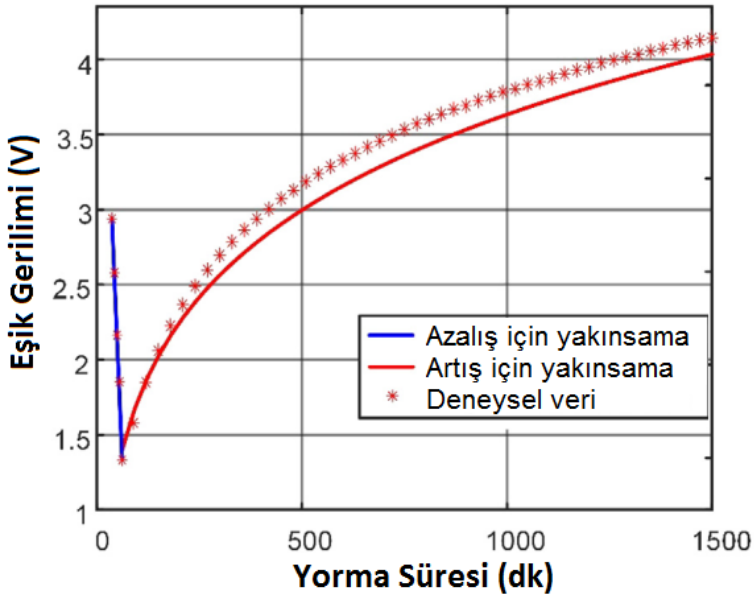
$$\frac{\Delta V_{TH}}{\Delta t} = C \cdot e^{-E_a/kT} \tag{2.17}$$

$$V_{TH}(t) = a \cdot C \cdot e^{-E_a/kT} \cdot t^n + b \quad (2.18)$$

Burada; Ea aktivasyon enerjisi, k Boltzmann sabiti, T sıcaklık (Kelvin), C sıcaklık katsayısı.



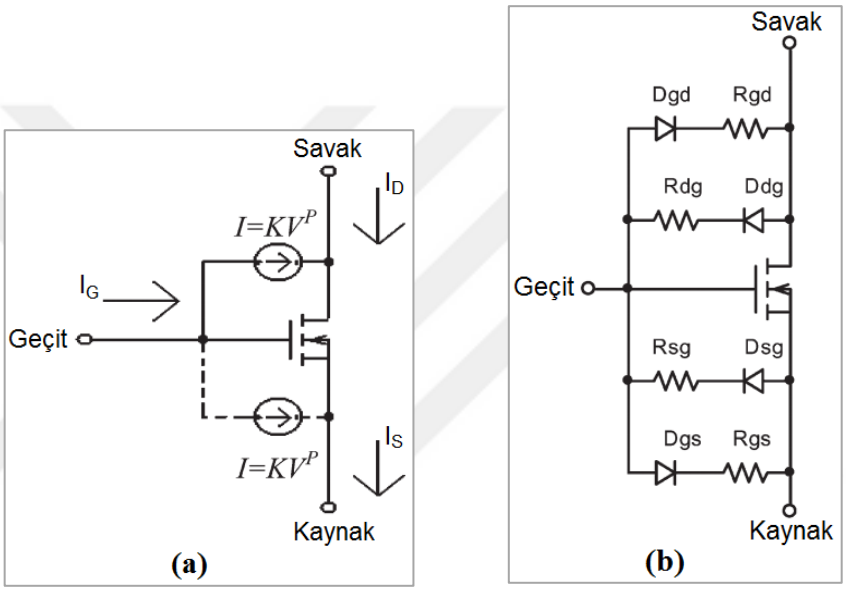
Şekil 2.19: Eşik gerilimi değişimi için 3 parçalı bozulma modeli [14].



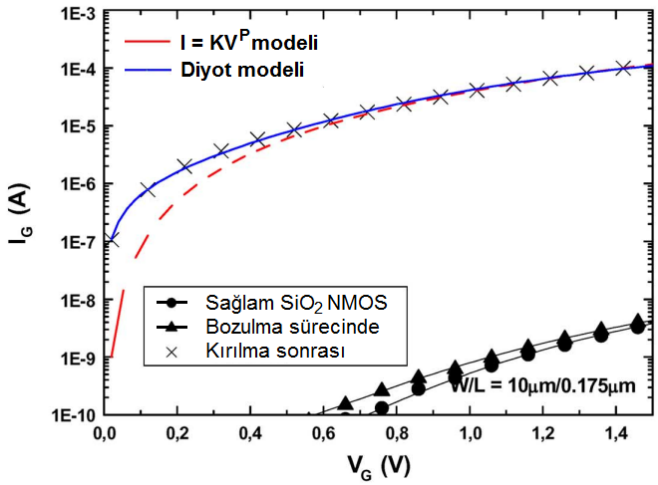
Şekil 2.20: Eşik gerilimi değişimi için 2 parçalı PBTI bozulma modeli [27].

- Raul Fernandez ve arkadaşları [22] çalışmasında SiO_2 ve SiON geçitli NMOSlara sabit gerilim yorması uygulamışlar ve elemanların kırılma sonrası geçit akım değişimlerini çıkartmışlardır. Kırılma sonrası geçit akımının, geçit gerilimi ile değişimini veren ifadeler power fonksiyonu ve eksponansiyel fonksiyon ile uyum göstermektedir. Geçit boyunca akan akım, SPICE programında uygulanabilen iki tip eşdeğer devre ile modellenmiştir. Bunlardan

biri gerilim bağımlı akım kaynakları ile tasarlanan Şekil 2.21a' da görülen devredir. Bu devrede geçit-savak ve geçit-kaynak terminalleri arasına bağımlı kaynaklar eklenmiştir. Bu bağımlı kaynaklar Şekil 2.22' de elde edilen kırılma sonrası akım-gerilim eğrisi verileri kullanılarak oluşturulmuştur. Akım davranışının ayrıca eksponansiyel fonksiyonu kullanan diyot ve dirençlerden oluşan devre ile de eşdeğeri çıkartılmıştır (Şekil 2.21b). Bu devre diyot davranışını taklit eder (diodelike description). Hangi eşdeğer devrenin kullanılacağına yapılacak olan uygulamaya göre karar verilmektedir [22].



Şekil 2.21: MOSFETlerin kırılma sonrası akım değerleri için eşdeğer devre modelleri **(a)** gerilim bağımlı akım kaynaklı tasarım **(b)** diyot ve direnç içeren tasarım [22].

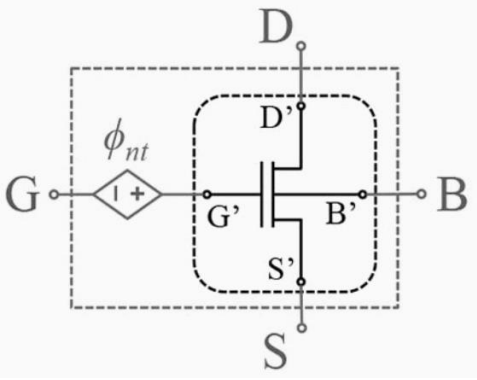


Şekil 2.22: MOSFETlerin (SiO_2) yorma öncesi, yorma boyunca ve kırılma sonrası geçit akım-geçit gerilim değişimleri ve devre modelleri yakınsama sonuçları [22].

- Sanchez Esqueda ve arkadaşları [37] çalışmasında, TCAD simülasyonu yardımıyla, SOI MOSFETlerde toplam iyonlaştırıcı doz (total ionizing dose) radyasyon uygulaması gerçekleştirmiştir. Bu makale; yorma kaynaklı kusurların, MOS elemanlarına ve entegre devrelerin simülasyonlarına etkisini içeren fizik tabanlı bir kompakt modelleme yaklaşımı sunmaktadır. Bu yaklaşım, oksit tabakasında tuzaklanan yüklerden ve arayüzey tuzaklarından kaynaklanan yük katkısını yakalamayı amaçlar. Ve bu katkıların, MOS elemanının çalışma özellikleri üzerindeki etkilerini, yaşlanma etkilerinin bir fonksiyonu olarak tanımlamak için yüzey potansiyeli (ψ_S) hesaplamalarını kullanır (Eşitlik 2.19). MOSFET' lerin yüzey potansiyeli tabanlı kompakt modeli, standart MOSFET' in geçitine seri olarak bağlanan bir gerilim bağımlı gerilim kaynağına uygulanır (Şekil 2.23). Bu bağımlı kaynak, kutuplama ve tuzak yoğunluklarının bir fonksiyonu olarak radyasyon etkilerinden kaynaklanan gerilim ötelenmesini hesaba katar. Bu gerilim ötelenmesi, kusur potansiyeline (ϕ_{NT}) eşittir [37]. Önerilen model, SPICE programında uygulanır.

$$\phi_{NT} \equiv \frac{q}{C_{ox}}[N_{OT} - D_{IT}(\psi_S - \phi_B)] \qquad (2.19)$$

Burada; ϕ_B bulk (B) potansiyeli, N_{OT} oksitte tuzaklanan yük değeri ve D_{IT} arayüzey tuzak yoğunluğudur.



Şekil 2.23: Yüzey potansiyeli tabanlı bozulma modelinin devre şeması [37].

- F. Djahli ve arkadaşları [39] çalışmasında MOSFETler üzerinde yük pompalama tekniği (charge pumping) kullanmıştır. Geçit gerilimi darbesine bağlı olarak değişen I_{CP} akımının matematiksel modeli çıkartılmıştır. Bu model, savak-kaynak akım (I_{DS}) değerine bağlanmıştır. Bu model ayrıca SPICE3F4 simülasyon programına tanımlanarak I_{CP} akım değerleri yeniden elde edilmiş ve I_{DS}-V_{GS} akım değerleri hesaplanmıştır.

- Narain D. Arora ve arkadaşlarının [40] çalışmasında, MOSFETlere sıcak taşıyıcı enjeksiyonu yapılıp taban akımı (I_{SUB})-geçit gerilimi değişimi ölçülmüştür. Ve bu veriler kullanılarak, basit bir taban akımı modeli geliştirilmiştir. Bu model, normal çalışma koşulları altında MOSFET'lerin bir devredeki taban akımlarının ve eleman ömürlerinin hesaplanması için kullanılabilen devre düzeyinde sıcak elektron güvenilirlik simülatöründe uygulanmıştır.

Tanıtılan tüm bu modelleme çalışmalarında, oksit kapasitesinin değişimine odaklanılmamış veya ihmal edilebilir seviyede oldukları belirtilmiştir. Ancak oksit tabakasındaki tuzaklanmalar C_{GD} kapasitesi üzerinde önemli bir etkiye sahiptir [11, 19, 20]. Çünkü geçit oksit ve oksit-arayüzey durumları kapasite-gerilim (C-V) eğrilerinin şeklini belirler [4, 11, 28]. Elde edilen C_{GD}-V_{DS} eğrileri yardımıyla oksit kapasitesi hesaplanabilmektedir [42, 43]. Böylece, oksit tabakasının bozulmasını araştırırken oksit kapasitesinin değişimleri göz önüne alınmıştır.

Tez kapsamında yapılmış olan ölçümler sonucunda oksit kapasitesinin doğrusal olmayan bir değişim gösterdiği gözlemlenmiştir. Bu nedenle oksit bozulma modeli araştırması için doğrusal olmayan oksit kapasitesi tasarlanması hedeflenmiştir. Parametre değişimlerinin turn-around noktasında farklı davranışlar göstermesi sebebiyle, matematiksel ve devre modelleri çıkartılırken turn-around olgusu dikkate alınmaktadır. Çünkü; turn-around olgusunun gözlemlendiği süre ve ölçülen parametrenin o andaki genliği, uygulanan yorma gerilimine göre değişmektedir [13-16, 27].

2.4.2. Doğrusal Olmayan Kapasitör Tasarımı

Oksit tabakası bozulmasını devre şemasına aktarırken doğrusal olmayan kapasitörlerin modellenmesi üzerine yapılan çalışmalar temel alınmıştır [44-48]. Bu çalışmalarda kapasitörlerin uygulanan kutuplama gerilimine bağlı olarak değerlerinin değişmesine odaklanılmıştır (Şekil 2.24). Kapasitördeki dielektrik malzemelerin geçirgenliği (permitivite) uygulanan elektrik alanın değerine bağlıdır [112-113]. Bu kapasitörlerin modellenmesi için aşağıdaki yöntemler önerilmiştir [44-48]. Bunlar kısaca şu şekildedir:

- Birinci yöntemde kapasitör akımı aşağıdaki gibi hesaplanabilir [45]:

$$i_C(t) = C[v_C(t)].\frac{dv_C(t)}{dt} \tag{2.20}$$

Burada; $i_C(t)$ ve $v_C(t)$ kapasitörün akım ve gerilim değerleridir. Kapasitör akımı sadece gerilim değişimine bağlı olarak üretilmektedir. Kapasite değişimi bir diğer akım kaynağı olarak görülmemektedir. Kapasite değerinin zaman ile değişimi göz önüne alındığında ifade şu şekilde yazılabilir [44, 48]:

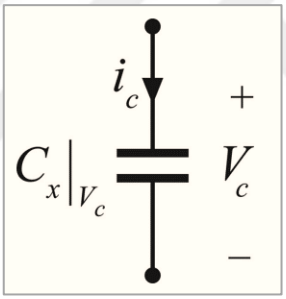
$$i_C(t) = \frac{dC[v_C(t)].v_C(t)}{dt} = C[v_C(t)].\frac{dv_C(t)}{dt} + v_C(t)\frac{dC[v_C(t)]}{dt} \quad (2.21)$$

Her iki durumda da sadece empedans analizörü tarafından ölçülmüş C-V eğrilerine ihtiyaç duyulmaktadır [114].

- İkinci yöntemde akım, yük değerleri üzerinden hesaplanabilir [45, 46]:

$$i_C(t) = \frac{dQ_C[v_C(t)]}{dt} \quad (2.22)$$

Burada; Q_C kapasitördeki yük değeridir. Bu model yaklaşımında hem gerilim değişimi hem de kapasite değişimi akım kaynağı olarak kabul edilir, çünkü kapasitördeki yükü etkilerler [46, 48].

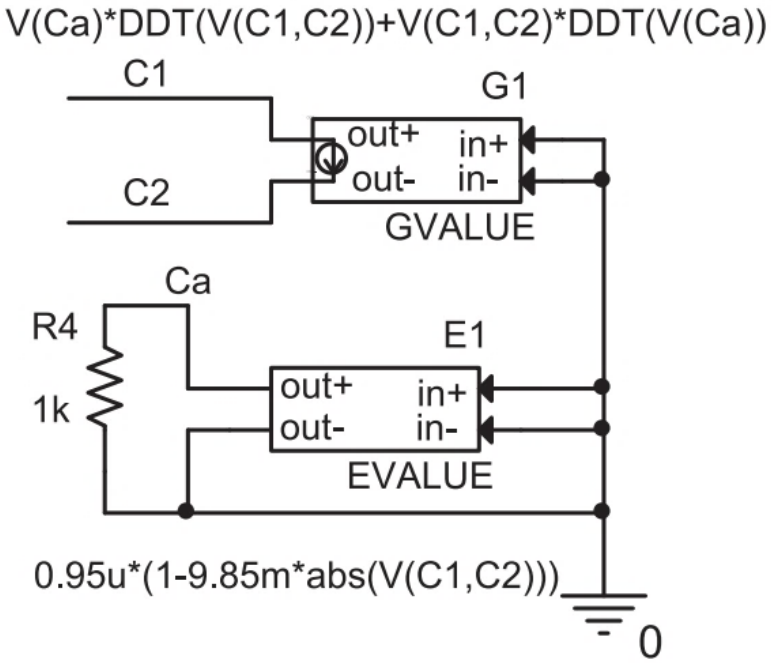


Şekil 2.24: Üzerindeki kutuplama gerilimine göre değişen kapasite örneği [46].

Literatürde yapılan çalışmalarda doğrusal olmayan kapasitörlerin modellenmeleri, uygulama devrelerinden bağımsız olarak yapılmıştır [44-47]. Bu modeller, alt devre olarak ilgili uygulama devrelerinde tanımlanmıştır. Bu çalışmalardan bazıları şu şekildedir:

- Eşitlik 2.21 için I. Zeltser ve S.B. Yaakov' un PSPICE kullanarak önerdiği devre Şekil 2.25' te görülmektedir [44]. Burada Eşitlik 2.21' deki akım ifadesinin, 2 farklı terimin toplamına eşit bir akım kaynağı ile benzetimi yapılmıştır. C-V eğrisinin matematiksel ifadesi (Eşitlik 2.23), bağımlı gerilim kaynağı (EVALUE) yardımıyla tanımlanmıştır. EVALUE kaynağının çıkışı-C_a düğümü, kapasite değerini taklit etmektedir. C_a düğümündeki gerilim değeri, sayısal olarak kapasitenin değerine eşittir. V(C1, C2), benzetimi yapılan kapasite üzerinde görülen gerilimdir. Eşitlik (2.21)' deki türev operatörleri (DDT), GVALUE bağımlı akım kaynağı yardımı ile devreye tanımlanmıştır.

$$C_a(V) = 0{,}95\mu \cdot (1 - 19{,}7m \cdot V_a) \quad (2.23)$$

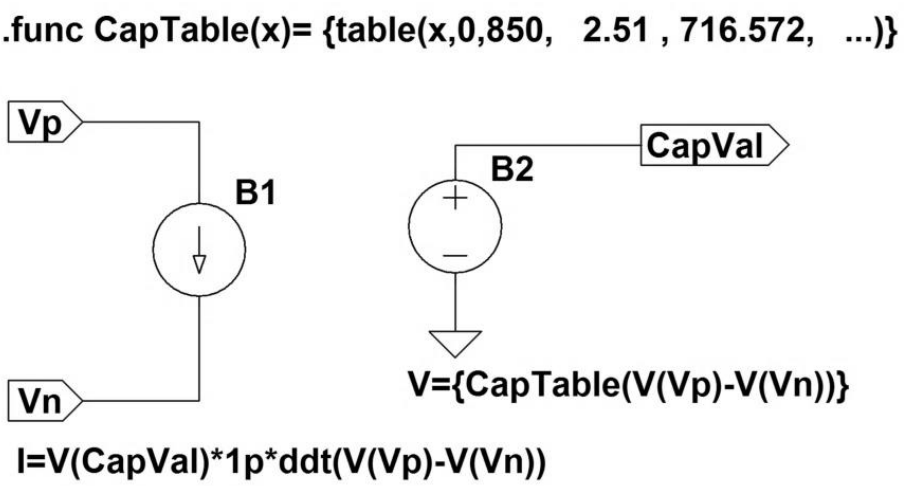


Şekil 2.25: Doğrusal olmayan kapasite değişimleri için SPICE modeli; örnek çalışma 1 [44].

- D. Costinett ve arkadaşları (2015), anahtarlama uygulamaları için C_{OSS} kapasitesinin doğrusal olmayan davranışını araştırmış ve LTSPICE yardımıyla Şekil 2.26' da gösterilen modeli önermişlerdir [46]. Burada C-V eğrisinin değerleri tablo olarak verilmiştir (CapTable). Bağımlı gerilim kaynağı-B2, bu tabloyu kullanarak çıkışında kapasite değerine eşit bir gerilim üretir. Aşağıda belirtilen akım ifadesi ise bağımlı akım kaynağı-B1 yardımıyla devreye tanımlanır:

$$i_C(t) = C_{OSS}(v_{DS})\frac{dv_{DS}(t)}{dt} \quad (2.24)$$

Burada; C_{OSS}, MOSFET' in ölçülebilen çıkış kapasitesidir.



Şekil 2.26: Doğrusal olmayan kapasite değişimleri için SPICE modeli; örnek çalışma 2 [46].

3. MALZEME VE YÖNTEM

Bu çalışmada, geçit oksit bozulmasının farklı yorma seviyeleri için genel bir çıkarımının yapılması ve benzetim programlarında kullanılmak üzere bir devre modeli önerilmesi amaçlanmaktadır. Devre modeli, eğri uydurma sonuçları temel alınarak tasarlanmıştır. Ölçüm ve modelleme süreci aşağıda belirtilen aşamalarda gerçekleştirilir.

- Aşama 1: Uygun yorma ve parametre ölçüm düzenekleri kullanılarak deneysel sonuçlar elde edilir. Bunlar; kırılma gerilimleri, yorma boyunca geçit kaçak akım değerleri ve yorma sonrası geçit-savak kapasitesi değerleridir. Çeşitli yorma süresi aralıkları ve yorma gerilimleri için oksit kapasitesi hesaplanır. Turn-around noktası ayrıca her gerilim seviyesi için belirlenir. Deneysel sonuçlar Başlık 4.1-4.2' de gösterilmektedir.
- Aşama 2: Yorma kaynaklı geçit kaçak akım değişimi ve oksit kapasitesi değişimi, eğri uydurma yöntemleri kullanılarak matematiksel olarak modellenmiştir. Ayrıca oksit kapasitesi için turn-around noktası da modellenmiştir. Denklemler, Başlık 4.3' te verilmektedir.
- Aşama 3: Devre modeli LTSPICE Programı kullanılarak tasarlanmıştır. Devre modeli, deneysel ve benzetim sonuçlarının karşılaştırması, Başlık 4.3’ te yapılmaktadır.

3.1. ÇALIŞMADA KULLANILAN GÜÇ MOSFETLERİ

Çalışma kapsamında kullanılacak olan transistörlere karar vermeden önce güç MOSFETleri bozulmalarını araştıran yayınlar incelenmiştir [11, 15, 115-120]. Daha sonra farklı akım (I_{DS}) ve gerilim (V_{DS}) değerlerine sahip ticari güç MOSFET’ leri temin edilmiştir. Bu MOSFET’ lerin geçit terminaline uygulanabilecek maksimum gerilim değerleri eşittir (20V).

Temin edilen 10 farklı model n-kanallı dikey yapılı çift difüzyonlu MOSFET (VDMOSFET) Tablo 3.1’ de verilmektedir [121-132]. Tez çalışmasında Vishay marka VDMOSFET’ ler üzerine incelemeler yapılacaktır. Buna ek olarak, aynı özelliklere sahip transistörlerin farklı üreticiler tarafından üretilen çeşitlerinin de davranışlarını incelemek için, farklı marka aynı çalışma değerlerine sahip VDMOSFET’ ler de transistör havuzuna eklenmiştir (International Rectifier IRF530 ve IRF640).

Tablo 3.1: Kullanılan transistörlerin özellikleri.

Güç MOSFET Modeli	Markalar	Parametre Değerleri			
		V_{DS} (V)	**I_D (A)**	***$R_{DS(ON)}$ (Ω)**	***V_{GS} (V)**
IRF510	Vishay	100	5,6	0,54	±20
IRF520	Vishay	100	9,2	0,27	±20
IRF530	Vishay	100	14	0,16	±20
	International Rectifier	100	17	0,09	±20
IRF540	Vishay	100	28	0,077	±20
IRF610	Vishay	200	3,3	1,5	±20
IRF620	Vishay	200	5,2	0,8	±20
IRF640	Vishay	200	18	0,18	±20
	International Rectifier	200	18	0,15	±20
IRF720	Vishay	400	3,3	1,8	±20
IRF730	Vishay	400	5,5	1	±20
IRF740	Vishay	400	10	0,55	±20

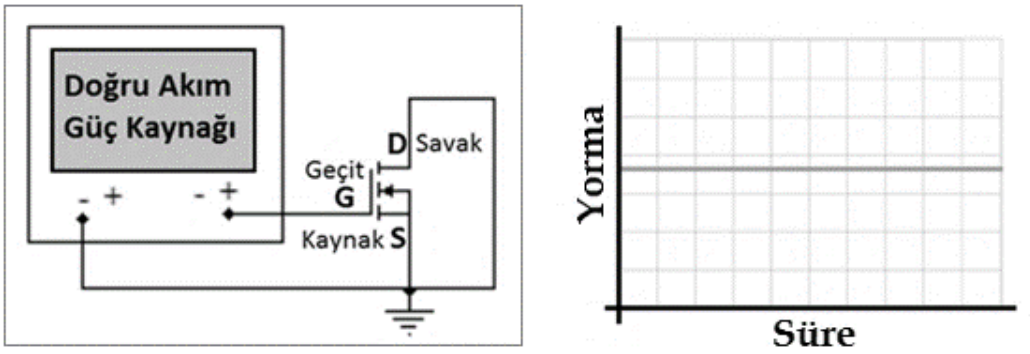
*V_{GS} geçit-kaynak sınır değeri, $R_{DS(ON)}$ savak-kaynak (çalışma) direnci.

3.2. YORMA DÜZENEKLERİ

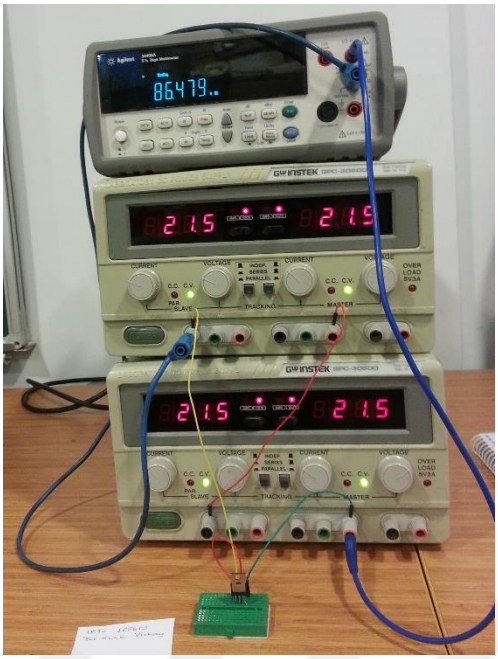
Güç MOSFET' lerinin oksit bozulma davranışını incelemek için sabit yormadan faydalanılmaktadır [13-15, 36]. Bu nedenle çalışma kapsamında sabit gerilim yorma uygulaması tercih edilmiştir (Başlık 3.2.1). Bu sabit yorma seviyelerine karar vermek için rampa tipi yorma uygulanmıştır (Başlık 3.2.2). Sabit yorma kırılma süresine odaklanırken, sabit olmayan yorma kırılmaya sebep olan yorma seviyesine odaklanır [61].

3.2.1. Sabit Yorma Düzeneği

Bu çalışmada VDMOSFET' lere geçit ucundan, normal çalışma koşullarının üzerinde, yüksek sabit bir gerilim uygulanarak hızlandırılmış yaşlandırma testleri gerçekleştirilecektir. Kullanılan yorma test düzeneği Şekil 3.1-3.2' de görülmektedir.



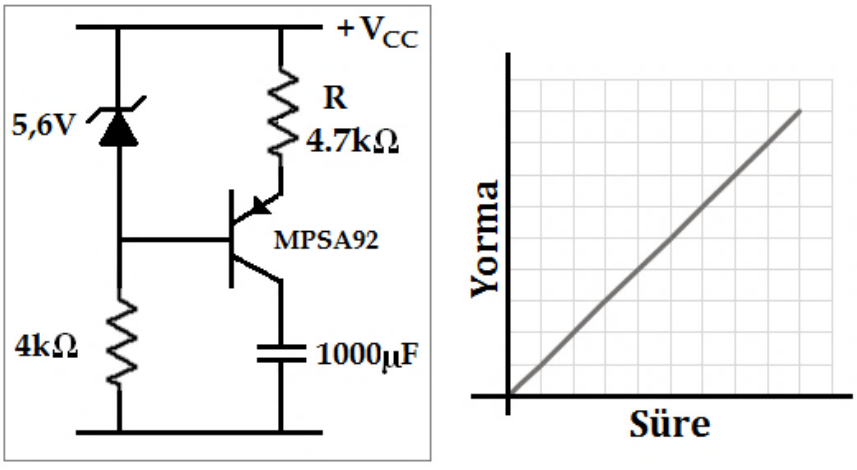
Şekil 3.1: Sabit yorma uygulaması.



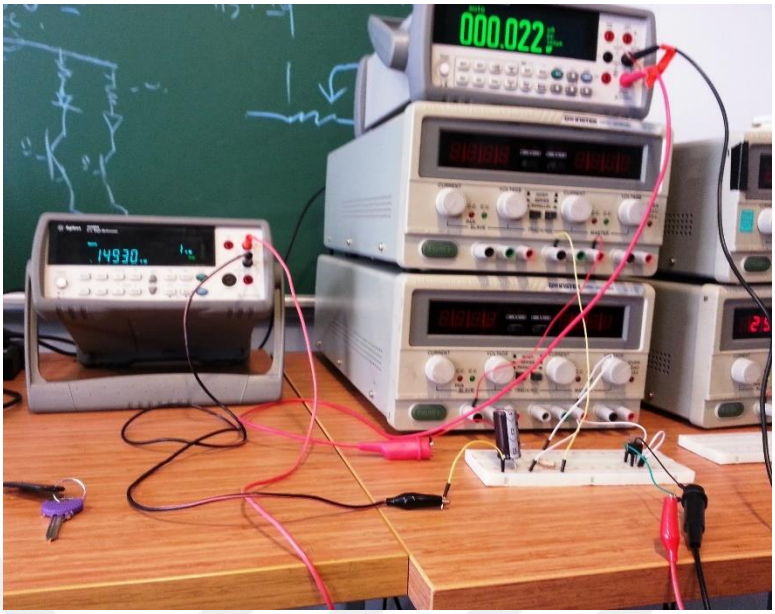
Şekil 3.2: Sabit yorma uygulaması için ölçüm düzeneği.

3.2.2. Rampa-İlerleyen Tip Yorma Düzeneği

VDMOSFETlere sabit gerilim uygulamadan önce kırılmanın görüldüğü gerilim seviyeleri belirlenmiştir. Bunun için elemanlara rampa yorma yöntemlerinden biri olan ilerleyen tip yorma uygulanmıştır. Rampa-ilerleyen tip yorma uygulaması için Şekil 3.3-3.4' te verilen devre kullanılmaktadır. Devredeki besleme direnci değiştirilerek farklı eğimlerde yorma işlemi yapılabilmektedir. Bu yorma yöntemi, kırılma gerilim değeri hakkında hızlıca bilgi edinilmesini sağlar. Ayrıca geçit akım değerinin hangi yorma seviyelerinde aniden artış gösterdiği hakkında gözlem yapma olanağı verir [32, 61].



Şekil 3.3: Rampa-ilerleyen tip yorma uygulaması.



Şekil 3.4: Rampa yorma uygulaması için ölçüm düzeneği.

3.3. KIRILMA İSTATİSTİKLERİNİN ÇIKARTILMASI

Elemanların kırılma verileri, rastgele parametre dağılımlarından faydalanılarak istatistiksel olarak yorumlanabilir [133]. Eksponansiyel, Log-normal ve Weibull dağılımları, oksit kırılma istatistiklerini karakterize etmek için yaygın olarak kullanılan güvenilirlik dağılımlarıdır [72]. Ayrıca tuzakların dielektrik içerisinde rastgele üretimlerinden kaynaklı oluşan tuzak yoğunluğu istatistiksel dağılımı da bu eğriler yardımıyla ifade edilebilir [67].

Bu çalışmada, belirli gerilim değerleri için transistörlere sabit yorma uygulanmıştır ve kırılma verilerinin istatistiksel dağılımları, "ReliaSoft-Weibull++" programı yardımıyla elde edilmiştir. Elde edilen sonuçlar; Weibull dağılımının elemanların kırılma istatistiklerini karakterize etmek için daha uygun olduğunu göstermiştir. Böylece, elemanların kırılma olasılıklarını veren "Olasılık-Weibull eğrileri" çıkartılmıştır. Bu eğri, veri kümesindeki kırılma süreleri (x-ekseni) ve bunlara karşılık gelen güvenilmezlik (unreliability-F(t)) tahminleri (y-ekseni) ile belirlenir [134]. Bu eğriler logaritmik ölçek kullanılarak çizdirilir.

Weibull dağılımı, güvenilirlik çalışmalarında yaygın bir şekilde kullanılan genel bir fonksiyondur [26, 135, 136]. Üç parametreli Weibull için güvenilirlik eğri uydurma parametreleri; şekil parametresi (β), ölçek parametresi (α) ve konum parametresi (γ) şeklindedir. Şekil parametresi, Weibull eğrisinin şeklini belirler ve ayrıca Weibull eğimi olarak

da isimlendirilir [135]. Konum parametresi, bozulmaların ne zaman başladığını ifade eder. Ölçek parametresi, karakteristik yaşam parametresi olarak da bilinir ve ortalama kırılma süresini verir [137].

Literatürde oksit kırılma istatistikleri için çoğunlukla iki parametreli Weibull dağılımı kullanılır ve şu şekilde tanımlanabilir [135, 136]:

$$F(t_{BD}) = 1 - \exp\left[-\left(\frac{t_{BD}}{\alpha}\right)^{\beta}\right] \quad (3.1)$$

Burada; $F(t_{BD})$ birikimli bozulma dağılım fonksiyonu (CDF) ve t_{BD} kırılma süresidir. Bozulmaların sıfır anında başladığı varsayımı ile konum parametresi(γ) yaklaşık olarak sıfır alınabilir. Bu nedenle eşitlikte değeri dikkate alınmaz [137]. Bu çalışmada da iki parametreli Weibull dağılımından faydalanılmıştır. Verilerin istatistiksel dağılıma uygunluk durumunu, ilinti katsayısı (rho) belirler. Rho değerinin 1' e yakın olması, yakınsama işleminin iyi olduğunu gösterir [134].

Olasılık-Weibull grafiği kullanılarak, kırılma verilerini temsil eden Weibull parametrelerini hesaplama adımları aşağıdaki talimatlarda özetlenmiştir [138].

- İlk olarak, ilgili yorma gerilimi için kırılma süreleri (saat) artan sırada sıralanır.
- Y üzerinde rank regresyon (RRY) gerçekleştirilmesi ile dikey bir yakınsama eğrisi çıkartılır. Bu eğri yardımıyla Weibull parametreleri elde edilmiş olur. Noktalar arasındaki çizgiyi belirlemek için en küçük kareler prensibi kullanılır. Bu amaçla Eşitlik 3.1' deki fonksiyon doğrusal bir forma getirilir (Eşitlik 3.2) ve Y üzerindeki regresyon için Eşitlik 3.3-3.6' daki denklemler kullanılır.

$$\ln\{-\ln[1 - F(t_{BD})]\} = \beta \cdot \ln(t_{BD}) - \beta \cdot \ln(\alpha) \quad (3.2)$$

$$y = \ln\{-\ln[1 - F(t_{BD})]\} = a + b \cdot x \quad (3.3)$$

$$a = \bar{y} - b \cdot \bar{x} \quad (3.4)$$

$$b = \beta \quad (3.5)$$

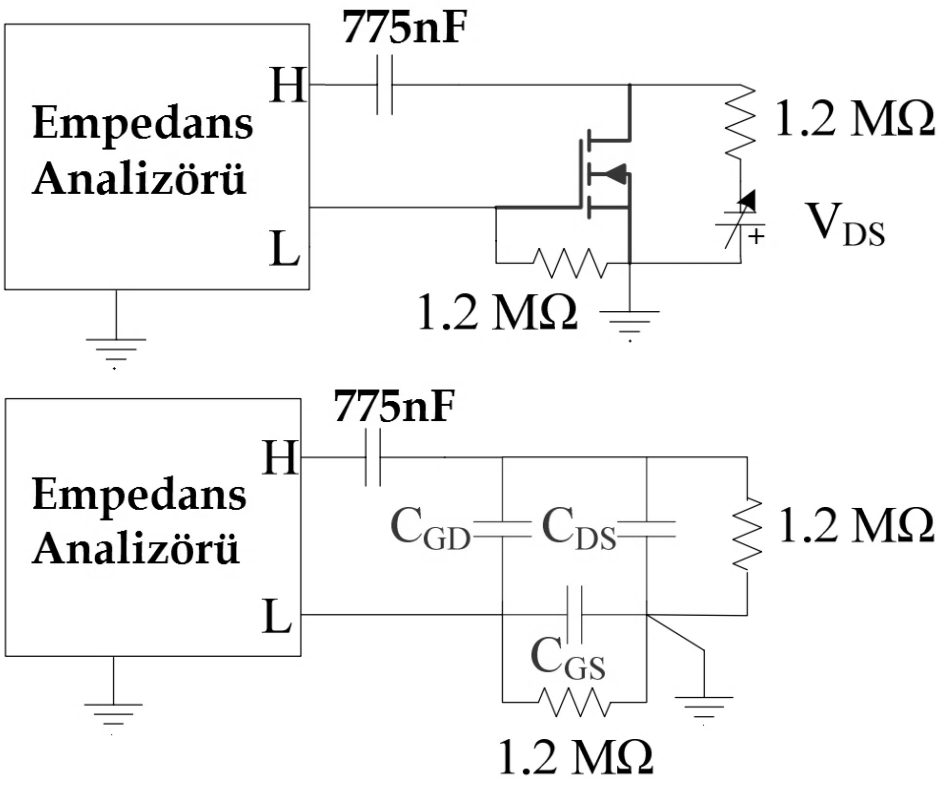
$$x = \ln(t_{BD}) \quad (3.6)$$

Literatürdeki çalışmalarda Eşitlik 3.2' nin sol tarafındaki ifade Weibit fonksiyonu olarak isimlendirilmektedir [26, 135, 136]. Çıkartılan dikey yakınsama eğrisi güvenilmezlik eğrisi-t_{BD} ya da Weibit fonksiyonu-$\ln(t_{BD})$ şeklinde grafiğe yansıtılır [32, 85, 138].

3.4. KAPASİTE ÖLÇÜM DÜZENEĞİ

Kapasite ölçüm düzeneği, [4, 139, 140] çalışmalarındaki devrelerden yola çıkılarak oluşturulmuştur. Devrelenin empedans analizörü kısmına LCR metre cihazı (GW Instek LCR-8110G Precision) bağlanarak, değişen savak-kaynak gerilimine (V_{DS}) karşılık gelen ters iletim kapasitesi değerleri (C_{RSS}) ölçülmüştür (Şekil 3.5).

Düzenekteki "H" terminaline bağlı "775nF" kapasitör, cihazı DC kaynak V_{DS}' den izole etmek için kullanılır. Empedans analizörünün salınım seviyesi, "50 mV" olarak seçilmiştir, çünkü jonksiyon kapasiteleri küçük işaret genliğine çok duyarlıdır [140]. Girişe uygulanan işaretin frekans değeri belirlenirken de Şekil 3.5' teki ölçüm düzeneğinden faydalanılmıştır. Kapasite ölçümü yapmak için, bu düzenekte transistörlerin savağı ile kaynağı arasına 0V değerinden -10V değerine kadar kademe kademe azaltılarak gerilim uygulanmıştır. C_{RSS}; kaynak toprağa bağlanıp, savak ve geçit arasından ölçülen kapasite değeridir. Bu ölçülebilen kapasite değerinin, geçit ve savak arasındaki terminal kapasitesi C_{GD}' ye eşit olduğu bilinmektedir [42, 50]. Bu ölçüm aşamasında elde edilen C-V verisi, oksit kapasitesini hesaplamak için kullanılacaktır.



Şekil 3.5: C_{RSS} (C_{GD}) kapasitesi ölçüm devresi.

3.4.1. Oksit Kapasitesinin Hesaplanması

Geçit oksit bozulması, Şekil 2.4' te görülen VDMOSFET yapısında epi-bölgesi üzerindeki geçit-savak arasındaki kapasite (C_{OXD}) kullanılarak araştırılabilir. Bu araştırma, VDMOSFET' in geçit-savak kapasitesine (C_{GD}) eşit olan ölçülebilir ters kapasite (C_{RSS}) ile gerçekleştirilebilir [42, 50]. C_{GD} kapasitesi 2 seri kapasiteden oluşmaktadır ve Eşitlik 3.7' de formülize edilmiştir [5izl3].

$$C_{GD} = \frac{1}{\frac{1}{C_{OXD}} + \frac{1}{C_{GDJ}}} \tag{3.7}$$

Burada, C_{OXD} epi-bölgesi üzerindeki geçit-savak arasındaki kapasitesidir [42]. C_{GDJ}, jonksiyon kapasitesidir.

Oksit kapasitesindeki geçit oksit tuzakları kaynaklı değişimleri elde etmek için, SiO_2-epi bölgesi arasındaki sıfır-kutuplamalı fakirleşmiş bölge kısaltılır ve böylece C_{GDJ} artırılır. Bu durumda $1/C_{GDJ}$ yaklaşık sıfır değerini alır ve C_{GD}' nin değeri neredeyse C_{OXD}' ye eşit olur [42, 43]. Fakirleşmiş bölgeyi kısaltmak için savak-kaynak terminallerinden negatif gerilim uygulanmıştır ve C_{GD} kapasite değerleri kaydedilmiştir. Yorma kaynaklı arayüzey tuzakları kapasite etkileri C_{IT} kapasitesi ile ifade edilmektedir ve C_{GDJ} kapasitesine paralel bir kapasitedir. $1/C_{GDJ}$ kapasitesinin sıfırlanma eğilimi C_{IT} etkisini de ihmal etmeyi sağlar [41]. Böylece ölçüm sonuçları sadece oksit kapasitesindeki değişimi verir [19].

3.5. GEÇİT OKSİT BOZULMASINI MODELLEME YÖNTEMLERİ

Bu başlıkta transistörlerin oksit bozulmasını matematiksel ve devre tasarımı olarak modellemek amacıyla kullanılan yöntemler sırasıyla anlatılacaktır.

3.5.1. Matematiksel Modelin Oluşturulması

Geçit kaçak akım değeri, geçit yük değişimleri, oksit kapasitesi ve turn-around parametreleri değişimlerinin matematiksel modelleri, eğri uydurma yöntemleri (curve fitting) kullanılarak çıkartılmıştır.

Eğri uydurma işlemi, MATLAB araç kutusu (toolbox) kullanılarak gerçekleştirilmiştir. Uygulama yardımıyla, verilere uygun doğrusal veya doğrusal olmayan fonksiyon önerileri ve

ilgili fonksiyon için yakınsama çizimleri görüntülenebilmektedir. Yakınsama işlemi için kullanılan yöntem ve algoritma Tablo 3.2' de verilmektedir [141]. Geçerli bir yakınsama için göz önüne alınan istatistikler, eğri uydurma uygulamasındaki "Sonuçlar" bölmesinde görüntülenir (Tablo 3.3) [141]. Uygunluğun iyi olduğunu değerlendirmek için grafiksel yöntemleri kullandıktan sonra, uygunluk istatistiklerini incelemek gerekir.

Tablo 3.2: Eğri uydurma uygulaması yakınsama seçenekleri

Yakınsama Seçenekleri		
Yakınsama Yöntemi (Kullanılan modele göre otomatik olarak seçilir.)	Doğrusal En Küçük Kareler (Least Squares)	Doğrusal modellerde katsayı tahmini için kullanılan yöntemdir.
	Doğrusal Olmayan En küçük Kareler	Doğrusal olmayan modellerde katsayı tahmini için kullanılan yöntemdir.
Yakınsama Algoritması (Yakınsama prosedürü için kullanılır.)	Güven Bölgesi (Trust-Region)	Uygulamanın varsayılan algoritmasıdır. Makul bir yakınsama sonucu elde edildiği sürece değiştirilmesi gerekmemektedir.

Tablo 3.3: Yakınsama uygunluğunu tespit etmek için istatistiksel parametreler

Yakınsama için İstatistikler	
SSE-Hataya Bağlı Kareler Toplamı (Sum of Squares due to the Error)	Sıfıra yakın bir değer alması, yakınsama için uyumlu bir sonuç elde edildiğini gösterir.
R^2 (R-Square)	Mevcut veri ile yakınsanan veri arasındaki uyumun ne kadar başarılı olduğunu ölçer. R^2, 0 ile 1 arasındaki herhangi bir değeri alabilir; 1'e daha yakın bir değer alması yakınsamanın başarılı olduğunu gösterir.

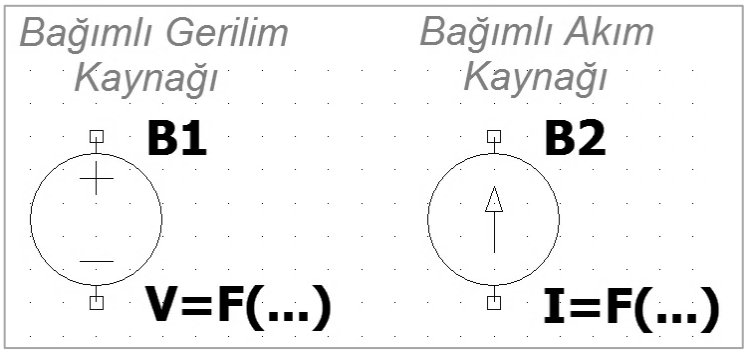
3.5.2. Devre Modeli Tasarımı

Oksit tabakası bozulmasını devre şemasına aktarırken doğrusal olmayan kapasitörlerin modellenmesi üzerine yapılan çalışmalar temel alınmıştır [44-48]. Bu çalışmalarda kapasitörlerin uygulanan kutuplama gerilimine bağlı olarak değerlerinin değişmesine odaklanılmıştır. Bu yöntemde sadece empedans analizörü tarafından ölçülmüş C-V eğrilerine ihtiyaç duyulmaktadır.

Bu tez çalışmasında empedans analizörü yardımıyla çıkartılan C_{GD}-V_{DS} eğrileri kullanılarak oksit kapasitesi değerleri hesaplanmıştır. Oksit kapasitesinin değişimi yorma gerilimi ve süresine bağlı olarak gözlemlenmiştir.

Literatürde yapılan çalışmalar göz önüne alındığında [44-47], bu çalışmada da C-V verileri bağımlı kaynaklar aracılığıyla devreye tanımlanmıştır. Devre modeli; çeşitli yorma gerilim değerleri, yorma süreleri, yorma öncesi oksit kapasitesi değeri ve turn-around noktasını içermektedir. Benzetim programında aşağıda belirtilen kaynak ve komutlar kullanılmıştır:

- "B kaynağı", fonksiyon veya tablo verisi tanımlayabildiğimiz bağımlı akım veya gerilim kaynağıdır (Şekil 3.6) [142].
- ".step param" komutu ile farklı yorma gerilim değerleri için simülasyonun tekrar ederek çalışması sağlanmıştır. Böylece C_{OX}-t_{YORMA} eğrilerinin her bir yorma geriliminde ayrı ayrı çizdirilmesi sağlanır ve simülasyon süresi, yorma süresi olarak düşünülebilir.
- ".param", yorma öncesi oksit kapasitesini bir değişken olarak tanımlamak için kullanılmıştır.
- "time" komutu LTSPICE programında benzetim süresi olarak komutlanmıştır [142]. Bu tasarım çalışmasında yorma süresini denklemlerde tanımlamak için sadece "time" parametresi yazılmıştır.
- "If komutu", turn-around noktasını devreye tanımlamak için kullanışlıdır (If(x>0.5,y,z), x>0,5 ise y; değil ise z). Böylece, turn-around noktası nedeniyle oksit kapasitesi değişimleri arasındaki geçişler sağlanır.



Şekil 3.6: B1-bağımlı gerilim ve B2-bağımlı akım kaynaklarının devre sembolleri [142].

4. BULGULAR

Tez kapsamında yapılmış olan ölçüm sonuçları ve tasarım çalışmaları aşağıdaki akış şemasına uygun şekilde sunulacaktır (Şekil 4.1). İlk aşamada; temin edilen farklı marka model transistörlerin kırılma gerilim değerleri tespit edilmiştir (rampa yorma), kırılma istatistiksel dağılımları çıkartılmıştır ve sabit yorma test koşulları belirlenmiştir (Başlık 4.1). İkinci aşamada ise seçilen bir transistör modeli için kapasite ölçümleri yapılmıştır. Bunun için önce sabit yorma uygulaması yapılıp geçit kaçak akım değişimleri kaydedilmiştir. Sonra geçit-savak kapasite değerleri ölçülüp oksit kapasitesi hesaplanmıştır (Başlık 4.2). Modelleme aşamasında, bu ikinci aşamada sunulan deneysel veriler kullanılmıştır. Üçüncü aşamada ise oksit bozulmasını gözlemlemek için kullanılan elektriksel parametrelerin modelleme çalışmaları sunulmuştur. Modelleme süreci eğri uydurma ile çıkartılan matematiksel denklemleri ve LTSPICE yardımıyla oluşturulan devre tasarımını içermektedir (Başlık 4.3).



Şekil 4.1: Bulguların sunulması için akış şeması.

4.1. YORMA KOŞULLARININ BELİRLENMESİ VE ELEMAN SEÇİMİ

4.1.1. Rampa Tipi Yorma Uygulaması

Güç MOSFETlerine uygulanacak olan sabit gerilim değerlerini tespit etmeden önce kırılma gerilim değerleri araştırılmıştır. Bunun için Şekil 3.3-3.4' te verilen devre kullanılarak rampa-ilerleyen tip yorma uygulaması yapılmıştır. Devre yardımıyla elemanlara 1V/sn hızla artan

gerilim uygulanmış (Şekil 3.3) ve kırılmaya sebep olan gerilim seviyesi kaydedilmiştir. Elde edilen kırılma gerilim seviyeleri Tablo 4.1' de verilmektedir.

Tablo 4.1' den görüldüğü gibi Vishay IRF500 serilerinin kırılma gerilim değerleri, 74-77V arasında değişmektedir. Ancak International Rectifier (IR) firmasının IRF530 serili transistörü 57-61V civarında kırılmaktadır. IR firmasının bu transistörüne yorma uygulanırken, devredeki kapasite, diğer transistörler ile yapılan uygulamalara kıyasla, daha geç yüklendiği görülmüştür. Bunun IR marka IRF530 transistörünün geçit oksit tabakasında kaçak akımın fazla olabileceğinden kaynaklandığı düşünülmektedir.

Vishay IRF600 ve IRF700 serili transistörleri benzer gerilim değeri aralığında kırılmıştır. IRF600 serileri 86-89V arasında ve IRF700 serileri 85-88,5V aralığında kırılmıştır. IR firmasının IRF640 serili transistörü için, Vishay firmasının transistörlerine benzer kırılma sonuçları (85,8-87,6V) elde edilmiştir.

Tablo 4.1: Transistörlerin kırılma gerilim değerleri.

Güç MOSFET Modeli	Kırılma Gerilimi (V)			
Test Numarası	**1**	**2**	**3**	**Ortalama**
IRF510 Vishay	76,8	77,1	77,3	77,07
IRF520 Vishay	74,3	74,4	74,5	74,4
IRF530 Vishay	75,2	75,3	75,3	75,27
IRF530 International Rectifier	56,8	60,8	60,9	59,5
IRF540 Vishay	75,6	75,8	75,9	75,77
IRF610 Vishay	87,9	88	88,8	88,23
IRF620 Vishay	87,9	89	89,2	88,7
IRF640 Vishay	86,9	87,1	87,2	87,07
IRF640 International Rectifier	85,8	87,2	87,6	86,87
IRF720 Vishay	84,7	87,7	88,4	86,93
IRF730 Vishay	86,3	87,4	88	87,23
IRF740 Vishay	86,8	88	88,5	87,77

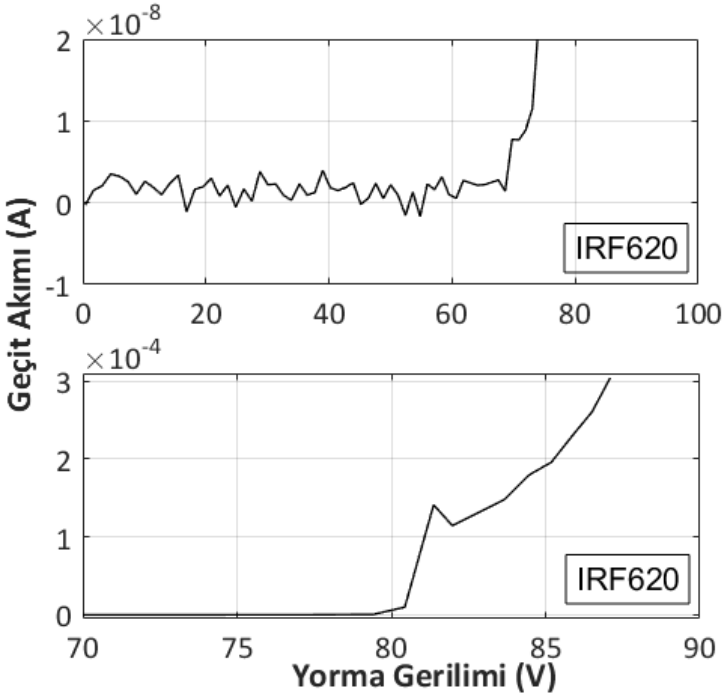
Rampa tipi yorma ayrıca artan gerilim değerine karşılık geçit kaçak akımının nasıl değiştiğini gözlemlemek için yapılmıştır. Geçit akım değişimi 2 kısımdan oluşmaktadır. İlk kısımda, akım önemsiz seviyede küçük değerler alır (Şekil 4.2). Bu durum; yorma gerilimi, MOSFET için ani bozulmaların görülmediği çalışma bölgesi içerisinde ise gerçekleşmektedir. Bütün transistörlerin veri sayfalarında; 20V geçit kaynak gerilimi için, maksimum 100nA geçit kaçak akım bilgisi bulunmaktadır [121-132]. Geçit kaçak akım değişiminin ikinci kısmında ise artık kritik bir gerilim seviyesi aşılmıştır ve MOSFET, kırılma öncesinde yüksek seviyede kaçak

akım akıtır (Şekil 4.3). Bu uygulama ile akımın aniden çok yüksek değerler aldığı gerilim seviyeleri tespit edilmiştir (Tablo 4.2). Bir sonraki ölçüm aşamasında (Başlık 4.2), bu kritik gerilim seviyelerinin altındaki değerlerde sabit yorma uygulanarak geçit akım ölçümü yapılmıştır.

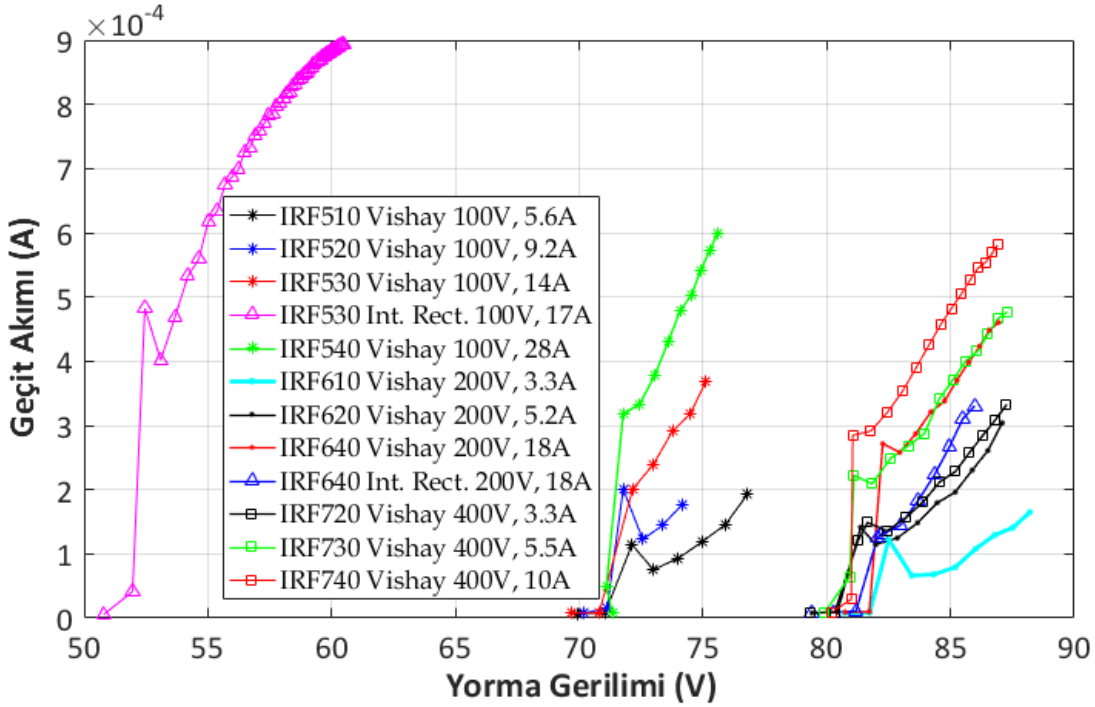
Bütün transistörler için 1V/sn eğimli rampa tipi yorma uygulaması sonuçları Şekil 4.3' te görülmektedir. Bu eğriler kaçak akımın yükseldiği gerilim seviyelerini göstermektedir ve kırılmadan hemen önceki akım bilgisini içermektedir. Sırasıyla aşağıda belirtilen gözlemler yapılmıştır:

- Vishay IRF510, IRF520, IRF530 ve IRF540 transistörlerinin kırılma gerilim değerleri etrafında yüksek kaçak akım değişimleri görülmüştür. Bu durum, FN tünellemeden kaynaklanmaktadır. Oksit üzerinden geçen kaçak akım değerleri, transistörlerin sahip oldukları savak-kaynak akım karakteristiğine bağlı olarak değişmektedir. Akım değeri yüksek olan Vishay IRF540 diğer IRF500 serilerine kıyasla daha çok akım geçirmiştir. Bu geçit kaçak akım değerleri, savak akım karakteristiklerine göre sıralanmıştır.
- Vishay IRF600 ve IRF700 transistörleri de kırılma geriliminin çevresinde yüksek geçit akımı akıtmaktadır. IRF500 serilerine benzer olarak, kaçak akım değerleri sahip oldukları savak akım karakteristiğine göre sıralanmaktadır.
- Vishay IRF620 ve IRF720 benzer kaçak akım değişimlerine sahiptir.
- Vishay IRF640 ve Vishay IRF730 da benzer kaçak akım değişim eğrilerine sahiptir.
- Vishay IRF510 ($100V_{DS}$), IRF620 ($200V_{DS}$) ve IRF730 ($400V_{DS}$) transistörleri yaklaşık olarak aynı savak akım değerlerine (5,5A) sahiptir. Kaçak akım değerleri de sahip oldukları savak gerilim karakteristiğine göre sıralanmaktadır. IRF730, her iki transistörden de daha fazla kaçak akım akıtmaktadır ve onu IRF620 transistörü takip etmektedir. Bu üç transistör arasında en az kaçak akım akıtan IRF510 transistörüdür.
- International Rectifier IRF530 transistörünün, diğer bütün transistörlere kıyasla, geçit oksitindeki kaçak akım değeri çok yüksektir. Yukarıda bahsedildiği gibi bu transistöre yorma uygulanırken devredeki kapasite, diğer transistörlerle yapılan uygulamalara kıyasla, daha geç yüklendi. Ölçüm düzeneği ve kaçak akım değişimleri göz önüne alındığında, transistörün oksit kalitesinin kötü olduğu anlaşılmaktadır.

- International Rectifier IRF640 transistöründe kaçak akım ölçümü esnasında herhangi bir sorunla karşılaşılmadı. Ayrıca elde edilen kaçak akım değerleri Vishay IRF640' a kıyasla daha düşüktür.



Şekil 4.2: Rampa-ilerleyen tip yorma boyunca akım-gerilim değişimi (IRF620).



Şekil 4.3: Rampa-ilerleyen tip yormada kırılma öncesi kritik seviyede akım değişimi.

Tablo 4.2: Rampa-ilerleyen tip yorma uygulaması bozulma verileri.

Transistör	Eğim	Kritik Yorma Gerilimi	Kaçak Akım
Vishay IRF510	1V/sn	72,13V	0,0001143A
Vishay IRF520	1V/sn	71,78V	0,0002007A
Vishay IRF530	1V/sn	72,87V	0,0001834A
I.R. IRF530	1V/sn	52,456V	0,0004823A
Vishay IRF540	1V/sn	71,77V	0,0003172A
Vishay IRF610	1V/sn	82,5V	0,0001223A
Vishay IRF620	1V/sn	81,37V	0,0001411A
Vishay IRF640	1V/sn	82,26V	0,0002714A
I.R. IRF640	1V/sn	82,05V	0,0001249A
Vishay IRF720	1V/sn	80,53V	0,0001807A
Vishay IRF730	1V/sn	81,1V	0,0002222A
Vishay IRF740	1V/sn	81,05V	0,0002848A

4.1.2. Kırılma İstatistiklerinin Çıkartılması

Transistörlerin kırılma sürelerini tespit etmek amacıyla kırılma geriliminden daha düşük değerlerde sabit yorma uygulanmıştır. Bütün transistörlerin farklı yorma gerilimlerindeki kırılma süreleri elde edilmiştir. Böylece, kırılma istatistiksel dağılımlarını çıkartmak için 2 farklı gerilim seviyesi belirlenmiştir. Bu istatistiksel dağılımları çizdirmek için yorma gerilimine karşılık gelen kırılma süreleri kullanılır.

Alan sınırlaması nedeniyle, sadece Vishay IRF530, IRF540, IRF620 ve IRF720 transistörleri için olan kırılma süreleri sunulmaktadır. Bu VDMOSFETler, sabit yorma koşullarını araştırmak için kullanılan transistör modelleridir. Diğer transistör modelleri için çıkartılan tablolar ve kırılma istatistiksel eğrileri EK1' e eklenmiştir.

Belirlenen her bir yorma gerilim değeri için ilgili transistöre ortalama 10 kez yorma uygulanmıştır. Kırılma verilerinin rastgele parametre dağılımları, "ReliaSoft-Weibull++" programından faydalanılarak çıkartılmıştır. Elde edilen sonuçlar; Weibull dağılımının elemanların kırılma istatistiklerini karakterize etmek için daha uygun olduğunu göstermiştir. Kırılma eğrisi, veri kümesindeki kırılma süreleri (x-ekseni) ve bunlara karşılık gelen güvenilmezlik (unreliability-F(t)) tahminleri (y-ekseni) ile belirlenir [134]. Buradaki amacımız;

yorma seviyesinin istatistiksel kırılma dağılımı üzerindeki etkilerini araştırmaktır. Elde edilen sonuçlara göre çalışılması planlanan transistörlere ve asıl çalışma koşullarına karar verilecektir.

4.1.2.1. Vishay IRF530 transistörlerinin kırılma verileri

Vishay firmasının IRF530 transistörleri için rampa tipi yorma sonrası kırılma gerilimleri; 75,2V-75.3V etrafında tespit edilmiştir. Transistörlere sabit yorma uygulandığında elde edilen kırılma süreleri Tablo 4.3' te gösterilmektedir. İstatistiksel analiz için 73V ve 74,8 gerilim değerleri seçilmiştir.

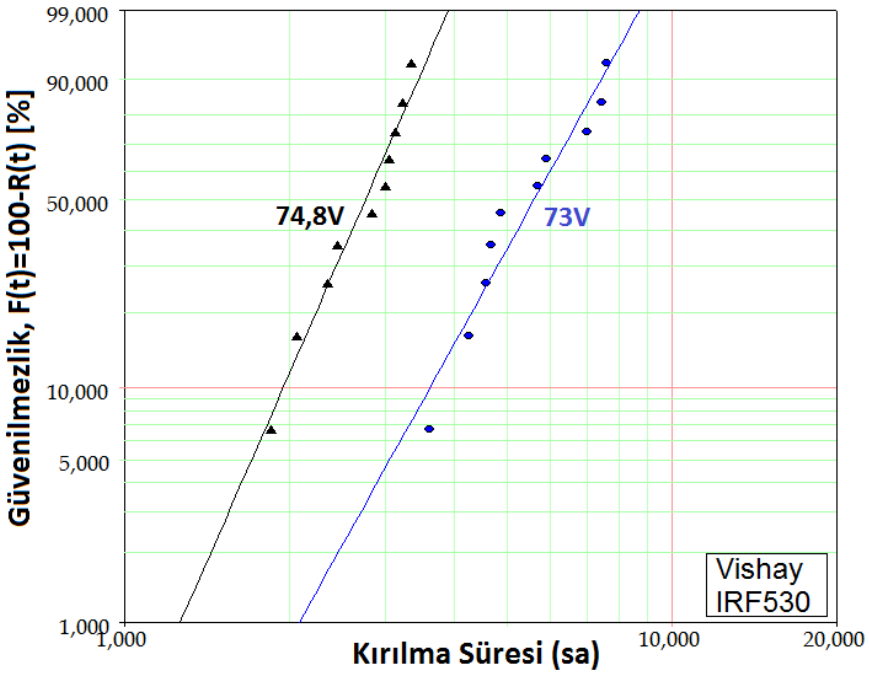
Tablo 4.3: Vishay IRF530 sabit yorma uygulaması.

Yorma Gerilim Değeri	Kırılma Süreleri
75,7V	4dk
74,8V	**Deneme 1:** 1sa 51dk, **Deneme 2:** 2sa 27dk
73,8V	2sa 56dk
73V	**Deneme 1:** 4sa 35dk, **Deneme 2:** 7sa

Vishay IRF530 transistörlerinin sabit yorma sonrası (73V ve 74,8V) kırılma istatistiksel dağılımları Şekil 4.4' te ve Weibull dağılım parametreleri Tablo 4.4-4.5' te gösterilmektedir. Burada ilinti katsayısının (rho) 1' e yakın olması, yakınsama işleminin iyi olduğunu gösterir [134]. Tablolardan görüldüğü gibi rho değerleri 1' e oldukça yakındır. Bundan dolayı Weibull dağılımı, oksit kırılma istatistiklerini açıklamak için kullanılabilir.

73V yorma seviyesinde elde edilen kırılma süreleri; 74,8V için elde edilen kırılma sürelerinden 3,16sa kadar fazladır. Transistörlerin ortalama kırılma süresi α parametresi üzerinden takip edilebilir. Yorma seviyesi arttıkça β parametresinde 1.15 kadar artış görülmüştür (Tablo 4.4-4.5). 74.8V gerilim değerinde kırılma süreleri, 73V' ta görülen kırılma sürelerine kıyasla daha dar bir aralıkta değişmektedir. Bunun sebebi 74,8V' un kırılma gerilimine daha yakın olması ve belirli bir yorma süresinin (3sa 20dk) üstüne çıkamamasıdır (Şekil 4.4). Bu gerilim değeri, kırılma gerilimine yakın değerde olsa da ani kırılmaların görülemeyeceği bir gerilim seviyesidir. Bu nedenle alt ve üst kırılma süreleri sınırlandırılmıştır. 73V yorma geriliminde elde edilen kırılma süreleri 3sa 37dk-7sa 35dk arasında değişmektedir. Bu yorma seviyesinin alt ve üst kırılma süreleri, kırılma gerilim değerinden yeterince uzakta olduğu için, geniş bir

aralıkta değişmiştir. Zaten β değeri 1' in çok üzerindedir. Şekil 4.4' te görüldüğü gibi iki gerilim seviyesinde de oldukça dik dağılım eğrileri elde edilmiştir.



Şekil 4.4: Vishay IRF530 transistörünün Olasılık-Weibull eğrileri.

Tablo 4.4: Vishay IRF530' un 73V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	4,2852
	Ölçek Parametresi (α)	6,1082
	İlinti Katsayısı (rho-ρ)	0,9674

Tablo 4.5: Vishay IRF530' un 74,8V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	5,4371
	Ölçek Parametresi (α)	2,9505
	İlinti Katsayısı (rho-ρ)	0,9808

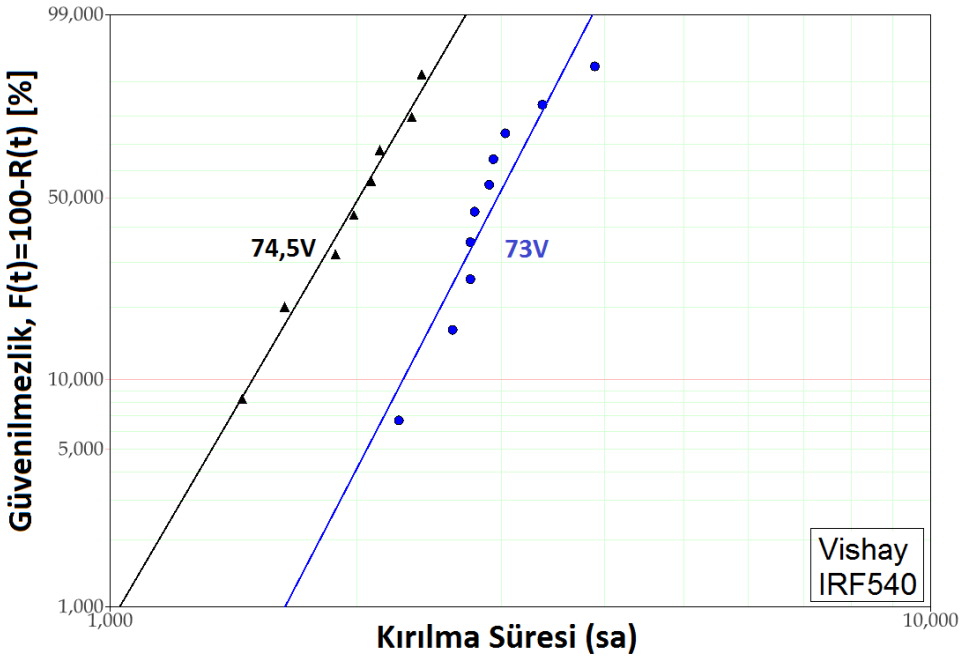
4.1.2.2. Vishay IRF540 transistörlerinin kırılma verileri

IRF540 transistörleri için kırılma gerilimleri; 75,8V etrafında değişmektedir. Bu kırılma gerilim değerlerine yakın seviyelerde sabit gerilim uygulandığında, transistörlerin kırılma süreleri kısalmaktadır (Tablo 4.6). Bu nedenle kırılma gerilimine en yakın ve daha uzun yorma süresi imkânı veren "74,5V" istatistiksel analiz için gerilim seviyesi olarak seçilmiştir. Buna ek olarak bir diğer yorma seviyesi, daha uzun kırılma süreleri sağladığı için 73V olarak seçilmiştir. Her bir gerilim seviyesi için ortalama 10 kere yorma işlemi yapılmıştır.

Tablo 4.6: Vishay IRF540 sabit yorma uygulaması.

Yorma Gerilim Değeri	Kırılma Süreleri
75,7V	1dk
75,3V	3sn
75,2V	**Deneme 1:** 12sn, **Deneme 2:** 20sn.
75V	20sn
74,8V	**Deneme 1:** 2sa 9dk, **Deneme 2:** 1sa 20dk, **Deneme 3:** 55dk, **Deneme 4:** 4dk.
74,5V	2sa 20dk
73,8V	**Deneme 1:** 1sa 50dk, **Deneme 2:** 2sa 49dk, **Deneme 3:** 2sa 11dk.
73V	3sa 22dk

IRF540 transistörlerine 73V ve 74,5 yorma uygulandığında elde edilen Olasılık-Weibull eğrileri Şekil 4.5' te görülebilmektedir. Weibull dağılım parametreleri ise Tablo 4.7 ve 4.8' de verilmektedir. Bu transistör için de rho değerinin bire yakın olması sebebiyle Weibull dağılımının kırılma verileri için uygun olduğu anlaşılmaktadır. Yorma seviyesi arttıkça istatistiksel dağılım tipinde bir değişim görülmemiştir. Çıkartılan İki yorma geriliminde elde edilen kırılma süreleri arasında ortalama 1 saatlik bir fark oluşmuştur.



Şekil 4.5: Vishay IRF540 transistörünün Olasılık-Weibull eğrileri.

Tablo 4.7: Vishay IRF540' ın 73V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	7,10027
	Ölçek Parametresi (α)	3,121523
	İlinti Katsayısı (rho-ρ)	0,933096

Tablo 4.8: Vishay IRF540' ın 74,5V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	6,306728
	Ölçek Parametresi (α)	2,12963
	İlinti Katsayısı (rho-ρ)	0,992475

4.1.2.3. Vishay IRF620 transistörlerinin kırılma verileri

IRF620 transistörünün kırılma gerilim değerleri; 87,9-89,2V arasında değişmektedir. Bu geniş aralık, aynı yorma seviyesi için elde edilen kırılma sürelerinde farklılıklara sebep olmaktadır (Tablo 4.9). Böylece, istatistiksel analiz için kullanılacak olan yorma seviyelerinden biri en düşük kırılma gerilimi olan "87,9V" seçilmiştir. Seçilen ikinci gerilim seviyesinin de kısa sürede kırılma istatistiklerini çıkarabilmek için yorma seviyeleri arasındaki fark küçük tutulmuştur ve "87,4V" olarak seçilmiştir. Belirlenen her bir gerilim seviyesi için ortalama 10 kere yorma işlemi yapılmıştır.

Tablo 4.9: Vishay IRF620 sabit yorma uygulaması.

Yorma Gerilim Değeri	Kırılma Süreleri
89,3V	5sn
89,2V	58dk
88,9V	**Deneme 1:** Anında kırılma, **Deneme 2:** 1sa 44dk, **Deneme 3:** 3sa 54dk.
88,7V	**Deneme 1:** Anında kırılma, **Deneme 2:** 2sa 32dk.
88,4V	**Deneme 1-3:** Anında kırılma, **Deneme 4:** 2sa, **Deneme 5:** 1sa 46dk.
87,9V	**Deneme 1:** Anında kırılma, **Deneme 2:** 2sa 35dk.
87,4V	3sa 30dk
87V	**Deneme 1*:** 7sa 22dk
86,9V	**Deneme 1:** 3sa 10dk, **Deneme 2:** 4sa 47dk.
80V	**Deneme 1*:** 16 gün, **Deneme 2*:** 18 gün.

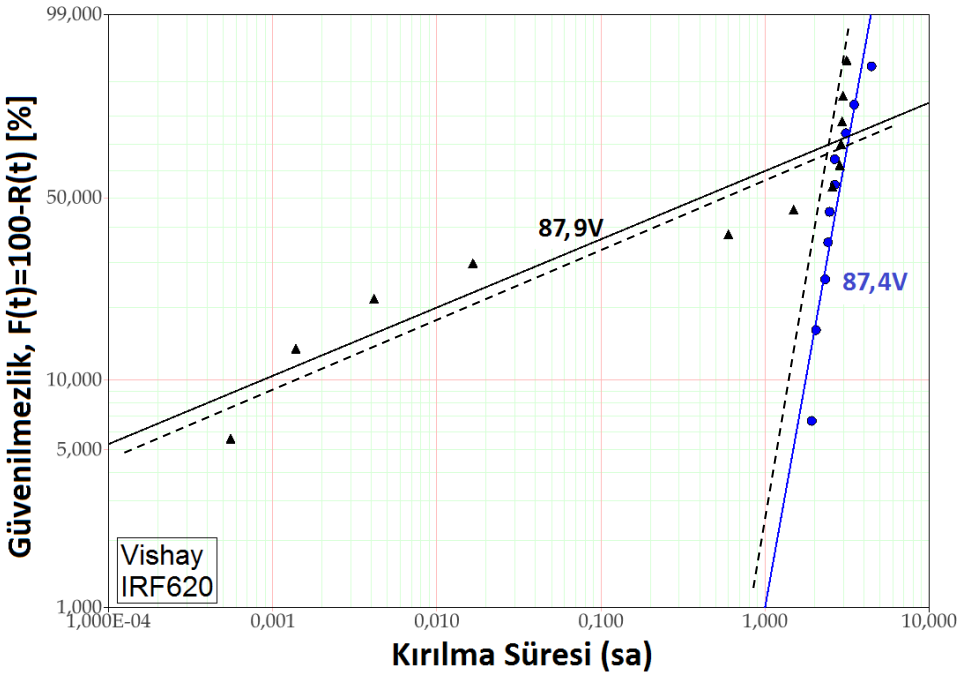
*Yorma Süresi

IRF620 için hesaplanan Weibull dağılım parametreleri Tablo 4.10-4.11' de verilmektedir. Transistörlere uygulanan yorma seviyesi arttıkça α ve β parametrelerinde değişim görülmüştür. Ancak, istatistiksel dağılım tipinde bir değişiklik görülmemiştir. İki yorma seviyesinin kırılma süreleri arasında yaklaşık 1,7 saatlik bir fark oluşmuştur.

Olasılık-Weibull eğrileri Şekil 4.6' da verilmektedir. 87,9 V için çıkartılan eğride, farklı eğimlere sahip iki bölgenin oluştuğu gözlemlenmiştir. Bu durum, kırılma süreleri ve kırılma olasılıklarındaki ciddi farklılıklardan kaynaklanmaktadır. Çünkü oksite uygulanan yorma seviyesine bağlı olarak farklı kırılma mekanizmaları oluşabilmektedir [143]. İstatistiksel

dağılımlarda mevcut olan her farklı bölüm farklı bir kırılma mekanizmasından kaynaklanmaktadır [36]. Üretim sürecinde ortaya çıkan kusurlar, oksit kalitesini düşürür ve bu kusurlar kısa sürede kırılmalara sebep olabilir. Bunun sonucunda geniş bir istatistiksel dağılım görülür [36]. 87,9V için çıkarılan eğrinin ilk kısmında dağılımın oldukça geniş olduğu görülebilmektedir (Şekil 4.6). Diğer yandan dağılımın ikinci kısmı daha dik ve dar bir değişim göstermiştir. Bu da geçit oksit tabakasının kendi yapısındaki tuzak oluşturma eğiliminden kaynaklanabilmektedir. Yorma süresi boyunca tuzak oluşumu tetiklenir ve kırılma zaman içerisinde gerçekleşir. Böylece, yüksek yorma seviyesi altında daha uzun kırılma süreleri görülebilmektedir. Bundan dolayı, daha dar ve dik bir istatistiksel dağılıma sahiptir [36].

87,9V gerilim değeri kırılma gerilim aralığında bir değer olduğu için dağılımı daha geniştir. 87,4V gerilim değerinin kırılma istatistik eğrisi daha diktir. Böylece, elimizdeki transistör seti için daha düşük gerilimlerde daha dik bir kırılma eğrisi elde edilebileceği gösterilmiştir. Bu çalışma kapsamında oksit tabakasının zaman içerisinde bozulma durumu incelenecektir ve çalışılacak yorma seviyelerinin istatistiksel dağılımlarının daha dar olması beklenmektedir.



Şekil 4.6: Vishay IRF620 transistörünün Olasılık-Weibull eğrileri.

Tablo 4.10: Vishay IRF620' nin 87,4V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	4,124956
	Ölçek Parametresi (α)	3,047005
	İlinti Katsayısı (rho-ρ)	0,926232

Tablo 4.11: Vishay IRF620' nin 87,9V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,306354
	Ölçek Parametresi (α)	1,33179
	İlinti Katsayısı (rho-ρ)	0,921971

4.1.2.4. Vishay IRF720 transistörlerinin kırılma verileri

Rampa-ilerleyen tip yorma uygulamasında IRF720 için kırılma gerilimleri; 84,7V-88,4V arasında elde edilmiştir. Transistörler sabit yormaya maruz kaldığında elde edilen kırılma verileri ise Tablo 4.12' de gösterilmektedir. Aynı yorma seviyesi için elde edilen kırılma süreleri arasında büyük değişimler gözlemlenmiştir. Bu nedenle istatistiksel analiz için kırılma gerilim aralığında değerler seçilmiştir. Bu gerilim seviyeleri; "87,5V" ve "87,8V" olarak belirlenmiştir. Çünkü 87,2V değerinde 2 ayrı gerilim yorması yapılmıştır. Bu işlemlerden birinde kırılma 10sa sonra görülürken, diğerinde ise 10sa 44dk sonra hala kırılma görülmemiştir (Tablo 4.12). Kısa sürede kırılma verilerini elde edebilmek için, gerilim seviyelerinin aralığı küçük tutulmuştur.

Tablo 4.12: Vishay IRF720 sabit yorma uygulaması.

Yorma Gerilim Değeri	**Kırılma Süreleri**
88.5V	Anında kırılma
87.9V	**Deneme 1:** Anında kırılma, **Deneme 2:** 52dk.
87.7V	Anında kırılma
87.5V	**Deneme 1:** Anında kırılma, **Deneme2:** 2sa 59dk
87.4V	3sa 50dk
87.2V	Deneme 1: 10sa, **Deneme 2*:** 10sa 44dk

*Yorma Süresi

IRF720 transistörlerine 87,5V ve 87,8V değerlerinde yorma uygulandığında kırılma süreleri arasında yaklaşık 1,77 saatlik bir fark gözlemlenmiştir. Weibull dağılım parametreleri Tablo 4.13-4.14' te verilmektedir. IRF720 için yorma seviyesi arttıkça, α ve β parametrelerinde değişiklikler görülmüştür. Ancak, bu transistör için de istatistiksel dağılım tipi değişmemiştir.

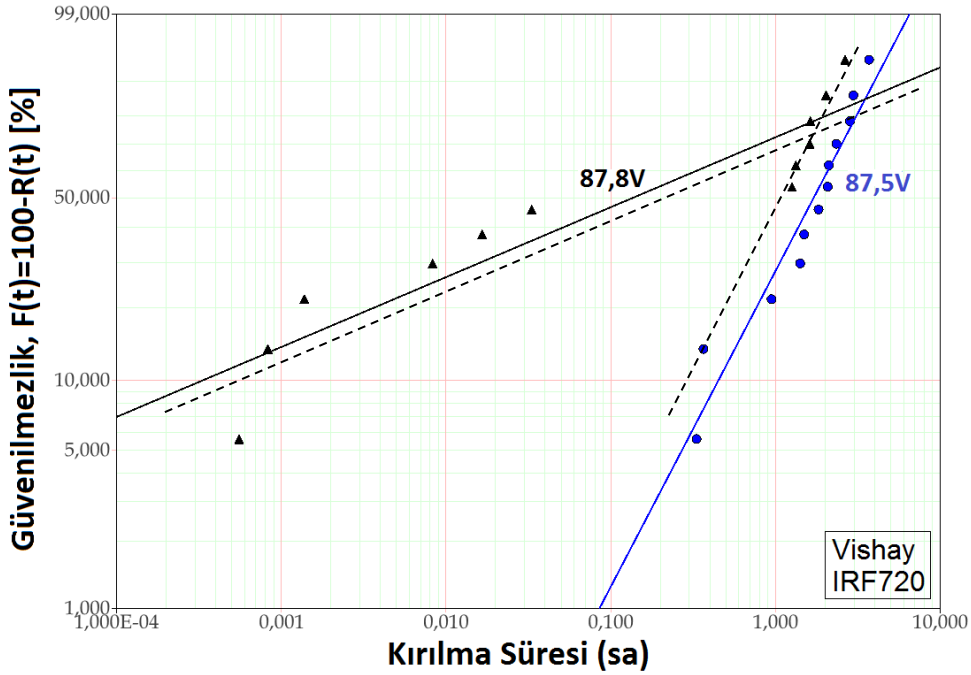
Olasılık-Weibull eğrileri Şekil 4.7' de verilmektedir. IRF620' ye benzer olarak 87,8V yorma uygulandığında, kırılma dağılımında 2 farklı eğime sahip bölge oluşmuştur. 87,8V eğrisinin ilk kısmı oldukça geniş bir dağılıma sahipken, ikinci kısmı daha dik ve dar bir dağılıma sahiptir (Şekil 4.7). Bu eğrinin de iki parçalı olarak çıkması, gerilim seviyesinin çalışmak için uygun olmadığı anlamına gelmektedir.

Tablo 4.13: Vishay IRF720' nin 87,5V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	1,413296
	Ölçek Parametresi (α)	2,207824
	İlinti Katsayısı (rho-ρ)	0,966482

Tablo 4.14: Vishay IRF720' nin 87,8V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,312898
	Ölçek Parametresi (α)	0,437879
	İlinti Katsayısı (rho-ρ)	0,935315



Şekil 4.7: Vishay IRF720 transistörünün Olasılık-Weibull eğrileri.

4.1.3. Sabit Yorma Koşullarının Belirlenmesi

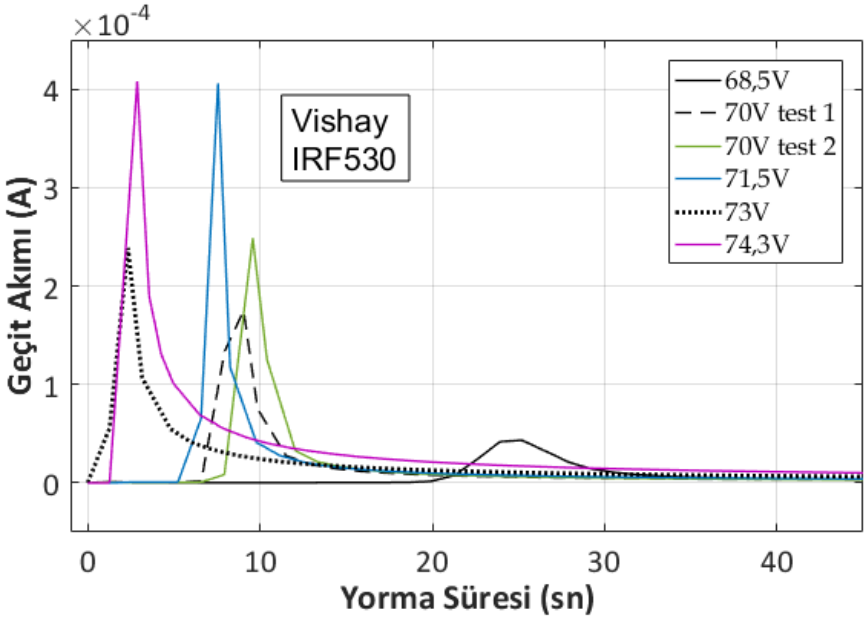
Ölçümler için geniş bir savak akım aralığında analiz yapmak amacıyla Vishay IRF530 (100V-14A), IRF540 (100V-28A), IRF620 (200V-5,2A) ve IRF720 (400V-3,3A) transistörlerinin kullanılmasına karar verilmiştir. Bu transistörlerin kırılma istatistiksel dağılımları, çalışma için

yeterli sonuçlar vermiştir. Transistörlerin yorma gerilim seviyeleri Başlık 4.1.2' de yapılan rampa tip ve sabit yorma uygulamaları yardımıyla belirlenmiştir.

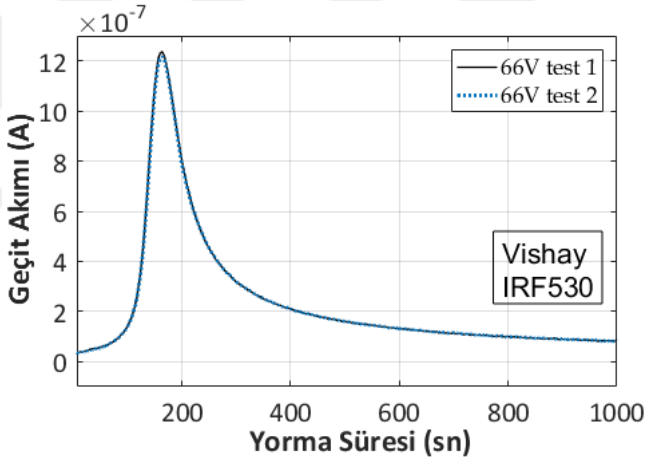
Yorma gerilim değerlerine karar verirken Tablo 4.2' deki kritik gerilim değerleri göz önüne alınmıştır. Bu kritik gerilim seviyelerinin üzerinde sabit yorma uygulandığında, kaçak akım davranışının değişken sonuçlar verdiği görülmüştür. Elde edilen akım eğrileri Şekil 4.8-4.11' de gösterilmektedir. Diğer yandan bu kritik gerilim seviyesinin altında yorma uygulandığında, geçit kaçak akım eğrilerinin benzer sonuçlar verdiği gözlemlenmiştir. Yorma gerilimlerine karar verirken bu kritik gerilim seviyelerinin altında değerler seçilmiştir (Tablo 4.15).

Rampa-ilerleyen tip yorma uygulamasında IRF530 Vishay için kaçak akım değerinin, ortalama 72,5V üzerinde aniden yükselmeye başladığı görülmüştür. Bu gerilim değerinde ve çevresinde yapılan sabit yormalar Şekil 4.8' de verilmektedir. Sonuçlar 71,5V üzerindeki gerilimlerde akım davranışının değişken olduğunu göstermiştir. Ancak bu gerilimin altında yapılan ölçümler daha tutarlı sonuçlar vermektedir. Şekil 4.8' de 70V için ve Şekil 4.9' da 66V için yapılan iki farklı ölçümün birbirine benzer olduğu görülmektedir. Aynı şekilde IRF540 Vishay için de kaçak akım değeri 71,77V çevresinde kritik seviyede yükselmektedir. Şekil 4.10 (65V) ve Şekil 4.11 (70V)' de iki farklı ölçümün birbirine benzer olduğu görülmektedir. Tekrarlanabilir sonuçlar elde edebilmek için geçit kaçak akım eğrilerinin benzer sonuçlar vermesi tercih edilmektedir.

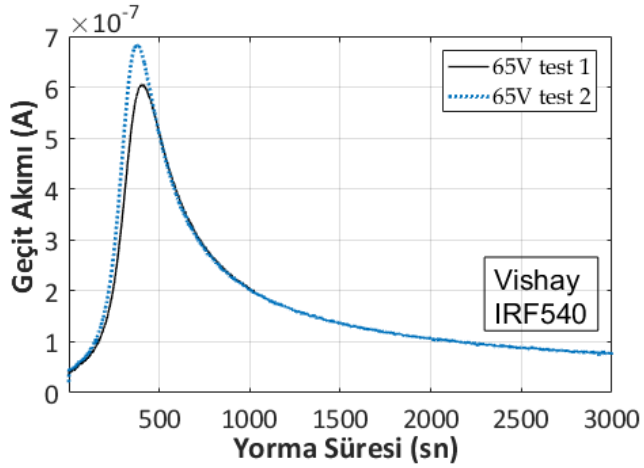
Akım eğrileri değişim karakteristiğine bakıldığında yormanın ilk anlarında, oksitte tuzaklara deliklerin yakalanması sebebiyle, artış görülür [15, 61]. Akımın yükseliş değeri ve bu yükselişin gerçekleştiği süre, uygulanan gerilim seviyesine göre değişiklik göstermektedir [15]. Tablo 4.16-4.19' da ve Şekil 4.20-4.21' de bu değişimler açıkça görülmektedir. Yorma işleminin sürdürülmesiyle oksitte tuzaklanan yükler belirli bir eşik değerine ulaşır ve arayüzey durumları oluşur. Böylece, Si-SiO_2 arayüzeyinde tuzaklara elektronlar yakalanır ve akım değeri düşmeye başlar [15, 61].



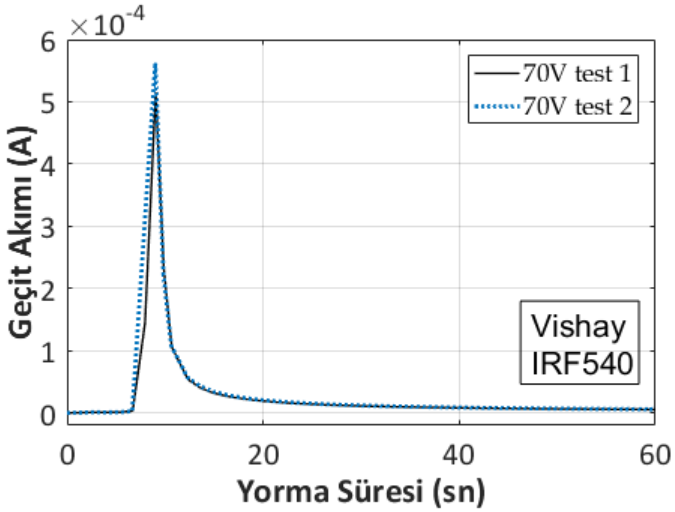
Şekil 4.8: Vishay IRF530 için sabit yorma boyunca kaçak akım değişimleri.



Şekil 4.9: Vishay IRF530 için 66V sabit yorma boyunca kaçak akım değişimleri.



Şekil 4.10: Vishay IRF540 65V sabit yorma boyunca kaçak akım değişimleri.



Şekil 4.11: Vishay IRF540 70V sabit yorma boyunca kaçak akım değişimleri.

Tablo 4.15: Sabit yorma gerilim değerleri.

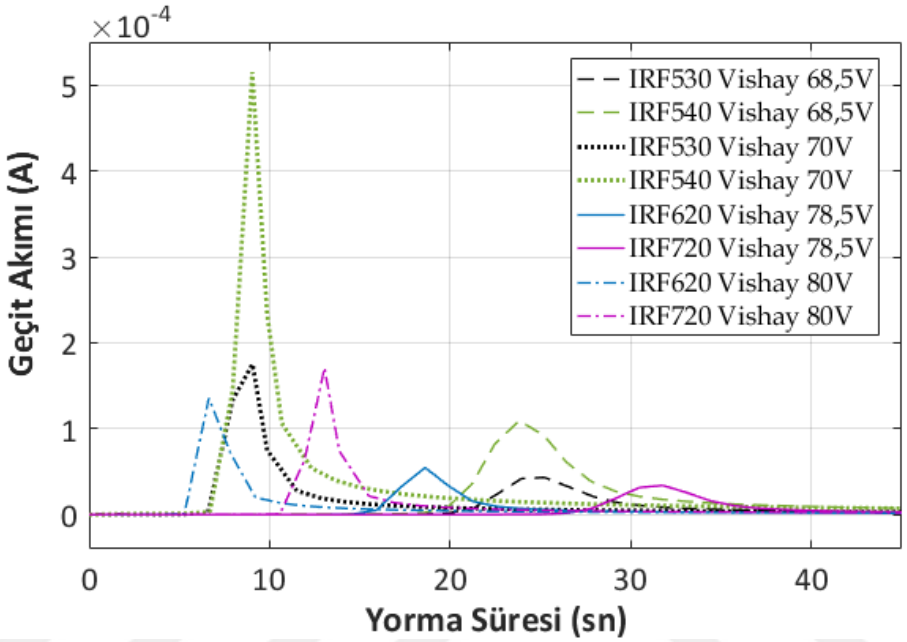
Vishay IRF530	Vishay IRF540	Vishay IRF620	Vishay IRF720
70V	70V	80V	80V
68,5V	68,5V	78,5V	78,5V
67V	67V	77V	77V
66V	66V	75V	75V
65V	65V	74V	74V
64V	64V	73V	73V
63V	63V	-	70V
60V	60V	-	-

Geçit akım eğrileri Şekil 4.12-4.19 için elde edilen bulgular şu şekildedir:

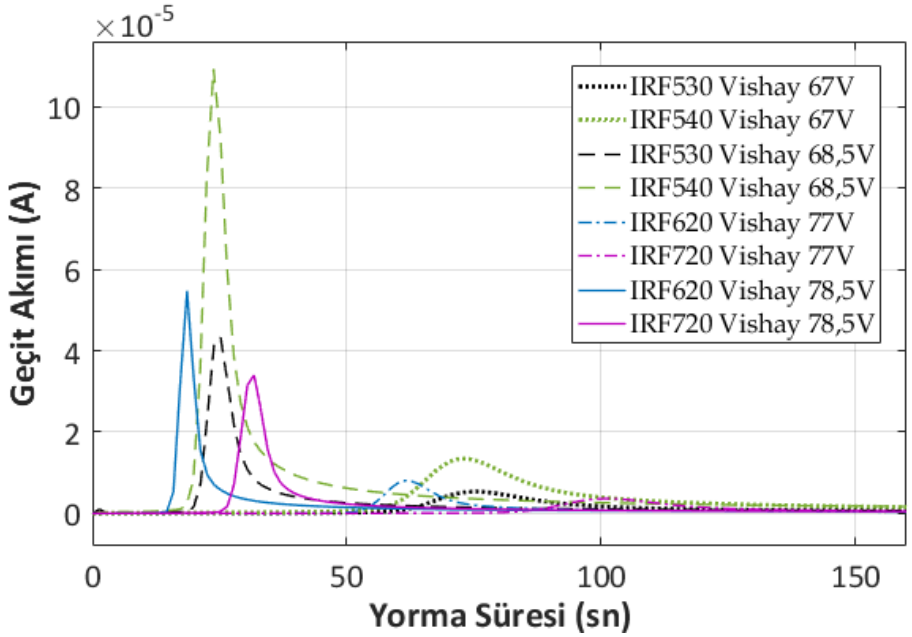
- Şekil 4.12' de transistörler için belirlenen üst yorma gerilim seviyelerinin sonuçları görülmektedir. Gerilim değerleri yüksek olduğu için akımdaki yükseliş yormanın ilk saniyelerinde görülebilmektedir.
- IRF530 ve IRF540 transistörlerinin kaçak akım yükseliş süreleri birbirine oldukça yakındır.
- Yorma gerilim seviyesi azaldıkça, kaçak akımın yükseliş tepe değeri azalmıştır ancak akım yükseliş süresi artmıştır.
- IRF720 transistörlerinin 75V ve altındaki yormalarında, IRF530 ve IRF540' ın akım yükseliş sürelerini takip ettiği gözlemlenmiştir (Şekil 4.15-4.17).
- Yorma boyunca akım belirli bir değere kadar yükselip indikten sonra değeri düşmeye devam etmektedir. Yeterince uzun süre beklenildiğinde farklı yorma seviyelerinde yorulmuş transistörler birbirlerine yakın değerlerde kaçak akıma sahip olmaktadırlar. Buna örnek olarak Şekil 4.16' daki IRF620 için yapılan 74V ve 75V' un akım eğrileri verilebilir. Akım

yükseliş değerleri ve süreleri farklı olduğu halde yorma ilerledikçe birbirine yakın akım değerleri aldıkları görülmektedir.

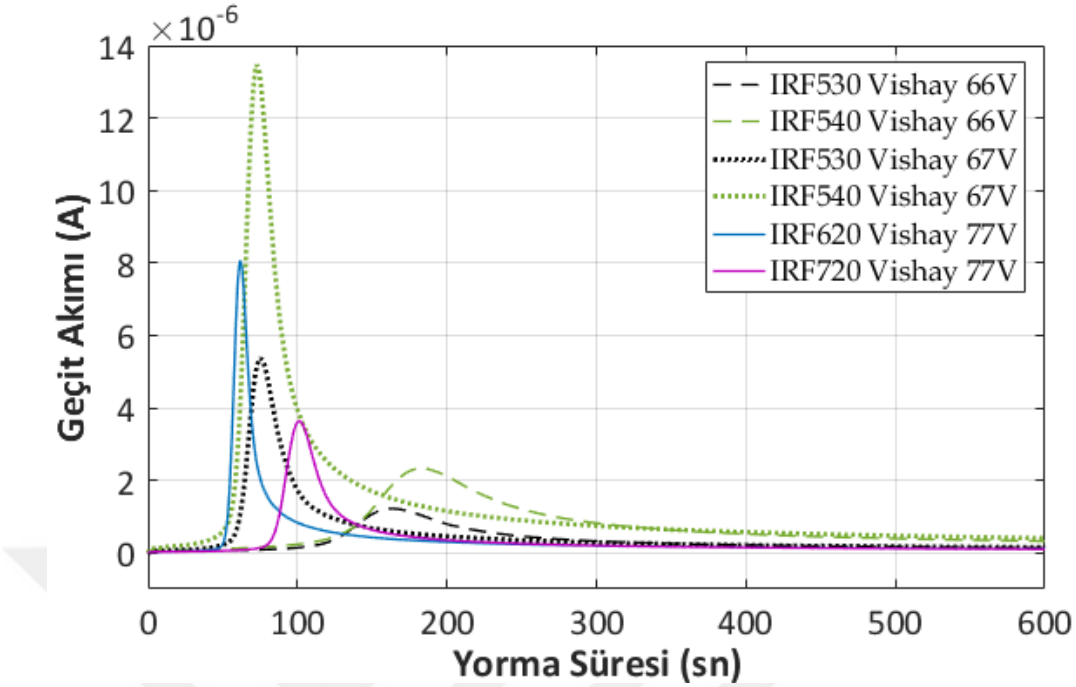
- Yorma seviyesi belirli bir değerin altına düştüğünde, yormanın ilk anlarındaki akım yükselişi tespit edilememektedir (Şekil 4.19).



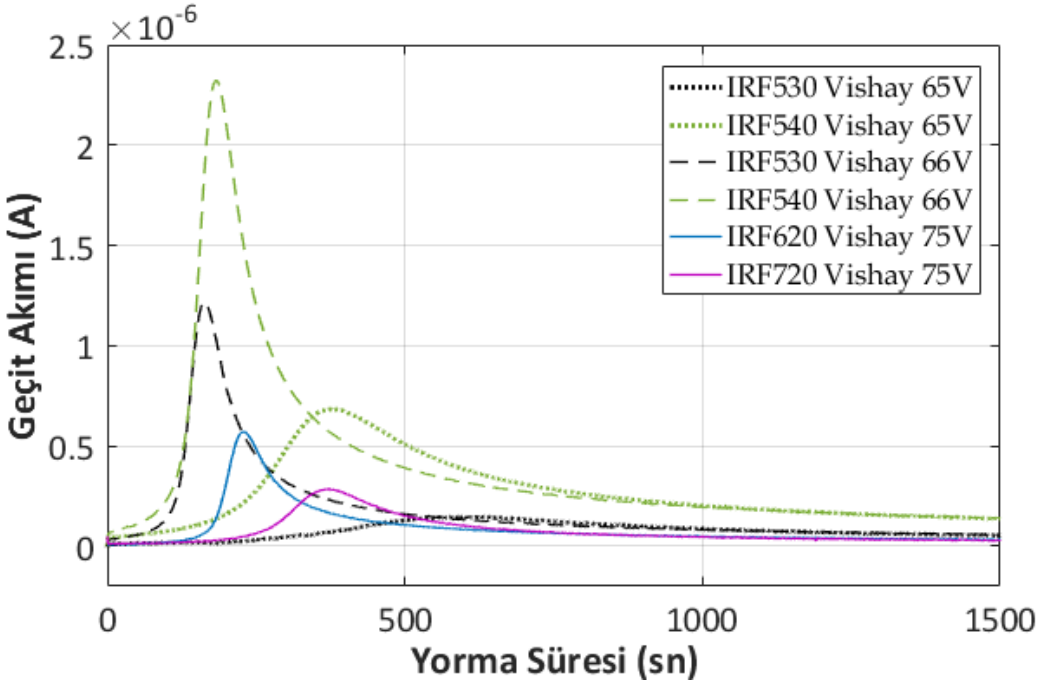
Şekil 4.12: 68,5V-70V (IRF500) ve 78,5V-80V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri.



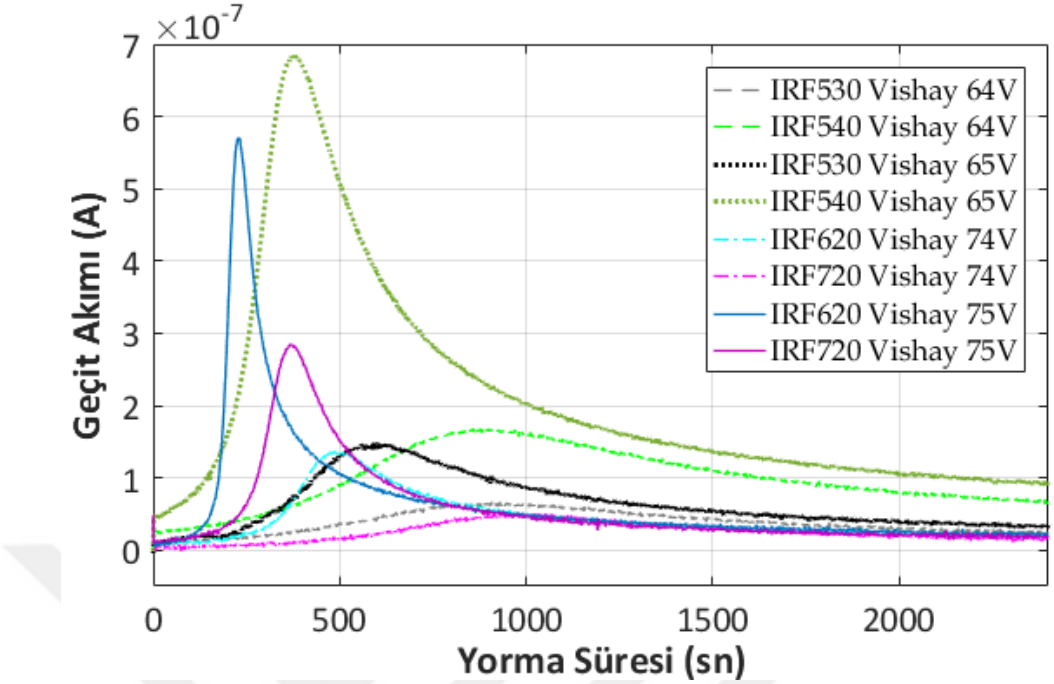
Şekil 4.13: 67V-68,5V (IRF500) ve 77V-78,5V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri.



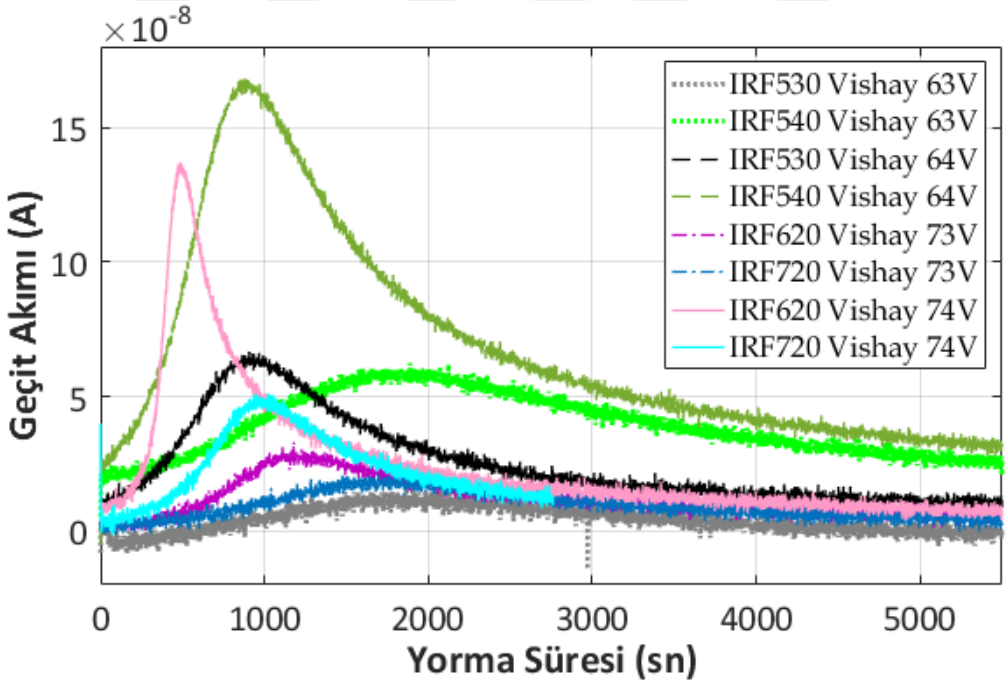
Şekil 4.14: 66V-67V (IRF500) ve 77V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri.



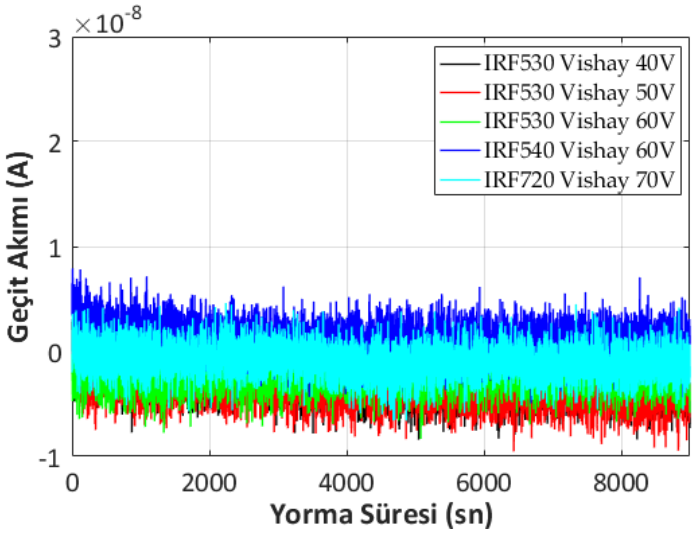
Şekil 4.15: 65V-66V (IRF500) ve 75V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri.



Şekil 4.16: 64V-65V (IRF500) ve 74-75V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri.

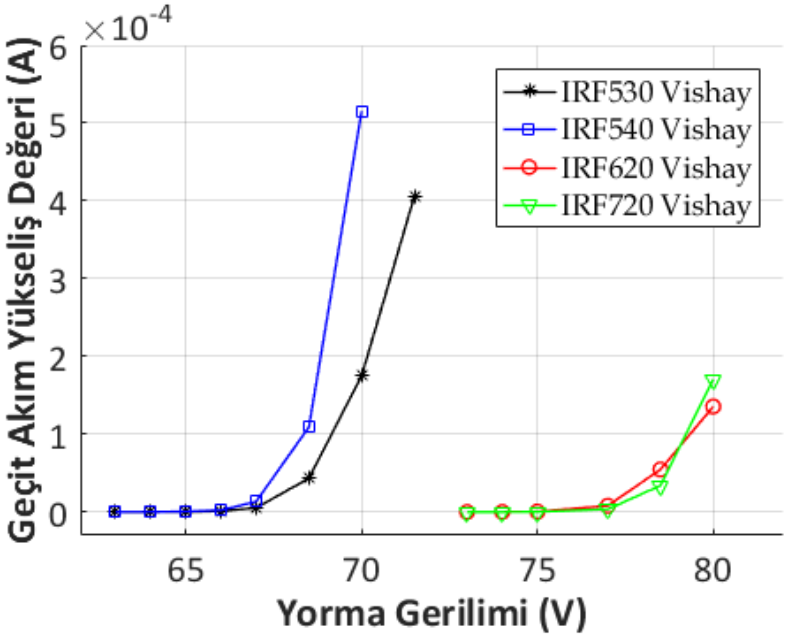


Şekil 4.17: 63V-64V (IRF500) ve 73-74V (IRF600-IRF700) yorma boyunca geçit kaçak akım değişimleri.

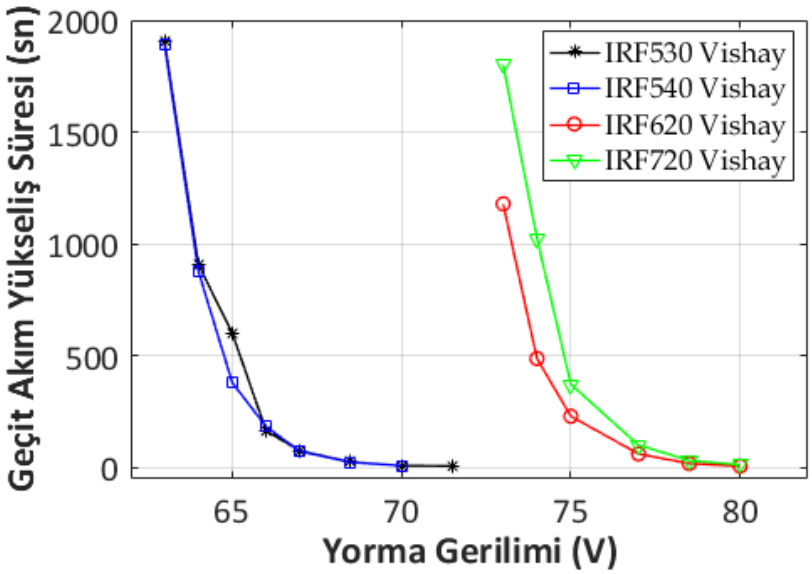


Şekil 4.18: IRF530 (40V, 50V, 60V), IRF540 (60V) ve IRF720 (70V) transistörlerinin yorma boyunca geçit kaçak akım değişimleri.

Kaçak akım parametre değişikliklerinin değer tabloları EK 2' de ve eğrileri Şekil 4.19-4.20' de görülebilmektedir. Burada yorma seviyesi azaldıkça akım yükseliş değerindeki ($I_{YÜKSELİŞ}$) azalmalar ve yükseliş süresindeki ($t_{YÜKSELİŞ}$) artışlar daha net bir şekilde verilmektedir. Daha önce bahsedildiği gibi, IRF530 ve IRF540 transistörlerinin $I_{YÜKSELİŞ}$ değerleri farklı (Şekil 4.19) ancak $t_{YÜKSELİŞ}$ süreleri neredeyse aynıdır (Şekil 4.20).



Şekil 4.19: Kaçak akımın yormanın ilk anlarında ulaştığı en yüksek değerler.



Şekil 4.20: Kaçak akımın yükseliş sürelerindeki değişimler.

Başlık 4.2.1' de kapasite ölçümlerini yapmak için Vishay IRF620 transistörü kullanılacaktır. Yorma uygulama listesi Tablo 4.16' da verilmektedir. Bu belirlenen çalışma gerilim aralıkları temel alınarak transistörlere sabit yorma uygulanmıştır.

Tablo 4.16: Vishay IRF620 kapasite ölçümü için yorma uygulama listesi.

Vishay IRF620				
1.	**2.**	**3.**	**4.**	**5.**
75V-30dk	76V-30dk	77V-15dk	78,5V-15dk	80V-10dk
75V-40dk	76V-120dk	77V-30dk	78,5V-20dk	80V-30dk
75V-60dk	76V-180dk	77V-120dk	78,5V-30dk	80V-120dk
75V-120dk	76V-270dk	77V-212dk	78,5V-60dk	80V-180dk
75V-180dk			78,5V-120dk	
75V-270dk			78,5V-180dk	
			78,5V-270dk	

4.2. KAPASİTE ÖLÇÜMLERİ

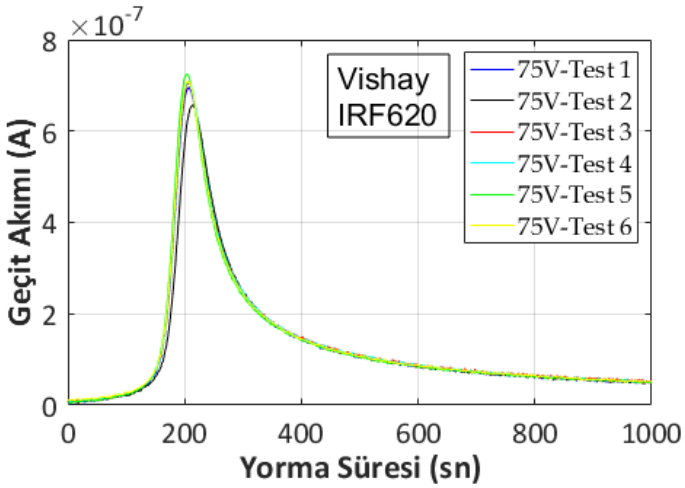
4.2.1. Kapasite Ölçümü için Sabit Yorma Uygulaması

Kapasite ölçümlerini yapmak için Vishay IRF620 güç MOSFET' lerine farklı gerilim değerlerinde yorma uygulanmıştır (Tablo 4.16). Yorma uygulaması boyunca transistörlerin geçitinden akan kaçak akım değişimleri Şekil 4.21-4.25' te verilmektedir. Başlık 4.1.3' teki akım değişimlerine benzer olarak; sabit yormanın ilk anlarında geçit akımı, oksitte tuzaklanan delikler sebebiyle artış gösterir [15, 61]. Arayüzey durumlarının oluşumu ile tuzaklara

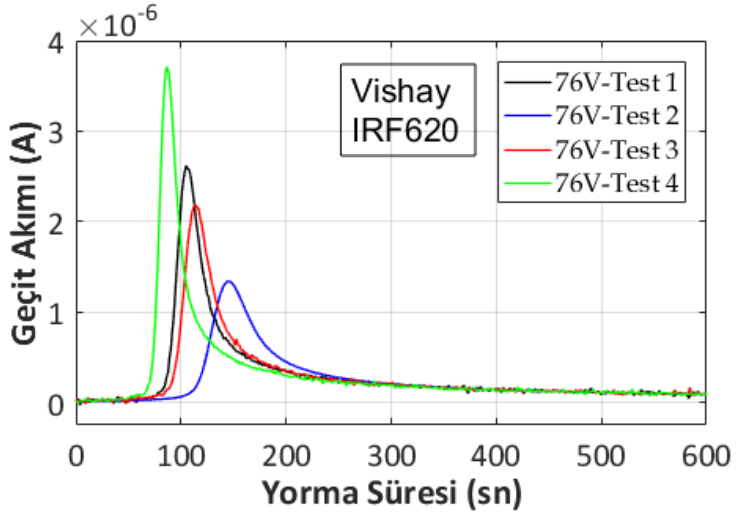
elektronlar yakalanır ve akım değeri azalmaya başlar [15, 61]. Tablo 4.17' de geçit kaçak akım parametreleri $I_{YÜKSELİŞ}$ ve $t_{YÜKSELİŞ}$ değerleri verilmektedir [15]. Bu parametreler, yorma süresinden bağımsız olup tamamen yorma gerilim değerine bağlı olarak değişir. Yorma gerilim değeri arttıkça $I_{YÜKSELİŞ}$ artarken, $t_{YÜKSELİŞ}$ azalış gösterir (Şekil 4.21-4.25).

Tablo 4.17: Vishay IRF620 akım yükseliş parametreleri.

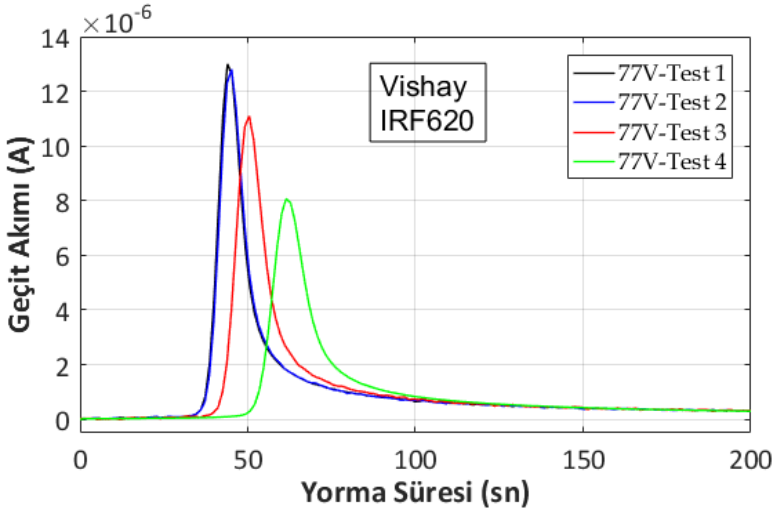
Yorma Gerilimi	Yorma Süresi	$t_{YÜKSELİŞ}$ (sn)	$I_{YÜKSELİŞ}$ (A)
75V	30dk-Test 1	208,8	6,97E-07
	40dk-Test 2	215,1	6,58E-07
	60dk-Test 3	209,9	7,07E-07
	120dk-Test 4	207	7,09E-07
	180dk-Test 5	204,4	7,25E-07
	270dk-Test 6	207,2	7,11E-07
76V	30dk-Test 1	106,3	2,62E-06
	120dk-Test 2	147,1	1,34E-06
	180dk-Test 3	114,4	2,19E-06
	270dk-Test 4	87,48	3,71E-06
77V	15dk-Test 1	45,27	1,30E-05
	30dk-Test 2	46,55	1,28E-05
	120dk-Test 3	51,76	1,11E-05
	212dk-Test 4	62,76	8,07E-06
78,5V	15dk-Test 1	17,32	6,68E-05
	20dk-Test 2	20	5,77E-05
	30dk-Test 3	18,57	6,26E-05
	60dk-Test 4	25,23	3,90E-05
	120dk-Test 5	18,67	5,84E-05
	180dk-Test 6	19,91	5,47E-05
	270dk-Test 7	19,9	5,96E-05
80V	10dk-Test 1	7,826	0,0001731
	30dk-Test 2	7,195	0,0001356
	120dk-Test 3	8,162	8,69E-05
	180dk-Test 4	7,938	0,0001356



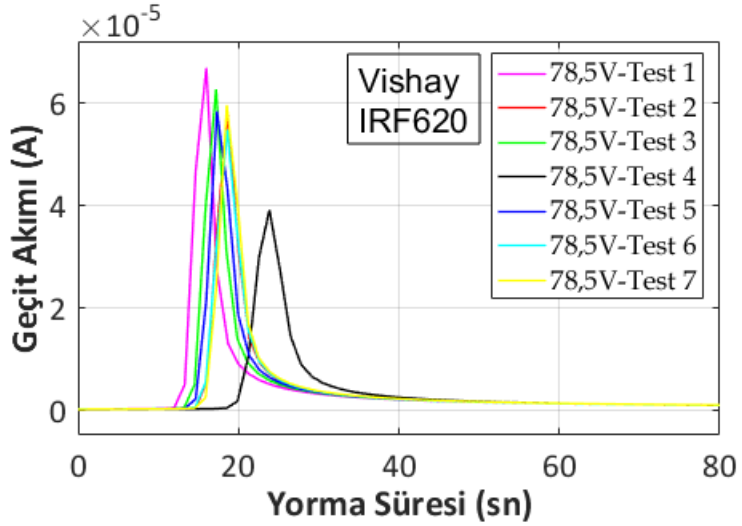
Şekil 4.21: Vishay IRF620; 75V yorma boyunca geçit kaçak akım değişimleri.



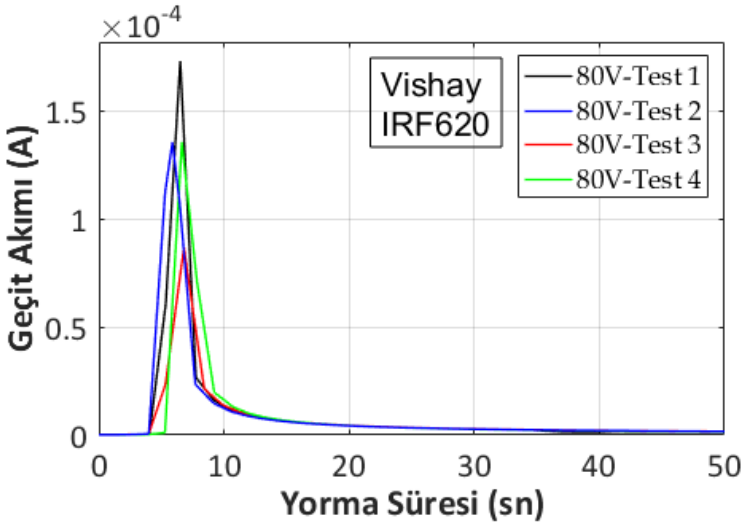
Şekil 4.22: Vishay IRF620; 76V yorma boyunca geçit kaçak akım değişimleri.



Şekil 4.23: Vishay IRF620; 77V yorma boyunca geçit kaçak akım değişimleri.



Şekil 4.24: Vishay IRF620; 78,5V yorma boyunca geçit kaçak akım değişimleri.



Şekil 4.25: Vishay IRF620; 80V yorma boyunca geçit kaçak akım değişimleri.

4.2.2. Geçit-Savak Kapasitesi Değişimleri

Geçit kaçak akımı, yormanın ilk anlarında oldukça yüksek değerler alır. Bu süre aralığında yapılan kapasite ölçümlerinde ölçüm sonuçları elde edilememektedir. Örnek olarak; akım yükseliş süresi, 75V için ortalama 208 saniye ve 78,5V için ise 19,9 saniyedir. Bu nedenle 78,5V için 15 dakikada ölçüm alınabilirken, 75V için 30 dakikada ancak sağlıklı bir sonuç elde edilebilmektedir (Şekil 4.26-4.27). Çünkü kapasite ölçümlerinde, geçit akım değeri belirli bir seviyenin altına düştükten sonra kapasite ölçümleri daha sağlıklı bir şekilde yapılabilmektedir. Bu kapasite ölçüm başlangıç anında, kapasite değerleri yorma öncesine kıyasla daha yüksektir (Şekil 4.26-4.31). Kapasite değerinin artış gösterdiği ve ölçüm yapılmaya başladıktan sonra değerinin giderek azaldığı bu nokta, turn-around noktası olarak isimlendirilmektedir.

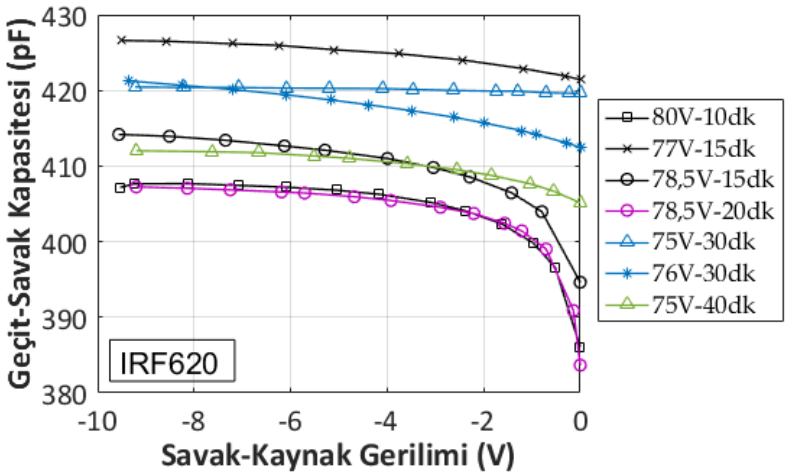
Akımın yükseliş gösterdiği süre aralığı için yapılan kapasite ölçümlerinde, kapasite değeri uygulanan ters kutuplamalı V_{DS} gerilimi ile azalış göstermektedir. Ancak, olması gereken ters kutuplama seviyesi arttıkça kapasite değerinin artmasıdır. Bu nedenle uygun sonuçlar elde etmek için, akımın belirli bir değerin altına düştüğü andan itibaren ölçümler yapılmıştır.

Şekil 4.26-4.31' de sunulan C_{GD} kapasitesi değişimlerinden elde edilen bulgular şu şekildedir:

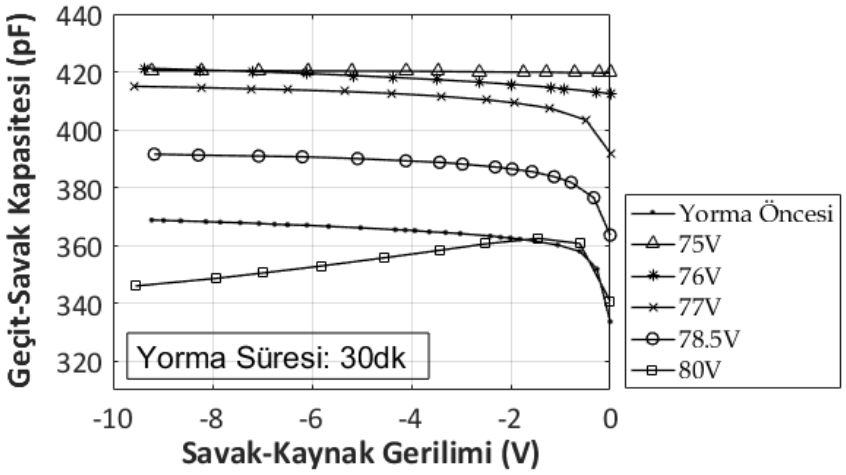
- Yorma öncesi C_{GD}-V_{DS} eğrisine bakıldığında, kapasite değerinin belirli bir V_{DS} gerilimine kadar (-1,5V civarı) artış gösterdiği görülmektedir. Bu V_{DS} değerinden sonra C_{GD}, artan ters

kutuplamaya rağmen (-10V' a kadar), sabit bir değer alır. Bu değişen C_{GD}-V_{DS} değişim karakteristiği yorma sonrasında da görülmektedir (Şekil 4.27).

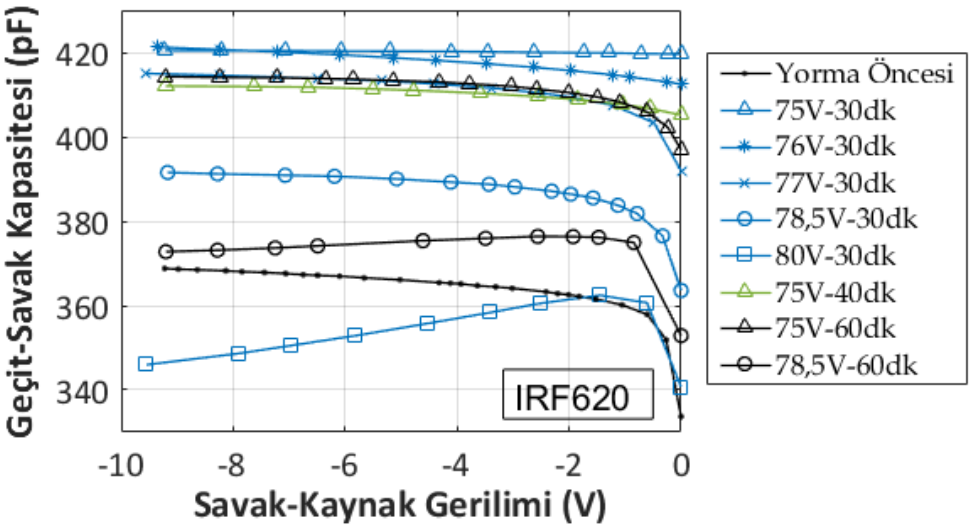
- Yorma geriliminden bağımsız olarak bakıldığında; yormanın ilk anlarında C_{GD}, yorma öncesine kıyasla çok yüksek değerler alır. Yorma süresi arttıkça kapasite değeri de düşer.
- Yorma gerilim seviyeleri göz önüne alındığında; örneğin, 30 dakika yorma süresi için 75V en yüksek kapasite değerini alır. Gerilim seviyeleri 76V-77V-78,5V-80V, sırasıyla daha düşük kapasite değerlerine sahip olur. Gerilim seviyesi arttıkça, kapasite değerlerindeki azalış daha fazla olur (Şekil 4.27).
- Gerilim seviyesi arttıkça kapasite eğrilerinin daha erken yorma sürelerinde bozulmaya başladığı görülmüştür. Bu durumun kritik gerilim seviyesine yakın olan değerlerde daha belirgin olduğu söylenebilir. Örneğin; 80V için 30 dakikada görülen bozulma, 78,5V için 60 dakikada görülmektedir (Şekil 4.28).



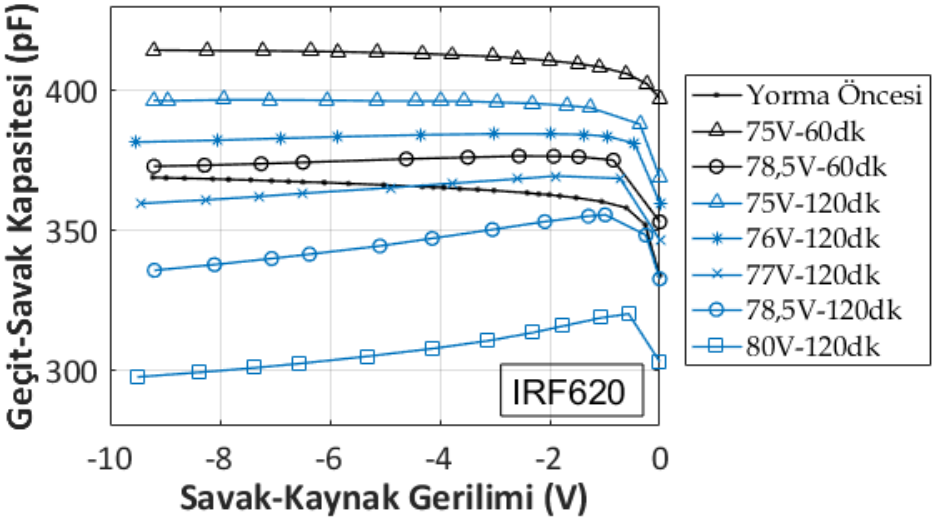
Şekil 4.26: IRF620 Vishay yorma sonrası kapasite değişimleri; ilk ölçümler.



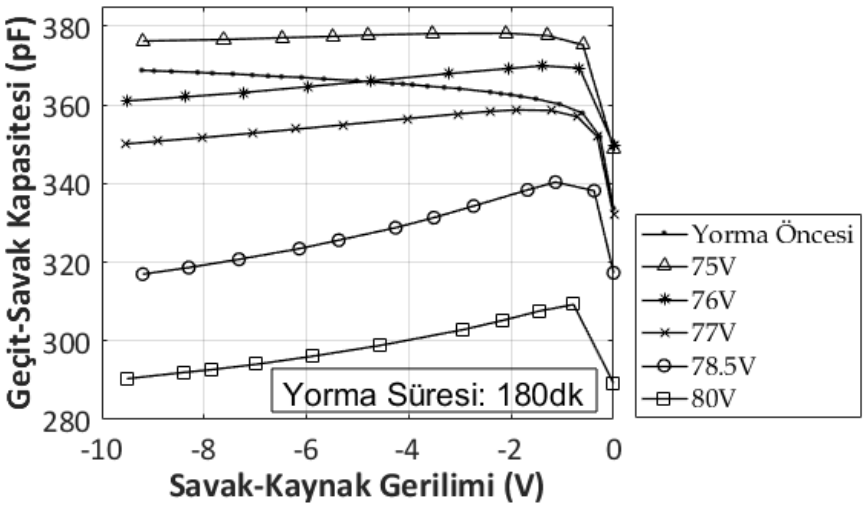
Şekil 4.27: IRF620 Vishay yorma sonrası kapasite değişimleri; 30dk.



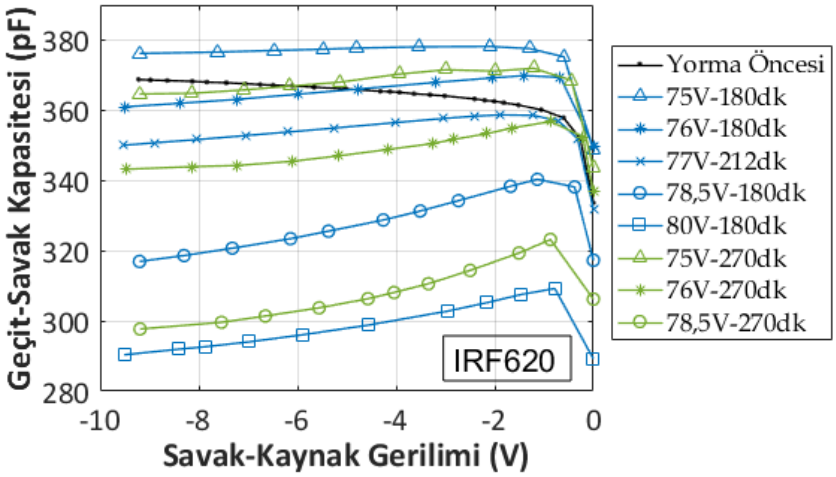
Şekil 4.28: IRF620 Vishay yorma sonrası kapasite değişimleri; 30dk-60dk.



Şekil 4.29: IRF620 Vishay yorma sonrası kapasite değişimleri; 60dk-120dk.



Şekil 4.30: IRF620 Vishay yorma sonrası kapasite değişimleri; 180dk.



Şekil 4.31: IRF620 Vishay yorma sonrası kapasite değişimleri; 180dk-270dk.

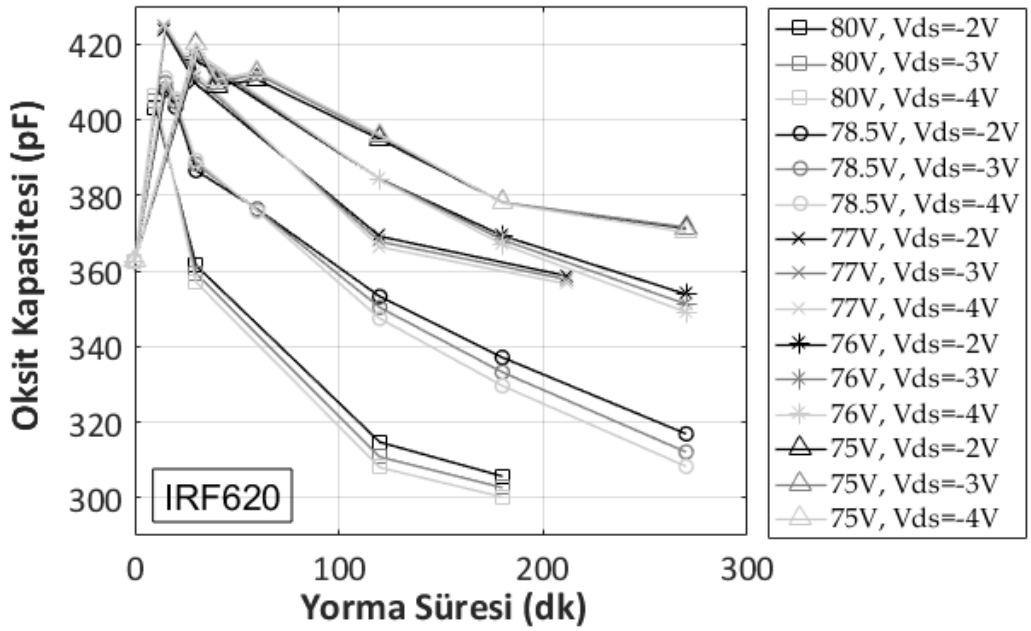
4.2.3. Oksit Kapasitesi Değişimleri

Oksit kapasitesini hesaplamak için Başlık 3.4.1' de bahsedilen yöntemden faydalanılmıştır. İlk olarak fakirleşmiş bölgenin sıfırlanmasını sağlayabilecek V_{DS} gerilim değerleri için C_{GD} kapasite değerleri çıkartılmış ve böylece oksit kapasitesi değişimleri elde edilmiştir. İkinci olarak farklı sabit yorma gerilimleri altında, oksit kapasitesinin yorma süresine bağlı olarak değişimleri çizdirilmiştir (Şekil 4.32).

Oksit kapasitesi değişimleri için elde edilen bulgular şu şekildedir:

- Farklı V_{DS} gerilimlerine (-2V, -3V ve -4V) karşılık elde edilen oksit kapasitesi değerleri arasında belirgin bir fark görülmemiştir.
- Şekil 4.32' de görüldüğü gibi oksit kapasitesi yormanın ilk anlarında yüksek değerler almıştır. Turn-around noktasından sonra yorma süresi ilerledikçe, C_{OX} değeri azalmıştır.
- Oksit kapasitesinin artan kısmı (C_{OXINC}), geçit oksit tabakasında bulunan delik tuzaklanmasından kaynaklanmaktadır. Tuzaklanan yükler belirli bir eşik değerine ulaştığında, arayüze yakın oksit tuzaklarında turn-around olgusuna katkıda bulunan elektron tuzaklanması indüklenir. Bu nedenle, oksit kapasitesinin artış kısmını azalış kısmı (C_{OXDEC}) takip eder.
- C_{GD} kapasitesi için de daha önce belirtildiği gibi kapasite değerindeki azalış, yorma seviyesi arttıkça daha belirgin şekilde görülmektedir.

- C_{OX} değişiminin, Eşitlik 2.15 dikkate alındığında, oksitte tuzaklanan yükler ve arayüzey durumları kaynaklı V_{TH} değişimi üzerine olan literatür araştırmalarını desteklediği gözlemlenmiştir [13-15, 27, 110].



Şekil 4.32: Vishay IRF620 yorma sonrası oksit kapasitesi değişimleri.

4.3. MATEMATİKSEL MODEL: EĞRİ UYDURMA ÇALIŞMALARI

Bu bölümde, oksit bozulmasını matematiksel olarak modellemek amacıyla yapılan çalışmalar sunulmuştur. Deneysel veri olarak Vishay IRF620 transistörlerinin sonuçları kullanılmıştır.

- İlk olarak yorma sırasında geçit kaçak akım değişimlerinin eğri uydurma işlemleri yapılmıştır. Akımın artış gösterdiği aralıktaki parametre değişimleri de modellenmiştir. Böylece geçit akımı için yorma gerilimi ve süresine bağlı olan genel bir denklem çıkartılmıştır. Daha sonra geçit akım denklemleri kullanılarak geçit oksitindeki yük değerleri hesaplanmıştır ve yük değişiminin matematiksel ifadeleri elde edilmiştir.
- İkinci olarak, yorma gerilimine ve süresine bağlı olarak oksit kapasitesi değişimlerinin matematiksel ifadeleri çıkartılmıştır. Turn-around noktasının değişimi de ayrıca modellenmiştir.

4.3.1. Geçit Kaçak Akım Eğrisi için Eğri Uydurma Sonuçları

Sabit yormanın ilk anlarında geçit akımının yükseliş gösterdiği en üst değer ve bu yükselişin gerçekleştiği süre, uygulanan gerilim seviyesine göre değişiklik göstermektedir. Oksit tabakasında yüklerin belirli bir eşik değerine ulaşması ile tuzaklara elektronlar yakalanır ve akım değeri düşmeye başlar [15, 61].

Akımın yükselişe geçtiği birinci kısım için Gauss fonksiyonu uygunluk göstermiştir. Akım belirli bir değerden sonra düşmeye başlamıştır ve bu düşüşün ilk anları yine Gauss fonksiyonu ile ifade edilmiştir (Eşitlik 4.1). Belirli bir yorma anından sonra düşüş kısmı farklı bir fonksiyon karakteristiğine uygun davranmıştır. Bu azalış, Power fonksiyonu ile modellenmiştir. Akımın düşüşe geçtiği bölge, ikinci kısım Eşitlik 4.2 ve üçüncü kısım Eşitlik 4.3 şeklinde iki ayrı kısım olarak bölünmüştür.

Örnek olarak; 78,5V yorma altında Şekil 4.33' de ilk kısım için yapılan eğri uydurma işlemi görülmektedir. İkinci ve üçüncü kısım için yapılan eğri uydurma işlemleri de Şekil 4.34-4.35' de gösterilmektedir. Bütün yorma gerilim seviyeleri için yapılan farklı yorma sürelerindeki testlerde, geçit akım eğrilerinin bu yakınsama işlemleri yapılmıştır. Diğer gerilim değerleri için çıkartılan örnek eğri uydurma şekil dosyaları, EK 3.1' de verilmektedir.

$$t_{YORMA} \leq t_{KISIM1}$$

$$I_{GEÇİT1}(t_{YORMA}) = a_1 \times \exp\left(-\left(\frac{t_{YORMA}-b_1}{c_1}\right)^2\right) \quad (4.1)$$

$$t_{KISIM1} < t_{YORMA} \leq t_{KISIM2}$$

$$I_{GEÇİT2}(t_{YORMA}) = a_2 \times t_{yorma}^{b_2} + c_2 \quad (4.2)$$

$$t_{YORMA} > t_{KISIM2}$$

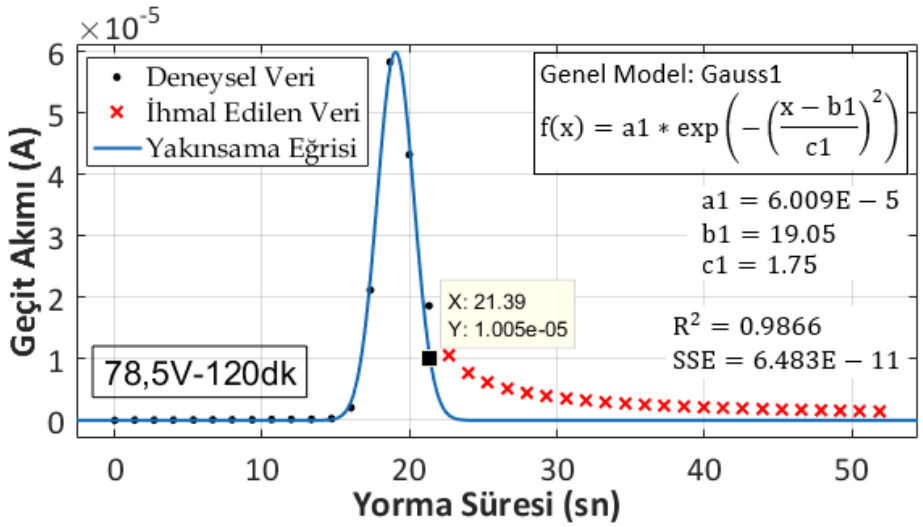
$$I_{GEÇİT3}(t_{YORMA}) = a_3 \times t_{YORMA}^{b_3} \quad (4.3)$$

Gauss fonksiyonunun katsayıları Şekil 4.36-4.38' de, Power fonksiyonunun katsayıları da ikinci kısım için Şekil 4.39-4.41 ve üçüncü kısım için Şekil 4.42-4.43' te verilmektedir. Katsayıların sayısal değerleri EK 3.1 başlığında tablo olarak eklenmiştir. Ayrıca akımın 3

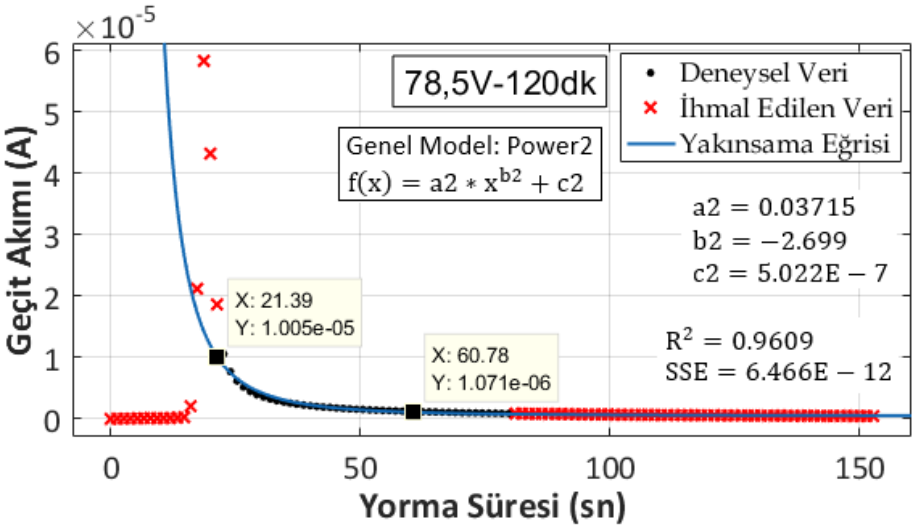
parçaya bölünmesini sağlayan kısım 1 ve kısım 2 sınır sürelerinin yorma gerilimi ile değişimleri Şekil 4.44-4.45' te gösterilmektedir.

İlk kısım için kullanılan Gauss fonksiyonunun;

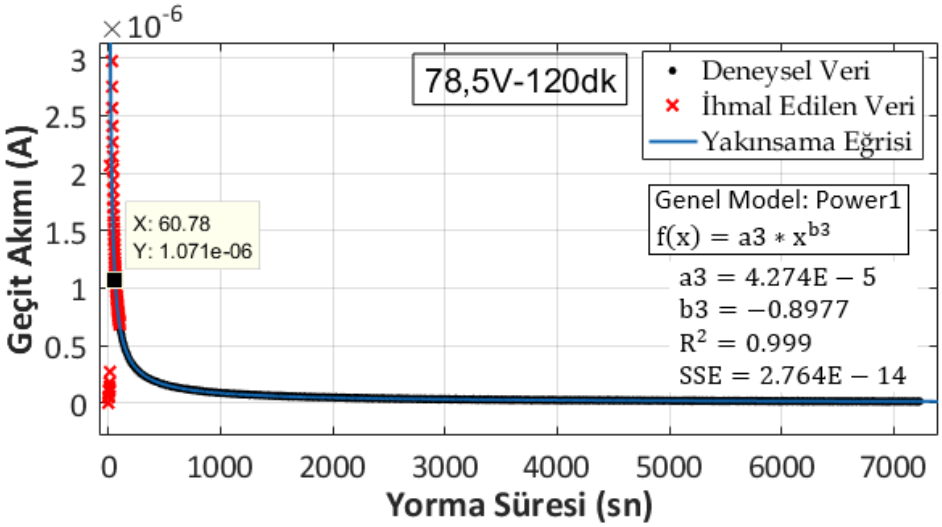
- a_1 katsayısı, akımın yükseliş değerine ($I_{YÜKSELİŞ}$)
- b_1 katsayısı, akımın yükseliş süresine ($t_{YÜKSELİŞ}$)
- σ standart sapma olmak üzere $c_1^2 = 2\times\sigma^2$ karşılık gelmektedir.



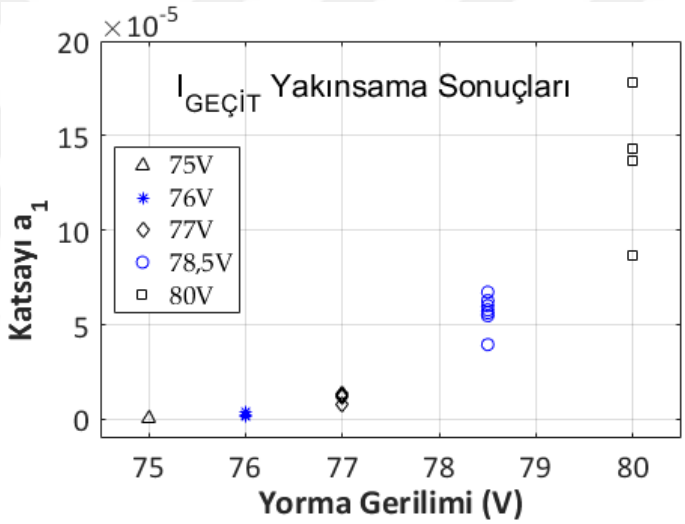
Şekil 4.33: Geçit kaçak akım eğrisinin birinci kısım eğri uydurma işlemi (78,5V-120dk).



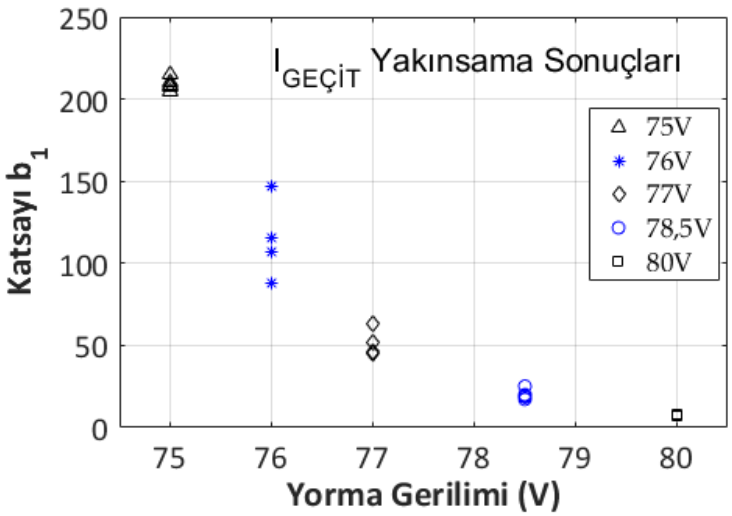
Şekil 4.34: Geçit kaçak akım eğrisinin ikinci kısım eğri uydurma işlemi (78,5V-120dk).



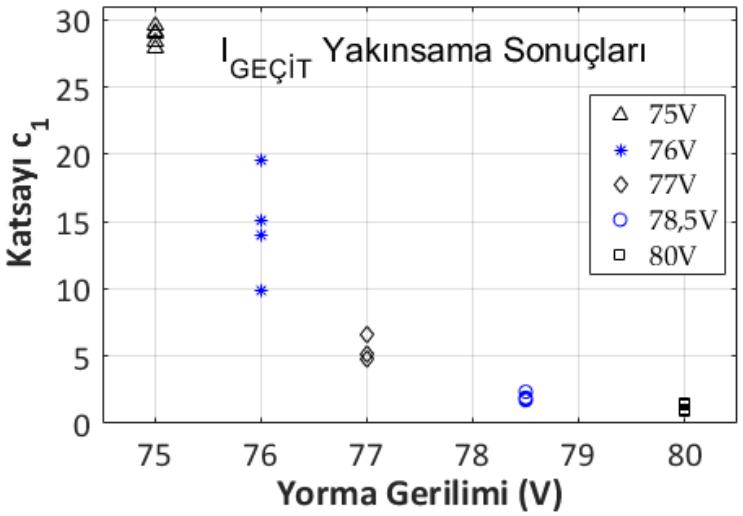
Şekil 4.35: Geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma işlemi (78,5V-120dk).



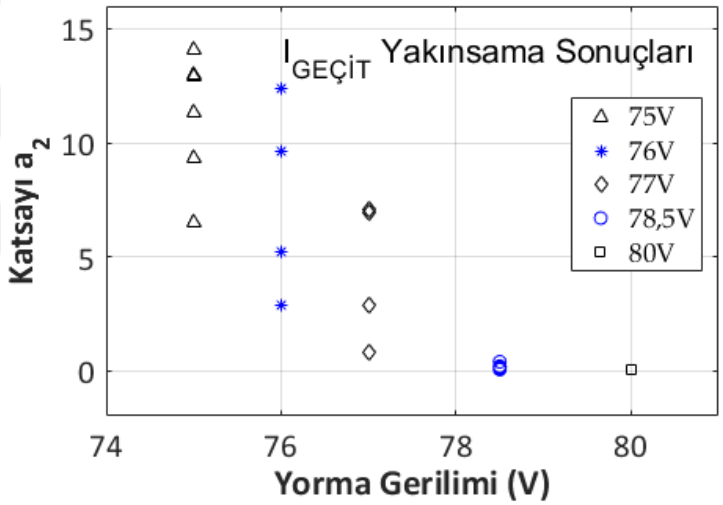
Şekil 4.36: Geçit kaçak akımı yakınsama fonksiyonu: ($I_{YÜKSELİŞ}$) a_1-V_{YORMA} değişimi.



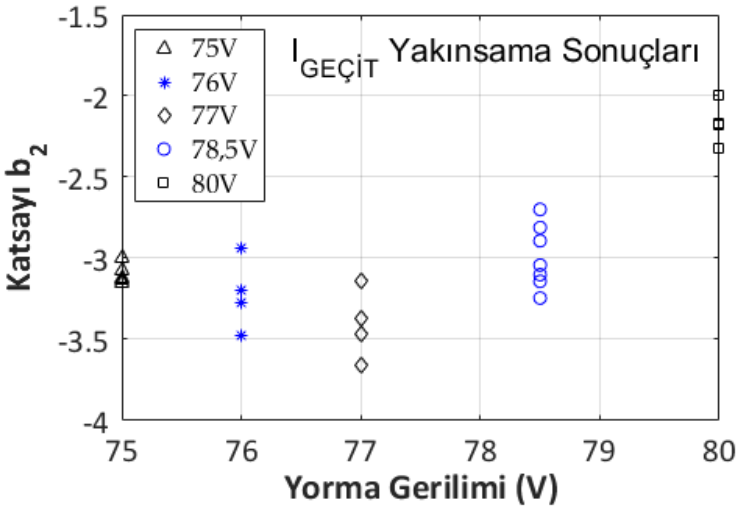
Şekil 4.37: Geçit kaçak akımı yakınsama fonksiyonu: ($t_{YÜKSELİŞ}$) b_1-V_{YORMA} değişimi.



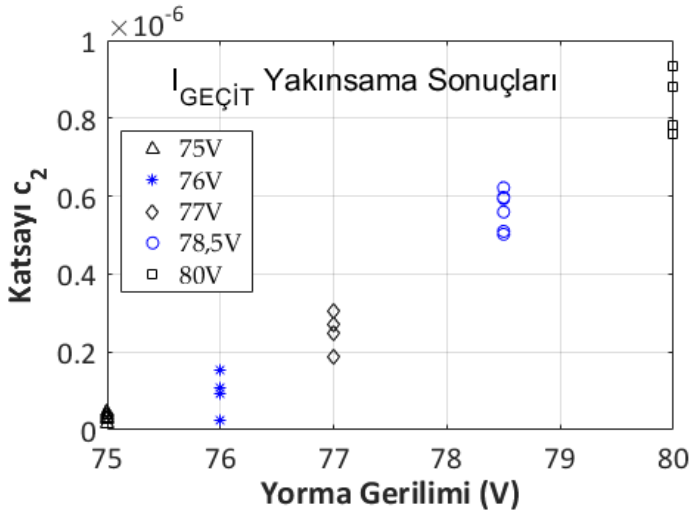
Şekil 4.38: Geçit kaçak akımı yakınsama fonksiyonu: c_1-V_{YORMA} değişimi.



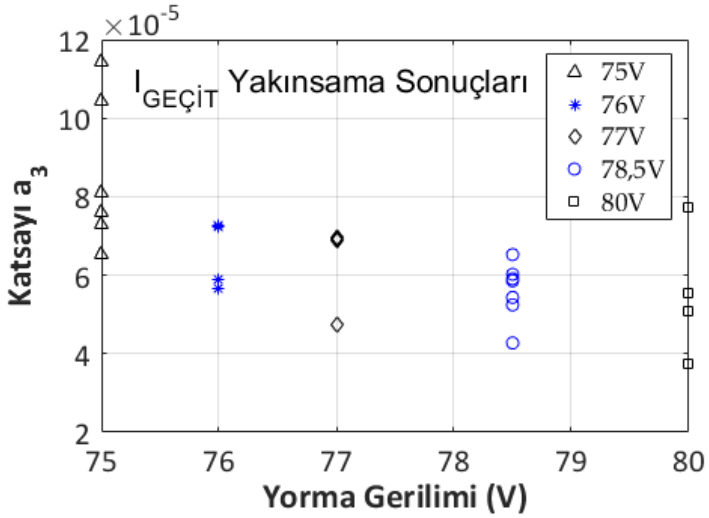
Şekil 4.39: Geçit kaçak akımı yakınsama fonksiyonu: a_2-V_{YORMA} değişimi.



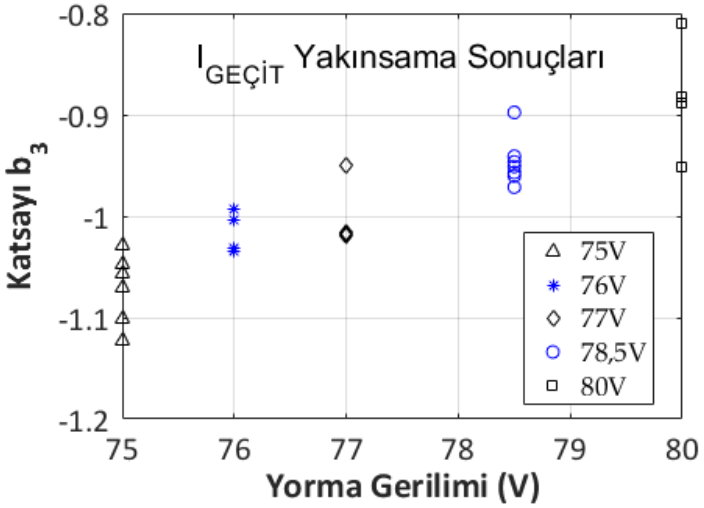
Şekil 4.40: Geçit kaçak akımı yakınsama fonksiyonu: b_2-V_{YORMA} değişimi.



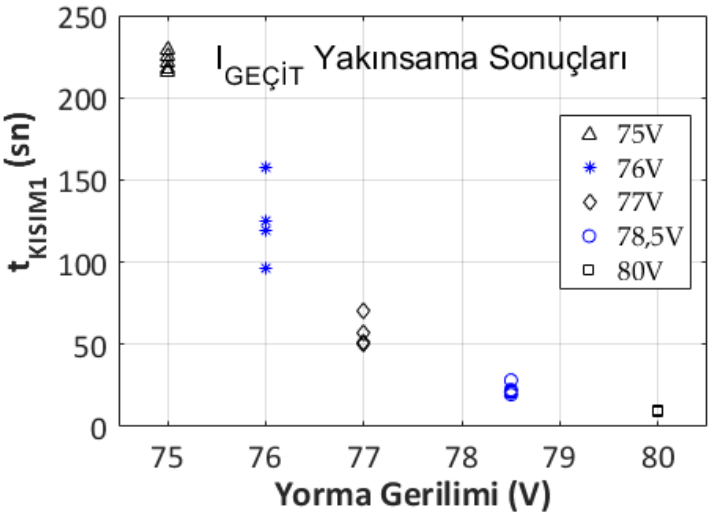
Şekil 4.41: Geçit kaçak akımı yakınsama fonksiyonu: c_2-V_{YORMA} değişimi.



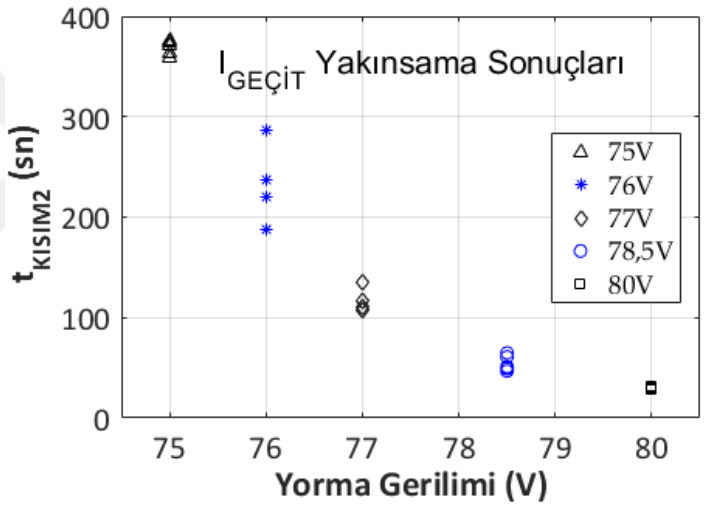
Şekil 4.42: Geçit kaçak akımı yakınsama fonksiyonu: a_3-V_{YORMA} değişimi.



Şekil 4.43: Geçit kaçak akımı yakınsama fonksiyonu: b_3-V_{YORMA} değişimi.



Şekil 4.44: Geçit kaçak akımı yakınsama fonksiyonu: t_{KISIM1}-V_{YORMA} değişimi.



Şekil 4.45: Geçit kaçak akımı yakınsama fonksiyonu: t_{KISIM2}-V_{YORMA} değişimi.

4.3.2. Geçit Kaçak Akım Değişimleri için Genel Denklem Çıkarılması

Akım-yorma süresi eğri uydurma fonksiyonu katsayıları, yorma gerilimine göre değişiklik göstermektedir. Bu katsayıların değişimlerinden faydalanılarak akımın 3 farklı kısım için genel bir denklemi çıkartılabilir. Bütün parametrelerin yorma gerilimine bağlı değişimleri Eşitlik 4.4-4.13' te verilmektedir. Katsayılar Power fonksiyonu veya birinci dereceden polinom ile uyumluluk göstermektedir. Şekil 4.46-4.50' de bazı katsayıların eğri uydurma sonuçları verilmektedir, diğer katsayıların sonuçları EK 3.2 başlığına eklenmiştir.

$$a_1 = I_{YÜKSELİŞ} = 1{,}038 \times 10^{-139} \cdot V_{YORMA}^{71} \quad (4.4)$$

$$R^2 = 0{,}9264$$

$$b_1 = t_{YÜKSELİŞ} = 2{,}574 \times 10^{96} \cdot V_{YORMA}^{-50{,}18} \quad (4.5)$$

$$R^2 = 0{,}9845$$

$$c_1 = \sqrt{2 \cdot \sigma^2} = 2{,}124 \times 10^{109} \cdot V_{YORMA}^{-57{,}53} \quad (4.6)$$

$$R^2 = 0{,}9799$$

$$t_{KISIM1} = 4{,}361 \times 10^{96} \cdot V_{YORMA}^{-50{,}29} \quad (4.7)$$

$$R^2 = 0{,}9979$$

$$a_2 = 6 \times 10^{256} \cdot V_{YORMA}^{-136{,}2} \quad (4.8)$$

$$R^2 = 0{,}925$$

$$b_2 = 0{,}1739 \cdot V_{YORMA} - 16{,}22 \quad (4.9)$$

$$R^2 = 0{,}9023$$

$$c_2 = 1{,}656 \times 10^{-7} \cdot V_{YORMA} - 1{,}244E - 5 \quad (4.10)$$

$$R^2 = 0{,}9583$$

$$t_{KISIM2} = 2{,}023 \times 10^{79} \cdot V_{YORMA}^{-40{,}92} \quad (4.11)$$

$$R^2 = 0{,}9826$$

$$a_3 = -5{,}087 \times 10^{-6} \cdot V_{YORMA} + 4{,}589 \times 10^{-4} \quad (4.12)$$

$$R^2 = 0{,}9159$$

$$b_3 = 0{,}03097 \cdot V_{YORMA} - 3{,}382 \quad (4.13)$$

$$R^2 = 0{,}9144$$

Son durumda geçit kaçak akım eğrisinin değişimi 3 farklı kısma bölünerek şu şekilde ifade edilebilir:

$$t_{YORMA} \leq t_{KISIM1} = 4{,}361 \times 10^{96} \cdot V_{YORMA}^{-50{,}29}$$

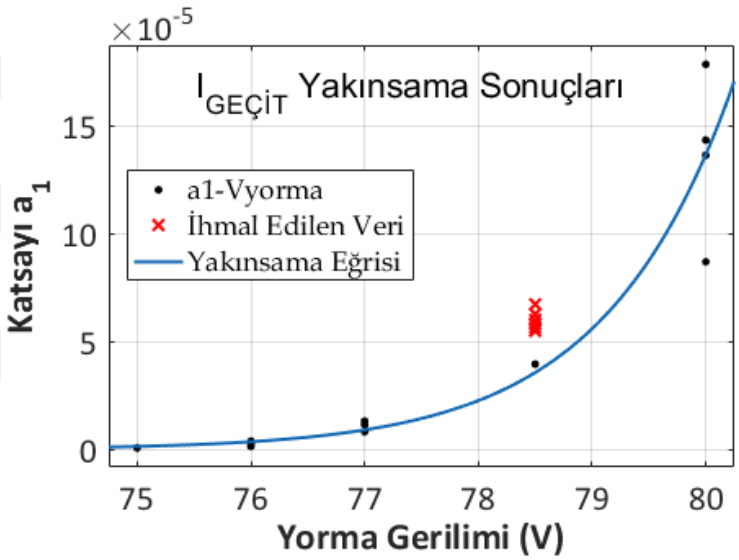
$$I_{GEÇİT1}(t_{YORMA}, V_{YORMA}) = 1{,}038 \times 10^{-139} \cdot V_{YORMA}^{71} \cdot \exp\left(-\left(\frac{t_{yorma} - 2{,}574 \times 10^{96} \cdot V_{YORMA}^{-50{,}18}}{2{,}124 \times 10^{109} \cdot V_{YORMA}^{-57{,}53}}\right)^2\right) \quad (4.14)$$

$$4{,}361 \times 10^{96} \cdot V_{YORMA}^{-50{,}29} < t_{YORMA} \leq 2{,}023 \times 10^{79} \cdot V_{YORMA}^{-40{,}92}$$

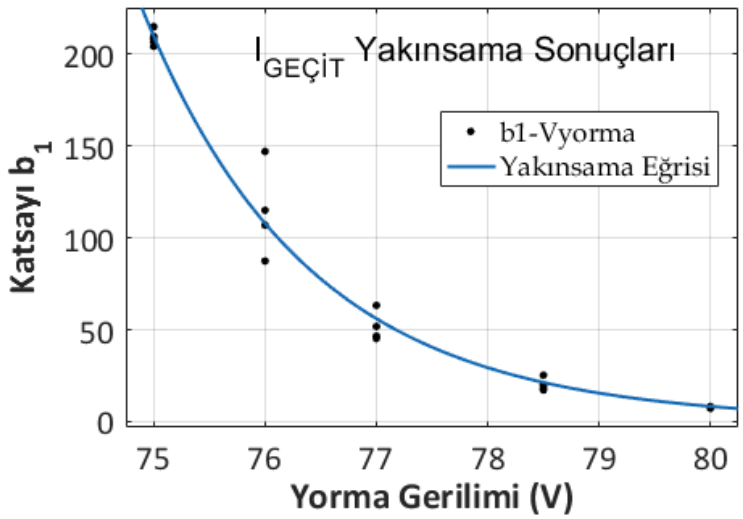
$$I_{GEÇİT2}(t_{YORMA}, V_{YORMA}) = 6 \times 10^{256} \cdot V_{YORMA}^{-136{,}2} \cdot t_{yorma}^{0{,}1739 \cdot V_{YORMA} - 16{,}22} + 1{,}656 \times 10^{-7} \cdot V_{YORMA} - 1{,}244 \times 10^{-5} \quad (4.15)$$

$$t_{YORMA} > 2{,}023 \times 10^{79} \cdot V_{YORMA}^{-40{,}92}$$

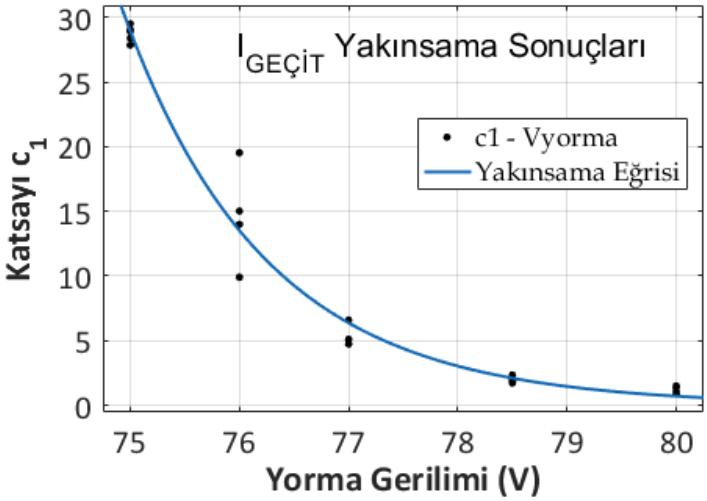
$$I_{GEÇİT3}(t_{YORMA}, V_{YORMA}) = (-5{,}087 \times 10^{-6} \cdot V_{YORMA} + 4{,}589 \times 10^{-4}) \cdot t_{yorma}^{0{,}03097 \cdot V_{YORMA} - 3{,}382} \quad (4.16)$$



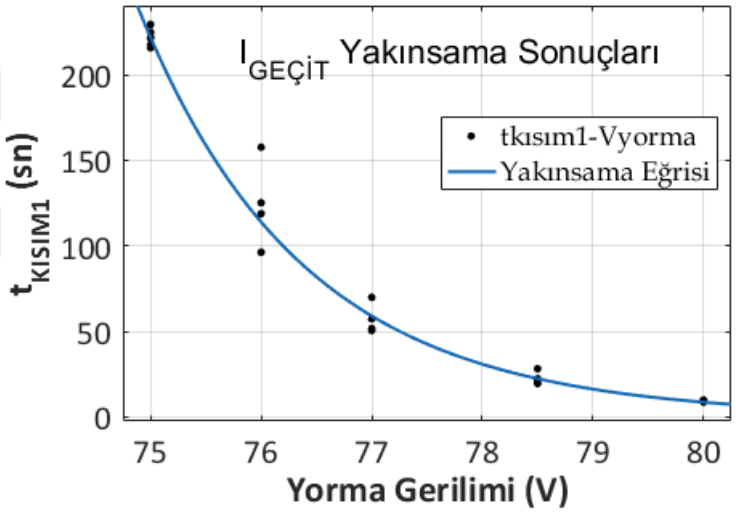
Şekil 4.46: Geçit kaçak akımı fonksiyonu; a_1-V_{YORMA} eğri uydurma çalışması.



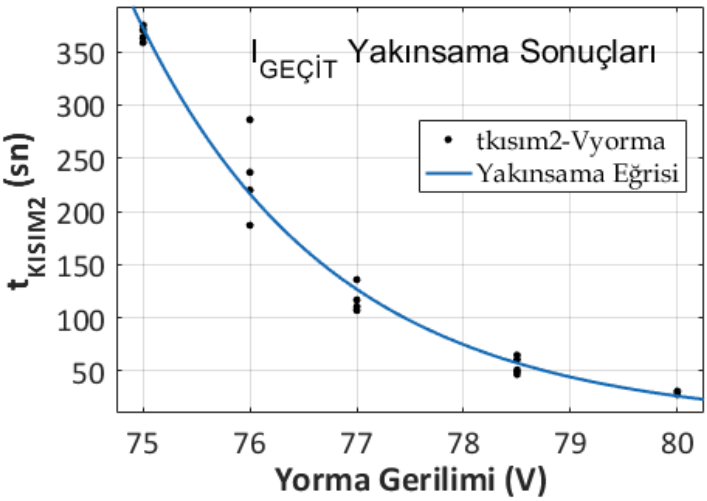
Şekil 4.47: Geçit kaçak akımı fonksiyonu; b_1-V_{YORMA} eğri uydurma çalışması.



Şekil 4.48: Geçit kaçak akımı fonksiyonu; c_1-V_{YORMA} eğri uydurma çalışması.



Şekil 4.49: Geçit kaçak akımı fonksiyonu; t_{KISIM1}-V_{YORMA} eğri uydurma çalışması.



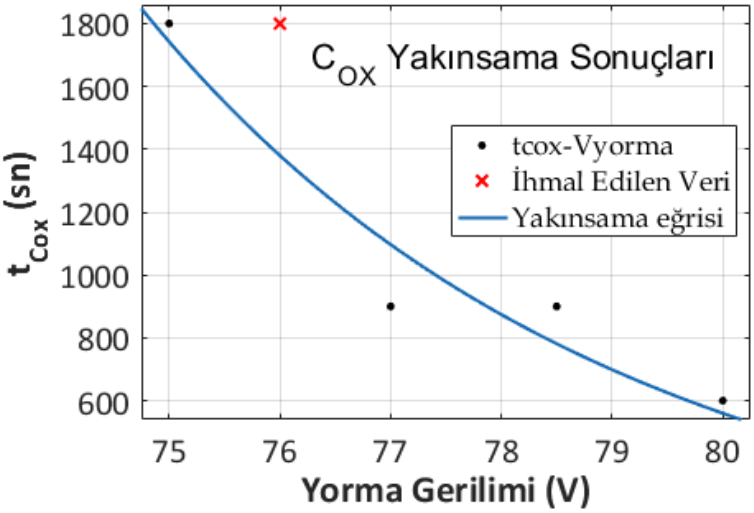
Şekil 4.50: Geçit kaçak akımı fonksiyonu; t_{KISIM2}-V_{YORMA} eğri uydurma çalışması.

4.3.3. Oksit Kapasitesi Değişimleri için Eğri Uydurma Sonuçları

Oksit kapasitesi değişimi, artan ve azalan olmak üzere iki kısımdan oluşur. Turn-around noktası ile iki kısım birbirinden ayrılır. Bu turn-around süresi (t_{Cox}), Eşitlik 4.17 ve Şekil 4.51' de görüldüğü gibi yorma gerilimine bağlıdır ve Tablo 4.18' de t_{Cox} süreleri verilmektedir.

$$t_{Cox} = 1{,}649 \times 10^{36} \cdot V_{YORMA}{}^{-17{,}59} \quad (4.17)$$

$$R^2 = 0{,}9287$$



Şekil 4.51: Oksit kapasitesi turn-around noktası değişimleri.

Oksit kapasitesinin artan kısmı, "C_{OXINC}" olarak ifade edilmektedir. Artan oksit kapasitesi ile yorma süresi arasındaki ilişki, Eşitlik 4.18' de görülebilmektedir. Bu doğrusal denklemin katsayıları ise Tablo 4.18' de verilmektedir. Genel bir denklem çıkarabilmek için "p_1" parametresinin V_{YORMA}' ya göre değişimi çıkartılmıştır (R^2=0,93). Parametre "p_2" değeri bütün yorma gerilimleri için aynıdır ve oksit kapasitesinin yorma öncesi değeridir. Böylece artan kısım C_{OXINC}, Eşitlik 4.19 olarak elde edilir.

$$t_{YORMA} \leq t_{Cox}$$

$$C_{OXINC}(t_{YORMA}) = p_1 \cdot t_{YORMA} + p_2 \quad (4.18)$$

$$C_{OXINC}(t_{YORMA}, V_{YORMA}) = (7{,}528 \times 10^{-15} \cdot V_{YORMA} - 5{,}377 \times 10^{-13}) * t_{YORMA} + 362{,}6 \times 10^{-12} \quad (4.19)$$

Tablo 4.18: C_{OXINC}-t_{YORMA} Eğri Uydurma Fonksiyonu: Polinom.

Vishay IRF620					
V_{YORMA} (V)	**t_{COX} (sn)**	**C_{OXINC} (pF)**	**p1**	**p2**	**R^2**
75V	1800	419,9	3,183E-14	3,626E-10	1
76V	1800	415,7	2,950E-14	3,626E-10	1
77V	900	423,6	6,778E-14	3,626E-10	1
78,5V	900	407,9	5,033E-14	3,626E-10	1
80V	600	403,2	6,767E-14	3,626E-10	1

Oksit kapasitesinin yorma süresine bağlı olarak azalan kısmı (C_{OXDEC}), power fonksiyonu ile uyumluluk göstermiştir (Eşitlik 4.20). Çalışmalar [14, 27]' de de, turn-around noktasından sonra eşik gerilimi değişimi t^n power modelini izlemektedir. Oksit kapasitesi değişiminin yakınsama sonuçları önceki çalışmalarla işbirliği içerisindedir. Eğri uydurma fonksiyon katsayıları Tablo 4.19' da verilmektedir ve yorma gerilim seviyesine bağlı olarak değişmektedir. Örnek olarak 75V ve 80V için yapılan eğri uydurma işlemleri Şekil 4.52-4.53' te görülmektedir. Çıkartılan diğer eğri uydurma şekil dosyaları, EK 3.3' e eklenmiştir.

Fonksiyon katsayılarının yorma gerilimine bağımlılığı Eşitlik 4.21-4.22 ile modellenmiştir. Ayrıca katsayıların eğri uydurma işlemleri Şekil 4.54-4.55' te gösterilmektedir. Böylece, her yorma süresi aralığı ve gerilim değeri için uygun olan C_{OXDEC} ifadesi Eşitlik 4.23' te verilen şekilde elde edilir.

$$C_{OXDEC}(t_{YORMA}) = a_{dec} \times t_{YORMA}^{b_{dec}} \quad (4.20)$$

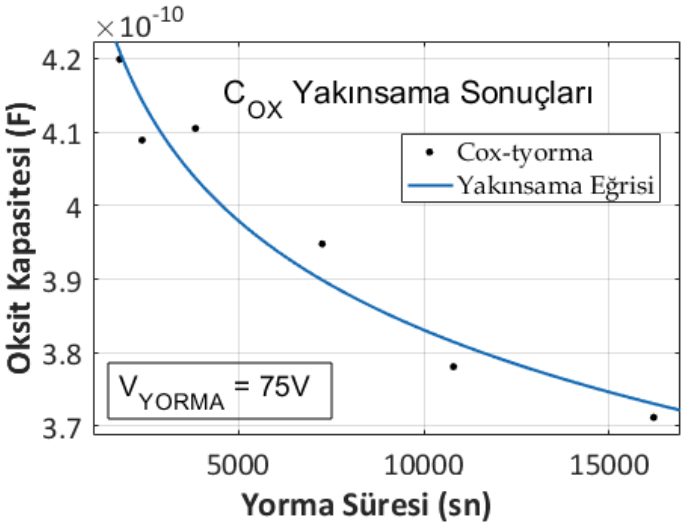
$$a_{dec} = 2{,}393 \times 10^{-11} \cdot V_{YORMA} - 1{,}158 \times 10^{-9} \qquad (R^2 = 0{,}9982) \quad (4.21)$$

$$b_{dec} = -0{,}008546 \cdot V_{YORMA} + 0{,}5871 \qquad (R^2 = 0{,}9914) \quad (4.22)$$

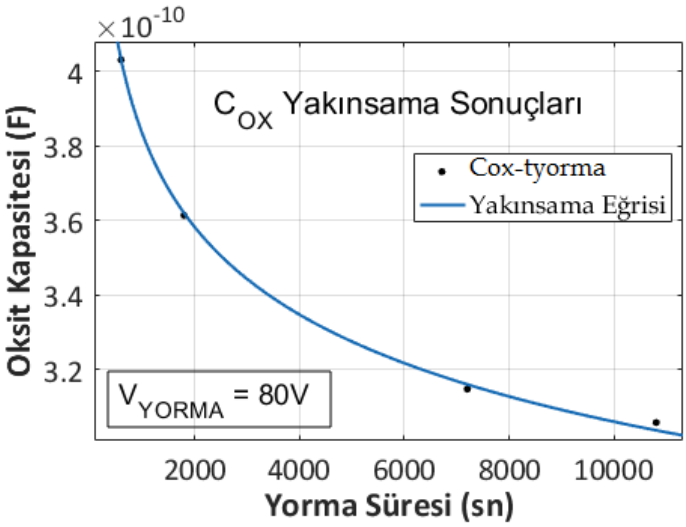
$$C_{OXDEC}(t_{YORMA}, V_{YORMA}) = (2{,}393 \times 10^{-11} \cdot V_{YORMA} - 1{,}158 \times 10^{-9}) \cdot t_{YORMA}\text{^}(-0{,}008546 \cdot V_{YORMA} + 0{,}5871) \quad (4.23)$$

Tablo 4.19: C_{OXDEC}-t_{YORMA} Eğri Uydurma Fonksiyonu: Power.

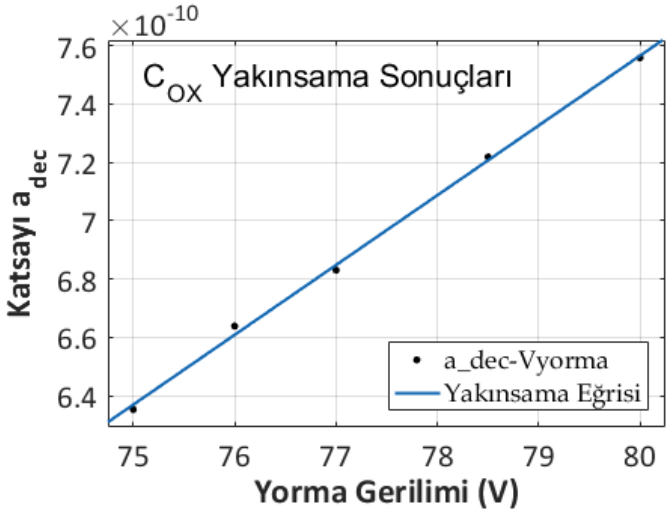
Vishay IRF620			
V_{YORMA} (V)	**a_{dec}**	**b_{dec}**	**R^2**
75	6,352E-10	-0,0549	0,9388
76	6,638E-10	-0,063	0,9656
77	6,830E-10	-0,069	0,9911
78,5	7,218E-10	-0,0823	0,9716
80	7,558E-10	-0,0982	0,999



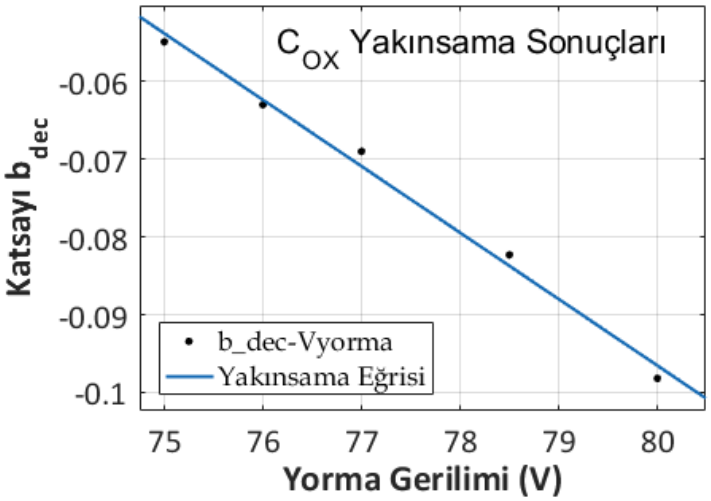
Şekil 4.52: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (75V).



Şekil 4.53: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (80V).



Şekil 4.54: Oksit kapasitesi (C_{OXDEC}) fonksiyonu; a_{DEC}-V_{YORMA} eğri uydurma çalışması.



Şekil 4.55: Oksit kapasitesi (C_{OXDEC}) fonksiyonu; b_{DEC}-V_{YORMA} eğri uydurma çalışması.

Yukarıdaki denklemler kullanılarak "C_{OX}×Yorma Etkisi" şeklinde denklemler tekrar düzenlenmiştir. Yorma etkileri, yorma etkisi 1 (SE1) ve yorma etkisi 2 (SE2) şeklinde gösterilmiştir. Bu parametreler yorma gerilimi ve yorma süresinin sebep olduğu etkileri temsil etmektedir. İki farklı etkinin ayrımı turn-around olgusu ile belirlenmektedir. Son durumda oksit kapasitesi yormaya bağlı olarak aşağıdaki denklemler ile matematiksel olarak modellenebilmektedir:

$$t_{YORMA} \leq t_{Cox} = 1{,}649 \times 10^{36} \cdot V_{YORMA}{}^{-17{,}59}$$
$$C_{OXINC}(t_{YORMA}, V_{YORMA}) = \Delta C_{OX} + C_{OX0} = C_{OX0} \times SE1 = 362{,}6 \times 10^{-12} \cdot [(2{,}076 \times 10^{-5} \cdot V_{YORMA} - 1{,}483 \times 10^{-3}) \cdot t_{YORMA} + 1] \quad (4.24)$$

$$t_{YORMA} > t_{Cox}$$
$$C_{OXDEC}(t_{YORMA}, V_{YORMA}) = C_{OX0} \times SE2 = 362{,}6 \times 10^{-12} \cdot (0{,}066 \cdot V_{YORMA} - 3{,}194) \cdot t_{YORMA}\text{^}(-0{,}008546 \cdot V_{YORMA} + 0{,}5871) \quad (4.25)$$

4.3.4. Geçit Yük Değişimi ve Eğri Uydurma Sonuçları

Bu kısımda, geçit kaçak akım eğrilerinin yakınsama denklemleri kullanılarak yük hesaplamaları yapılmıştır. Böylece yorma boyunca geçitte görülen yük değişimleri çıkartılmıştır. Geçit yük değerleri hesaplanırken Eşitlik 4.26-4.30' dan faydalanılmıştır. Yorma süresi boyunca geçit yük değerleri, Eşitlik 4.31' deki parçalı fonksiyon ile temsil edilebilir.

- Akım eğrisinde birinci kısım için Gauss fonksiyonunun uygunluk gösterdiği belirtilmişti. Bu akım denkleminin yükseliş noktasına kadar olan integrali, o noktaya kadar biriken yük miktarını göstermektedir ($Q_{YÜKSELİŞ}$) (Eşitlik 4.26). $Q_{1\text{-}2}$ ise yükseliş noktası ile kısım 1' in sınır süresi arasında kalan yük miktarıdır.

$$Q_{YÜKSELİŞ}(t_{YORMA}) = \int_0^{t_{YÜKSELİŞ}} I_{GEÇİT1}(t_{YORMA}) = \int_0^{t_{YÜKSELİŞ}} a_1 \cdot \exp\left(-\left(\frac{t_{YORMA}-b_1}{c_1}\right)^2\right) \quad (4.26)$$

$$Q_{1-2}(t_{YORMA}) = \int_{t_{YÜKSELİŞ}}^{t_{KISIM1}} I_{GEÇİT1}(t_{YORMA}) = \int_{t_{YÜKSELİŞ}}^{t_{KISIM1}} a_1 \cdot \exp\left(-\left(\frac{t_{YORMA}-b_1}{c_1}\right)^2\right) \quad (4.27)$$

İlk kısmın yük değişiminin (Q_{KISIM1}), t_{KISIM1} sınırına kadar, çeşitli yorma sürelerindeki değerleri Eşitlik 4.28 ile hesaplanmıştır. Şekil 4.56-4.57' de aynı yorma gerilim değeri için yapılan tüm yorma işlemlerinin Q_{KISIM1} değerleri görülmektedir ve aynı yorma gerilimi için birbirine yakın değerlerde yükler elde edilmiştir.

$$Q_{KISIM1}(t_{YORMA}) = Q_{YÜKSELİŞ}(t_{YORMA}) + Q_{1-2}(t_{YORMA}) \quad (4.28)$$

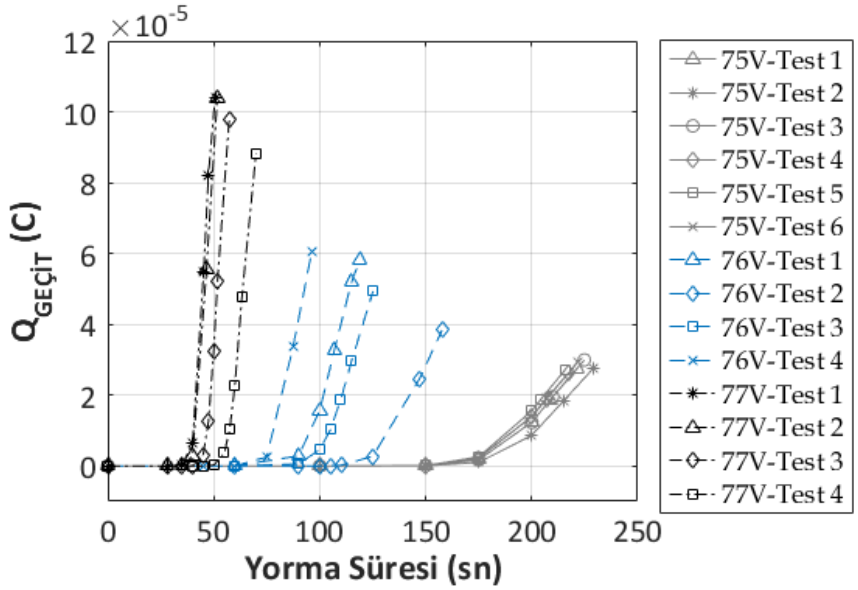
- Akımın azalış gösterdiği ikinci ve üçüncü kısım için Power fonksiyonunun uygunluk gösterdiği belirtilmişti. Bu akım denklemlerinin integrali de ikinci ve üçüncü kısımdaki yük değişimlerini verecektir. Yük değerleri hesaplanırken ise sırasıyla aşağıdaki denklemler kullanılmıştır:

$$Q_2(t_{YORMA}) = \int_{t_{KISIM1}}^{t_{KISIM2}} I_{GEÇİT2}(t_{YORMA}) = \int_{t_{KISIM1}}^{t_{KISIM2}} a_2 \cdot x^{b_2} + c_2 \quad (4.29)$$

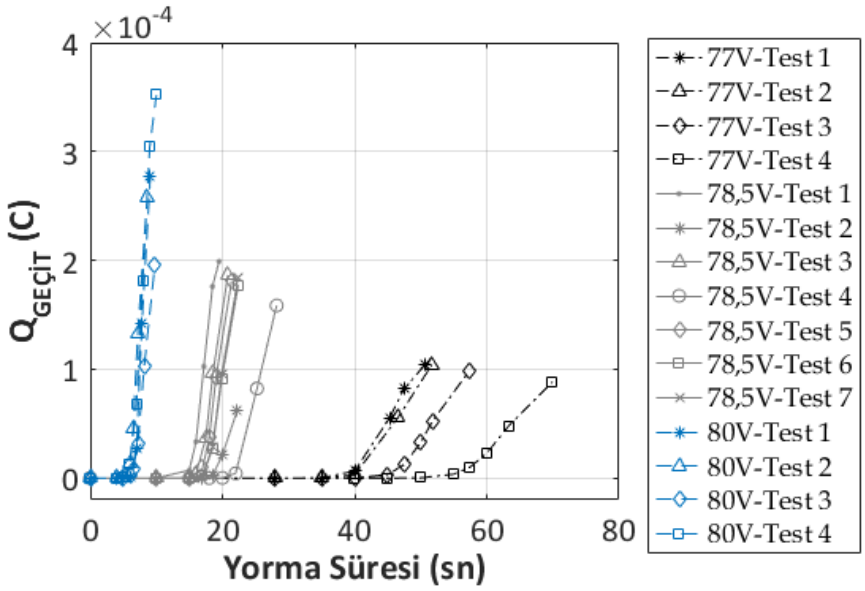
$$Q_3(t_{YORMA}) = \int_{t_{KISIM2}}^{t_{YORMA}} I_{GEÇİT3}(t_{YORMA}) = \int_{t_{KISIM2}}^{t_{KISIM3}} a_3 \cdot x^{b_3} \quad (4.30)$$

- Toplam yük değişimleri, Eşitlik 4.31 kullanılarak hesaplanmıştır. Sonuçların birbirine oldukça yakın oldukları gözlemlenmiştir (Şekil 4.58-4.59). Yük değişimleri yormanın ilk anlarında hızlı bir artış göstermiştir (Şekil 4.56-4.57) ve yorma süresi ilerledikçe bu artış yavaşlamıştır (Şekil 4.58-4.59).

$$Q_{GEÇİT}(t_{YORMA}) = \begin{cases} Q_{YÜKSELİŞ}(t_{YORMA}) & t_{YORMA} \le t_{YÜKSELİŞ} \\ Q_{YÜKSELİŞ} + Q_{1-2}(t_{YORMA}) & t_{YÜKSELİŞ} < t_{YORMA} \le t_{KISIM1} \\ Q_{YÜKSELİŞ} + Q_{1-2} + Q_2(t_{YORMA}) & t_{KISIM1} < t_{YORMA} \le t_{KISIM2} \\ Q_{YÜKSELİŞ} + Q_{1-2} + Q_2 + Q_3(t_{YORMA}) & t_{YORMA} > t_{KISIM2} \end{cases} \quad (4.31)$$

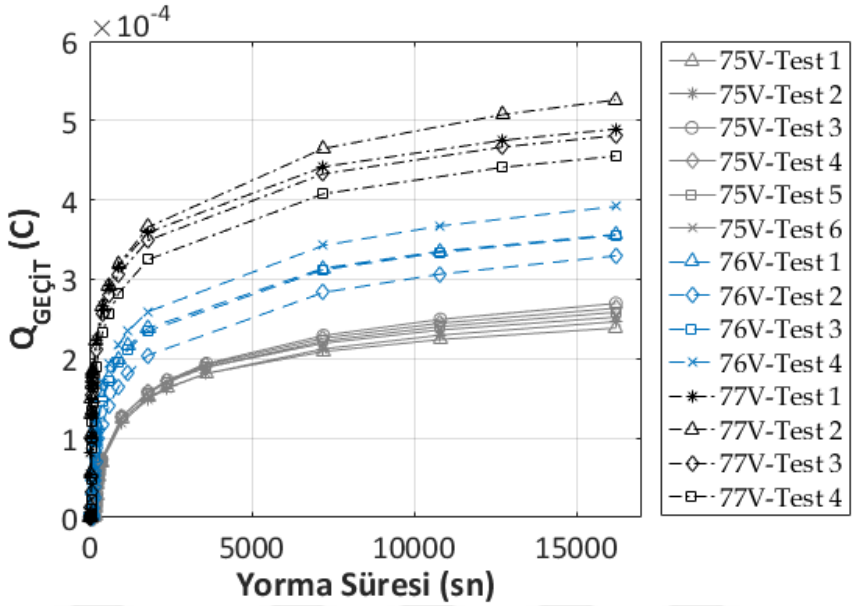


Şekil 4.56: Kısım 1 boyunca geçitte görülen yük değişimleri (75V-77V).

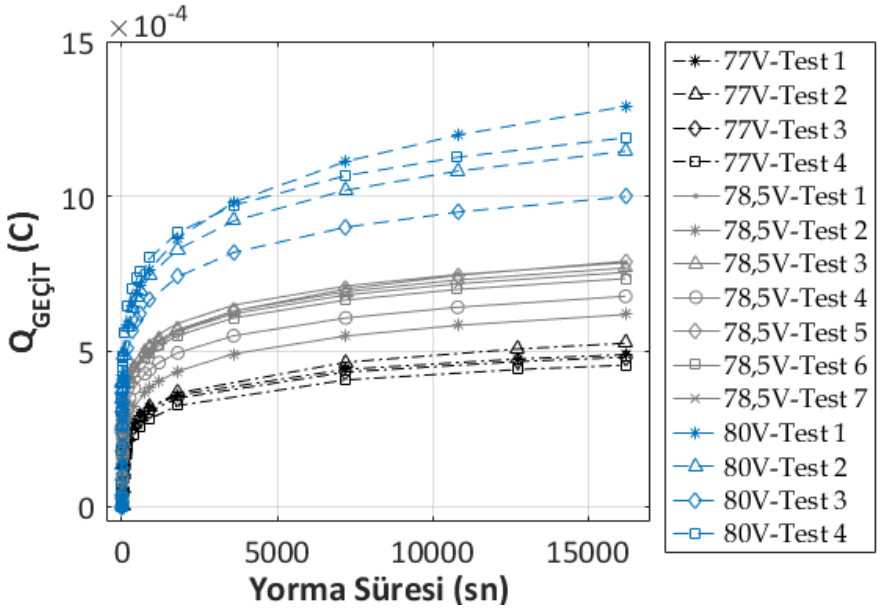


Şekil 4.57: Kısım 1 boyunca geçitte görülen yük değişimleri (77V-80V).

Şekil 4.58-4.59' da görülen yük değerleri, ilgili yorma gerilimi ve yorma süresi için belirlenen geçit akım denklemleri kullanılarak hesaplanmıştır. Bu belirlenen denklemlerin toplam yorma süreleri birbirinden farklıdır. Ancak bu denklemler kullanılarak farklı yorma süreleri için de yük hesabı yapılabilir. Örneğin; 75V, 30dk için çıkartılan $I_{GEÇİT3}$ denklemi kullanılarak 40dk, 60dk, 120dk, 180dk ve 270dk için de yük hesabı yapılabilir. Bütün yorma uygulamaları için bu hesaplama yapılmıştır ve benzer sonuçlar elde edilmiştir.



Şekil 4.58: Tüm yorma süresi boyunca geçitte görülen yük değişimleri (75V-77V).



Şekil 4.59: Tüm yorma süresi boyunca geçitte görülen yük değişimleri (77V-80V).

$Q_{GEÇİT}$-t_{YORMA} eğri uydurma işlemleri yapılmıştır ve logaritmik bir değişim göstermiştir (Eşitlik 4.32). Denklem katsayıları Tablo 4.20' de verilmektedir. Şekil 4.60-4.61' de 76V ve 78,5V için yapılan eğri uydurma işlemleri görülmektedir. Çıkartılan diğer bütün eğri uydurma şekil dosyaları, EK 3.4 bölümüne eklenmiştir. Bu fonksiyonun $a_{YÜK}$ ve $b_{YÜK}$ katsayılarının yorma gerilimi ile değişimleri çıkartılarak (Eşitlik 4.33-4.34, Şekil 4.62-4.63), tüm yorma koşulları için Eşitlik 4.35' deki gibi bir genel yük denklemi elde edilmiştir.

$$Q_{GEÇİT}(t_{YORMA}) = a_{YÜK} \cdot \ln(t_{YORMA}) + b_{YÜK} \quad (4.32)$$

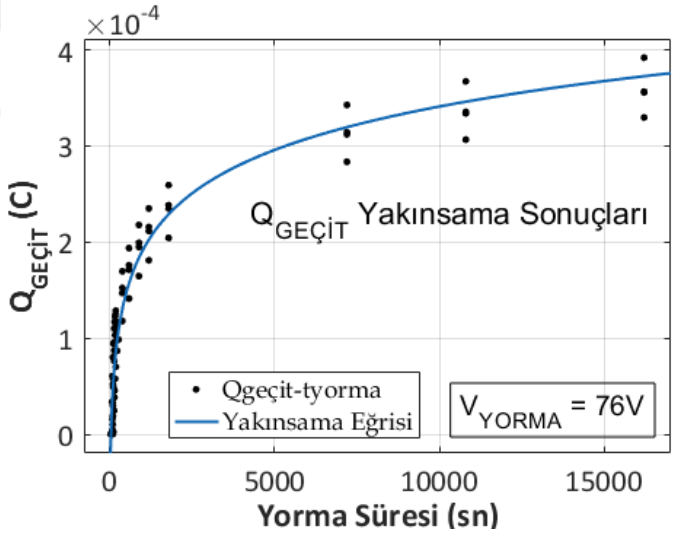
$$a_{YÜK} = 4{,}215 \times 10^{-29} \cdot V_{YORMA}{}^{12{,}86} \quad (R^2 = 0{,}9946) \quad (4.33)$$

$$b_{YÜK} = 3{,}475 \times 10^{-5} \cdot V_{YORMA} - 0{,}00289 \quad (R^2 = 0{,}9561) \quad (4.34)$$

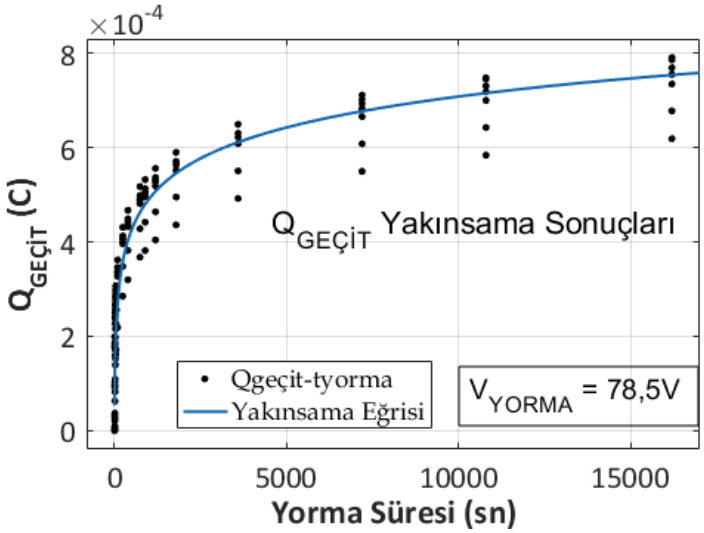
Tablo 4.20: $Q_{GEÇİT}$-t_{YORMA} değişimlerinin eğri uydurma fonksiyonu.

Vishay IRF620				
Yorma	**Fonksiyon**	**$a_{YÜK}$**	**$b_{YÜK}$**	**R^2**
75V	Logaritmik	5,46E-05	-2,62E-04	0,9849
76V	Logaritmik	6,54E-05	-2,61E-04	0,9454
77V	Logaritmik	7,61E-05	-2,25E-04	0,9351
78,5V	Logaritmik	9,48E-05	-1,65E-04	0,9173
80V	Logaritmik	1,28E-04	-9,72E-05	0,9393

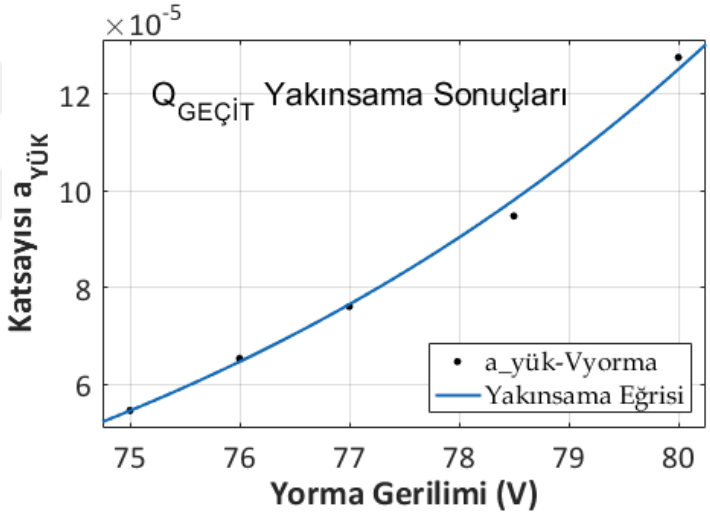
$$Q_{GEÇİT}(t_{YORMA}, V_{YORMA}) = 4{,}215 \times 10^{-29} \cdot V_{YORMA}{}^{12{,}86} \cdot \ln(t_{YORMA}) + 3{,}475 \times 10^{-5} \cdot V_{YORMA} - 0{,}00289 \quad (4.35)$$



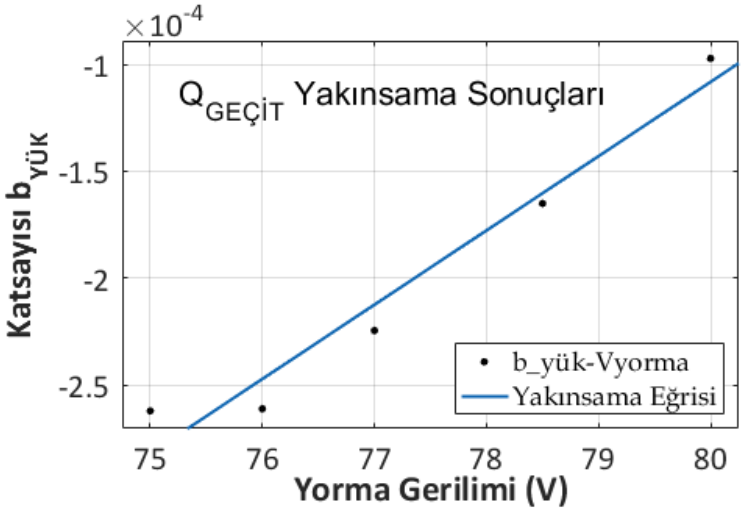
Şekil 4.60: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (76V).



Şekil 4.61: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (78,5V).



Şekil 4.62: $Q_{GEÇİT}$-t_{YORMA} fonksiyonu; $a_{YÜK}$-V_{YORMA} eğri uydurma çalışması.

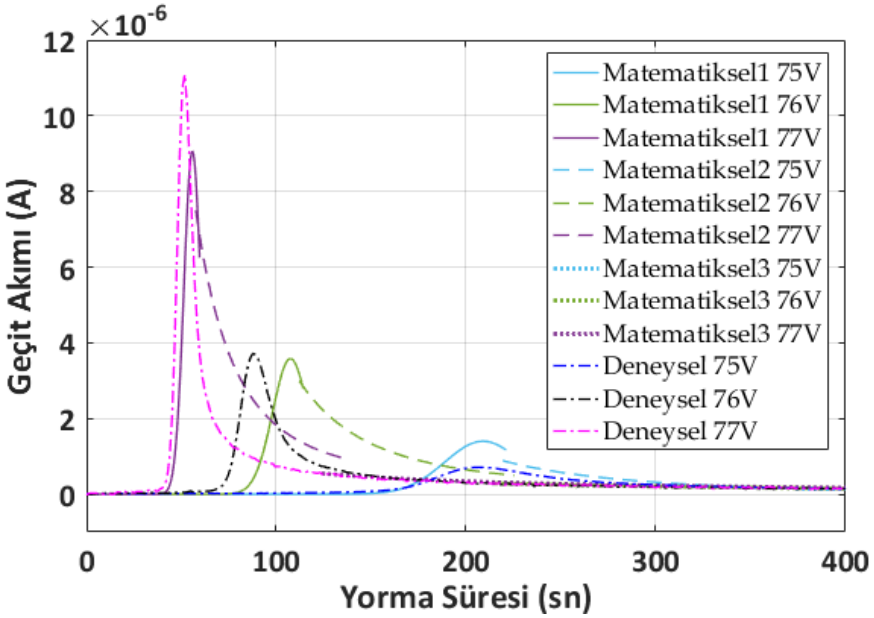


Şekil 4.63: $Q_{GEÇİT}$-t_{YORMA} fonksiyonu; $b_{YÜK}$-V_{YORMA} eğri uydurma çalışması.

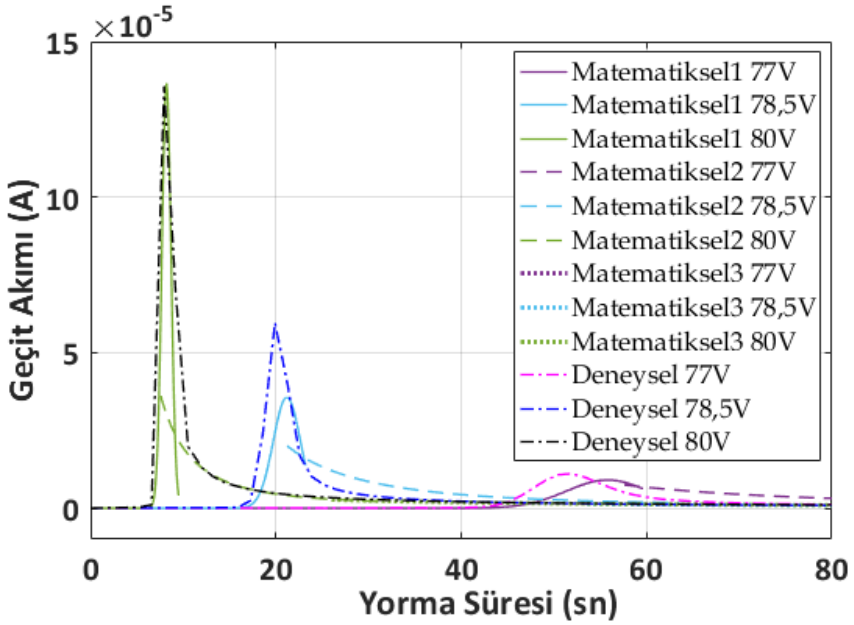
4.3.5. Matematiksel ve Deneysel Sonuçların Karşılaştırılması

4.3.5.1. Geçit kaçak akım değişimleri

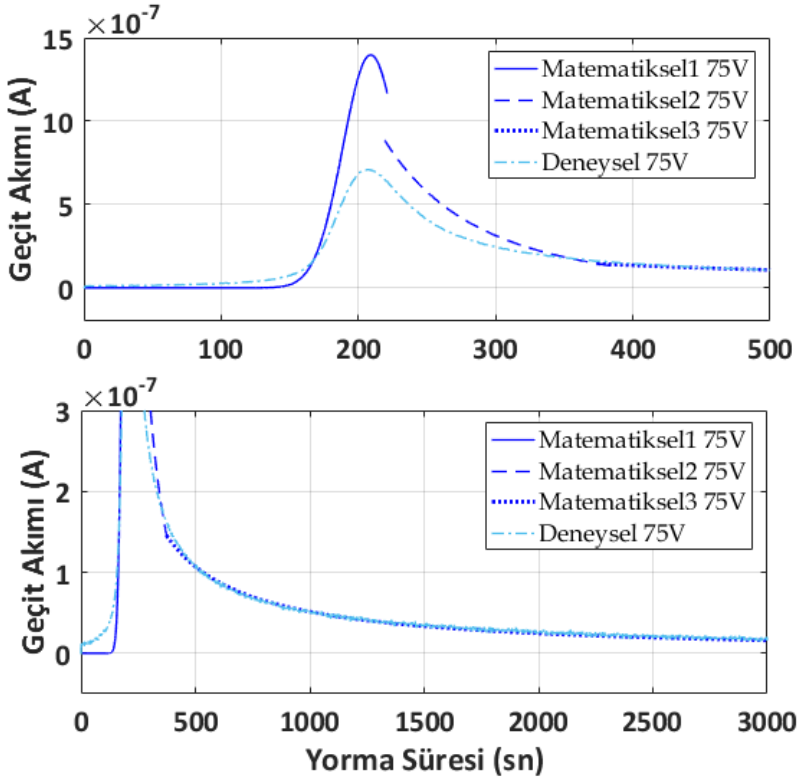
Eğri uydurma sonucu elde edilen 3 parçalı genel akım denklemi ile deneysel sonuçların karşılaştırması Şekil 4.64-4.67' de verilmektedir. Burada t_{KISIM1} ve t_{KISIM2} sınır sürelerinde denklem karakteristiklerinin değiştiği açıkça görülebilir. Deneysel sonuçlar ve matematiksel modeller uyum içerisindedir.



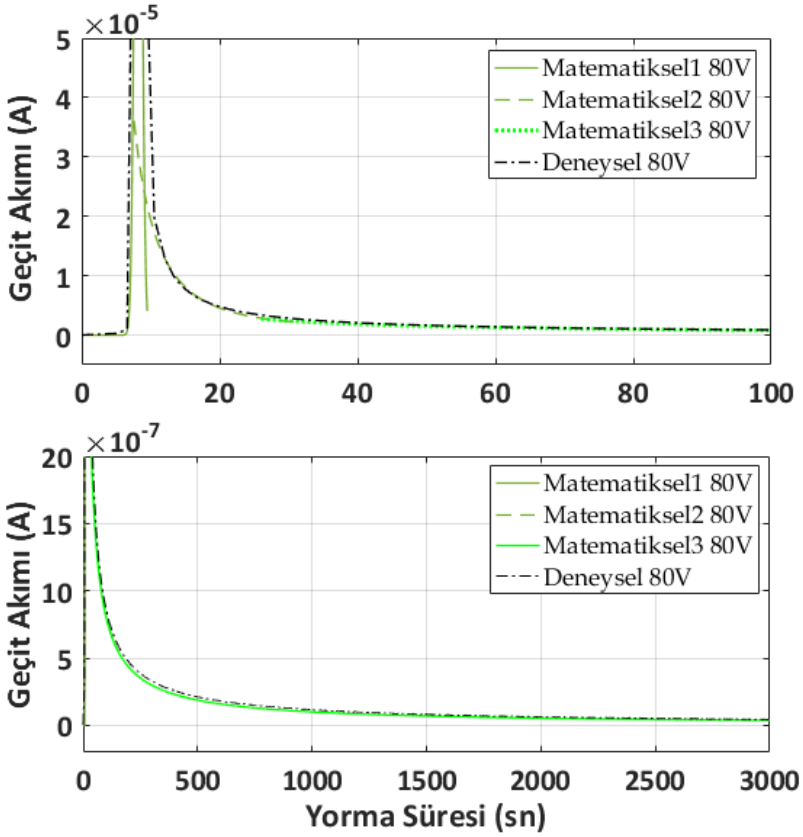
Şekil 4.64: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (75V-77V).



Şekil 4.65: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (77V-80V).



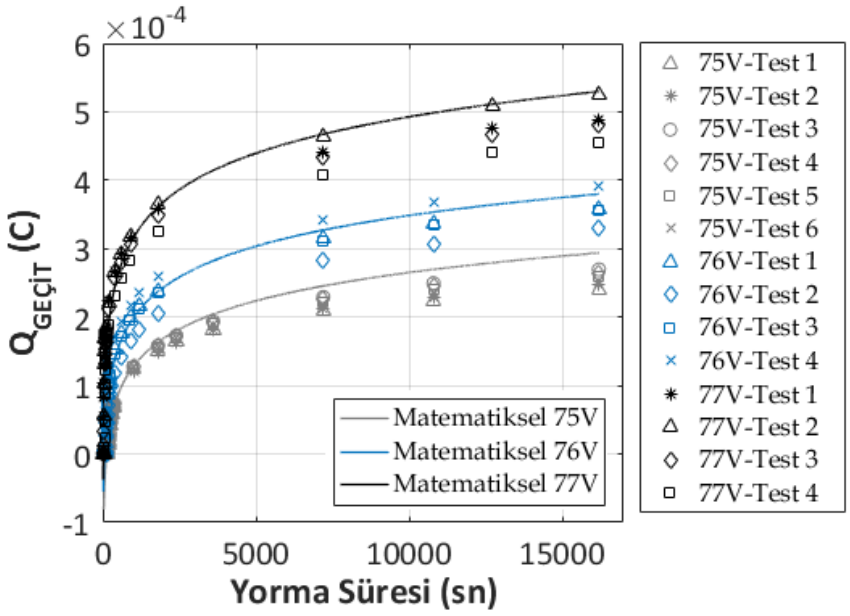
Şekil 4.66: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (75V).



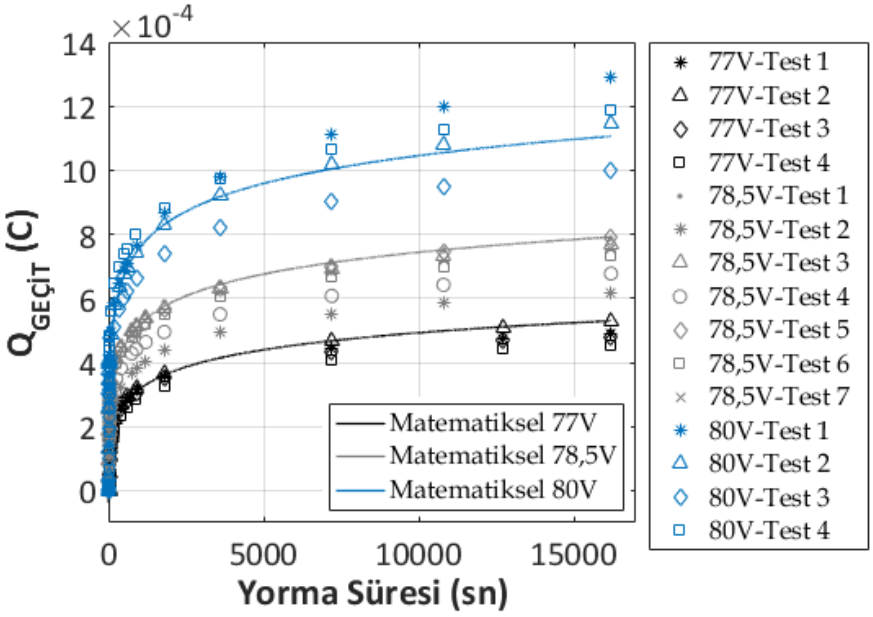
Şekil 4.67: Genel akım denklemi sonuçlarının deneysel veriler ile karşılaştırılması (80V).

4.3.5.2. Geçit yük değişimleri

Başlık 4.3.4' te tüm yorma gerilim ve süreleri için genel $Q_{GEÇİT}$ denklemi belirlenmişti (Eşitlik 4.35). Bu denklem yardımıyla hesaplanan yük değerleri ile deneysel verilerin karşılaştırması Şekil 4.68-4.69' da verilmektedir. Deneysel ve matematiksel sonuçlar uyum içerisindedir.



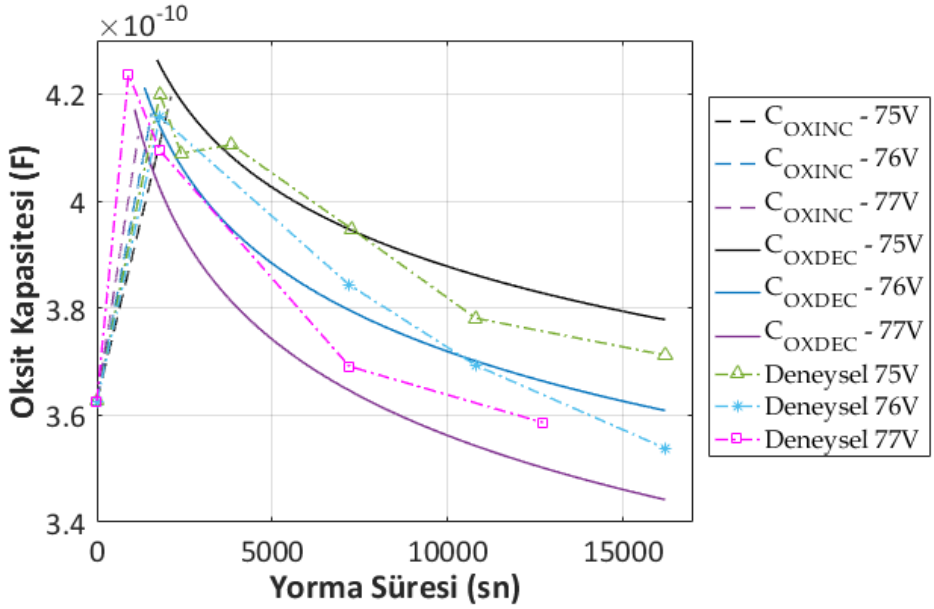
Şekil 4.68: Geçit yükleri genel denklem sonuçlarının deneysel veriler ile karşılaştırması (75V-77V).



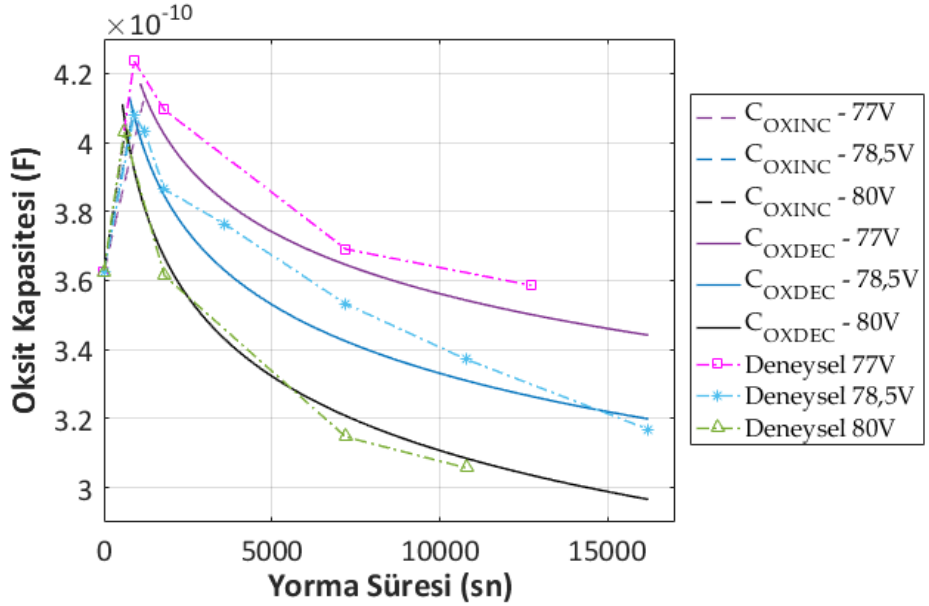
Şekil 4.69: Geçit yükleri genel denklem sonuçlarının deneysel veriler ile karşılaştırması (77V-80V).

4.3.5.3. Oksit kapasitesi değişimleri

Başlık 4.3.3' te belirtilen $C_{OX}(t_{YORMA},V_{YORMA})$ genel denklemi yardımıyla bu bölümdeki karşılaştırma yapılmıştır. Her bir yorma gerilimi için değişimler Şekil 4.70-4.71' de görülebilmektedir. Matematiksel ve deneysel sonuçların birbirine yakın sonuçlar verdiği gözlemlenebilir.



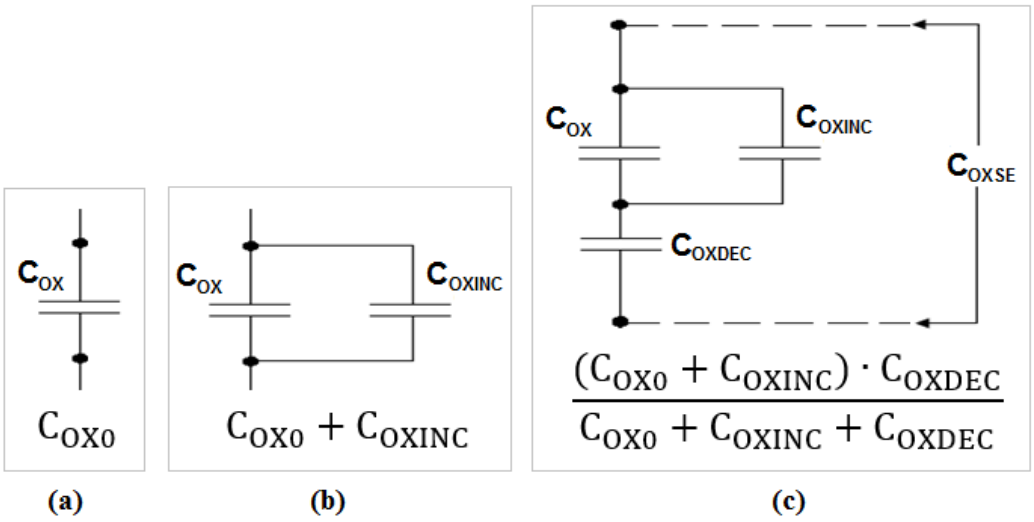
Şekil 4.70: Oksit kapasitesi genel denklem sonuçlarının deneysel veriler ile karşılaştırması (75V-77V).



Şekil 4.71: Oksit kapasitesi genel denklem sonuçlarının deneysel veriler ile karşılaştırması (77V-80V).

4.4. OKSİT KAPASİTESİ BOZULMASI İÇİN DEVRE MODELİ

Oksit kapasitesi yormanın ilk anlarında yüksek değerler almaktadır ve yorma süresi ilerledikçe değeri azalmaktadır. Bu değişim, Şekil 4.72' deki devre yardımı ile açıklanabilir. Bu eşdeğer devre tek bir yorma seviyesi için VDMOSFETlerde oksit kapasitesi değişiminin incelendiği [19] çalışmamızdan uyarlanmıştır. Yorma uygulanmadan önce sadece C_{OX} değeri vardır (Şekil 4.72a). Yormanın ilk anlarında oksit kapasitesinin artışı paralel bir C_{OXINC} kapasitesi ile gösterilir (Şekil 4.72b). Yorma süresi ilerledikçe diğer iki kapasiteye seri gelen bir C_{OXDEC} kapasitesi, oksit kapasitesi değerindeki azalışı temsil eder (Şekil 4.72c). Oksit kapasitesindeki yorma kaynaklı değişim C_{OXSE} kapasitesi ile gösterilmektedir. Arayüzey tuzaklanmaları ile ilgili kapasitenin etkileri, ters kutuplanma ile ihmal edilebilir seviyeye getirilmiştir. Böylece oksit kapasitesindeki değişimlerin, oksit tuzakları kaynaklı olduğu düşünülmektedir [19]. Farklı yorma seviyeleri ve yorma süreleri boyunca oksit kapasitesindeki değişimin gözlemlenmesi için, Başlık 4.4.1' de benzetim programlarında kullanılabilen bir devre modeli tasarlanmıştır.



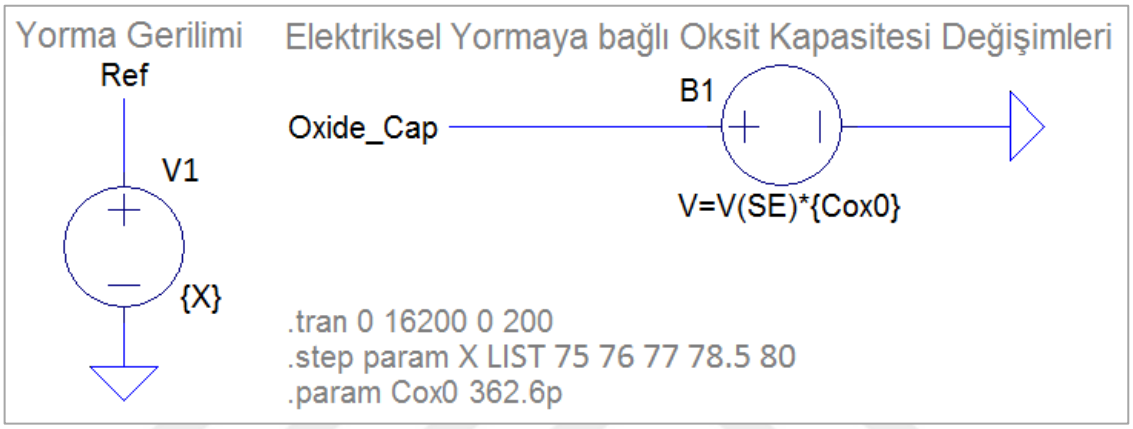
Şekil 4.72: Geçit oksit bozulması için eşdeğer devre.

4.4.1. Devrenin Çizimi

Oksit kapasitesi değişimleri için devre modeli, Eşitlik 4.24-4.25' teki denklemler temel alınarak tasarlanmıştır. Matematiksel denklemler devrede bağımlı gerilim kaynakları vasıtasıyla tanımlanmıştır. Devre LTSPICE benzetim programında uygulanmıştır.

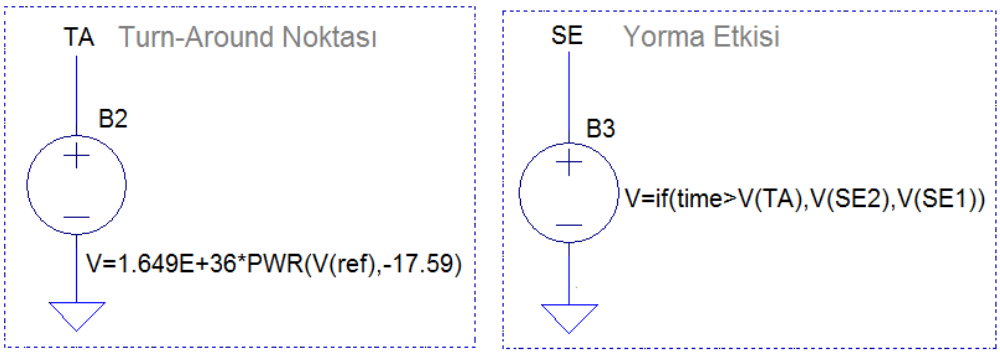
Devrenin girişi, Şekil 4.73' te görülebileceği gibi yorma gerilimini temsil eder. Burada yorma gerilimi ".step" komutu ile tanımlanmıştır. Bağımlı kaynak B1, oksit kapasitesi değişimini

verir. Çalışma [44-47]' deki modellere benzer şekilde, "Oxide_Cap" çıkış düğümü, kapasite değerlerini taklit eder. Yormadan önceki C_{OX} değeri ayrıca devrede C_{OX0} olarak tanımlanır. Yorma öncesi kapasite değeri de ".param" komutu yardımıyla sisteme girilmiştir. Devre benzetim süresi, yorma süresini temsil eder ve ".tran" komutu ile yorma süresi kadar program çalıştırılmıştır. Burada "time" parametresi yorma süresi olarak tanımlanmıştır. Böylece, yorma gerilimi ve süresine bağlı olarak C_{OX} değişimleri sunulabilmiştir. Oksit kapasitesinin yormaya bağlı değişimi "Yorma Etkisi (SE)" katsayısı ile çarpılarak elde edilmiştir.



Şekil 4.73: Oksit Kapasitesinin yorma ile değişiminin modellenmesi.

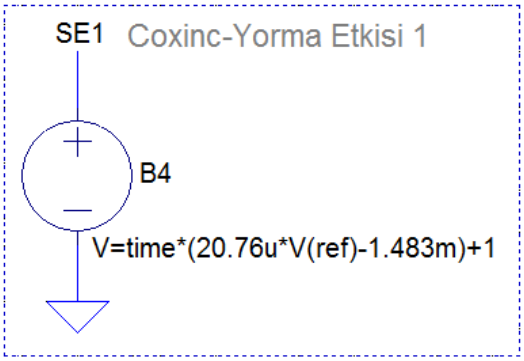
Turn-around noktasının (t_{COX}) kaynağı tamamen yorma gerilimine bağlıdır. Şekil 4.74a' daki TA düğümü, bu olayın her yorma seviyesi için gerçekleştiği süre değerini verir. TA düğümündeki değere göre, yorma etkisi karakteristiği Şekil 4.74b' de "IF" komutu ile tanımlanmaktadır. SE düğümü, C_{OX}' daki hem artan hem de azalan karakteristiğin ikisini de temsil eder. Yorma Etkisi olarak isimlendirilmiş devre, turn-around noktasına göre hangi bağımlı kaynakların çıkışındaki cevapların dikkate alınacağını gösterir.



(a) **(b)**

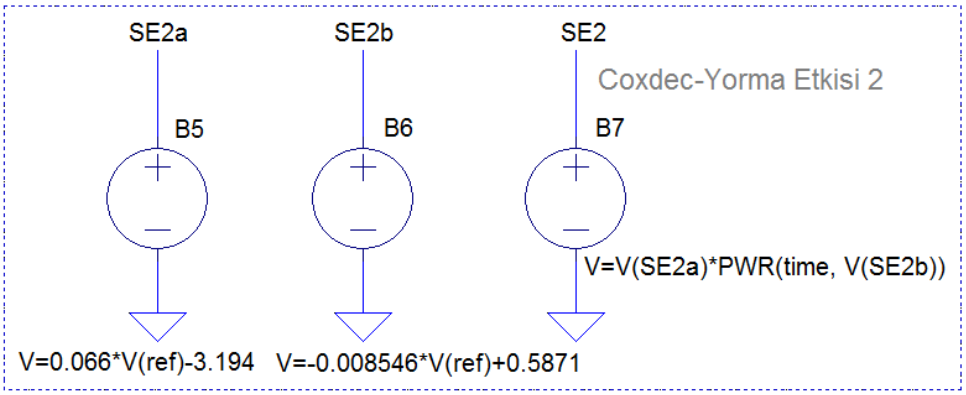
Şekil 4.74: (a) Turn-around ve **(b)** genel yorma etkisinin modellenmesi.

Oksit kapasitesinin artan kısmı önceki bölümde "C_{OX} × SE1" olarak ifade edilmiştir. Yorma etkisi 1 olan SE1, Şekil 4.75' deki bağımlı kaynağın çıkışı olarak gösterilir.



Şekil 4.75: C_{OXINC} - Yorma Etkisi 1 parametresinin modellenmesi.

C_{OX}' un azalan kısmı (C_{OXDEC}) ise "C_{OX} × SE2" olarak tanımlanır. SE2, Şekil 4.76' da görüldüğü gibi üç farklı bağımlı kaynak ile modellenmiştir. Birinci kaynak, yorma süresi katsayısı için tanımlanırken; ikinci kaynak, yorma süresi üstel kısmı içindir. İlk iki kaynağı birleştiren son kaynak, yorma etkisi 2 (SE2)' yi oluşturur.



Şekil 4.76: C_{OXDEC} - Yorma Etkisi 2 parametresinin modellenmesi.

Son olarak tasarlanan devrenin Netlist dosyası aşağıdaki gibidir:

Oksit Kapasitesi Devre Modeli

V1 ref 0 {X}

B1 Oxide_Cap 0 V=V(SE)*{Cox0}

B2 TA 0 V=1.649E+36*PWR(V(ref),-17.59)

B3 SE 0 V=if(time>V(TA),V(SE2), V(SE1))

B4 SE1 0 V=time*(20.76u*V(ref)-1.483m)+1

B5 SE2a 0 V=0.066*V(ref)-3.194

B6 SE2b 0 V=-0.008546*V(ref)+0.5871

B7 SE2 0 V=V(SE2a)*PWR(time,V(SE2b))

.tran 0 16200 0 200

.step param X LIST 75 76 77 78.5 80

.param Cox0 362.6p

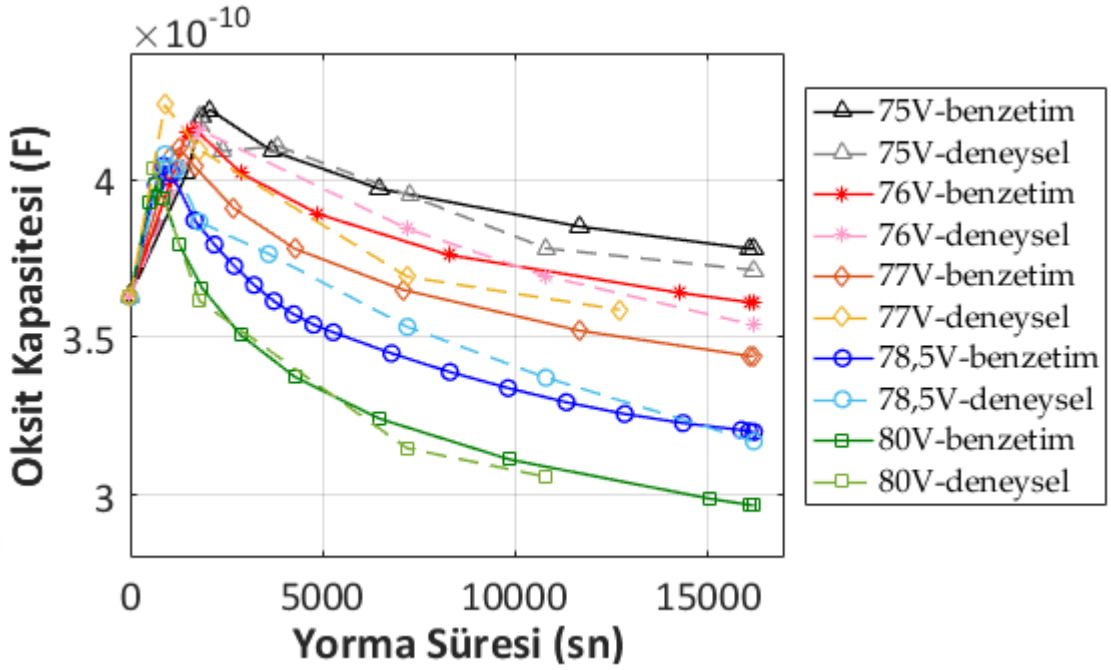
.end

4.4.2. Devre Modeli Benzetim Sonuçları

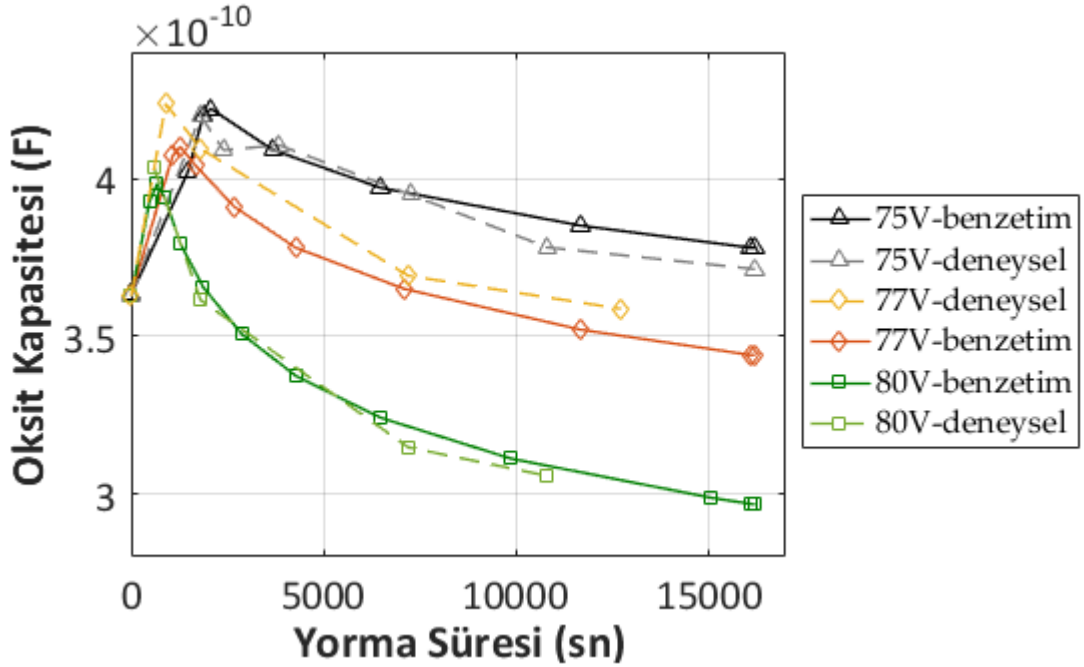
Oksit kapasitesi devre benzetim modelinin sonuçları Şekil 4.77-4.78' de görülebilmektedir. Şekil 4.77' de bütün yorma gerilimleri için ve Şekil 4.78' de ise belirli yorma gerilim değerleri için benzetim-deneysel sonuçların karşılaştırması yapılmaktadır. Modelin deneysel veriler ile uyumluluğunu yorumlamak amacıyla her bir yorma gerilimi için, Tablo 4.21' deki R^2 değerleri hesaplanmıştır. Benzetim ve deneysel sonuçların uyum içerisinde olduğu gözlemlenmiştir. Önerilen model, oksit kapasitesi değişimi üzerinden olası geçit oksit bozulma durumunu tahmin etmek için imkân sağlamaktadır.

Tablo 4.21: Oksit kapasitesi devre modelinin deneysel veriler ile uyumluluğu

Yorma Gerilimi	**R^2**
75V	0,914
76V	0,969
77V	0,831
78,5V	0,948
80V	0,978



Şekil 4.77: Oksit kapasitesi benzetim ve deneysel sonuçların karşılaştırılması (75V-80V).



Şekil 4.78: Oksit kapasitesi benzetim ve deneysel sonuçların karşılaştırılması (75V, 77V, 80V).

5. TARTIŞMA VE SONUÇ

Bu tez çalışmasında, VDMOS yapısına sahip güç MOSFETlerine sabit yorma uygulayarak geçit oksit bozulması araştırılmıştır. Oksit bozulmasını gözlemleyebilmek için ölçülen elektriksel parametrelerin yorma koşullarına bağlı olarak değişimleri modellenmiştir.

İlk olarak farklı marka model transistör seçimi, literatürdeki bozulma çalışmalarında kullanılan transistör modelleri araştırılarak, yapılmıştır. Böylece çalışabilecekleri maksimum V_{GS} gerilimi aynı, I_{DS} akımı ve V_{DS} gerilimleri farklı n-kanallı VDMOS yapısında 12 farklı model transistör tedarik edilmiştir. Bu temin edilen transistörlerin kırılma gerilim değerlerini çıkartmak için rampa-ilerleyen tip yorma uygulanmıştır. Rampa tipi yormada geçit kaçak akımı artan yorma gerilimine bağlı olarak çizdirilmiştir. Bütün transistörler için bu geçit kaçak akım değişimi 2 kısımdan oluşmaktadır. İlk kısımda, akım önemsiz seviyede küçük değerler alır. Akım değişiminin ikinci kısmında ise artık kritik bir gerilim seviyesi aşılmıştır ve VDMOSFET, kırılma öncesinde yüksek seviyede kaçak akım akıtır. Bu kırılma öncesi yüksek seviyede kaçak akımın aktığı bölgenin FN tünellemeden kaynaklandığı bildirilmiştir [36]. Akımın hangi gerilim değerinde kritik seviyede aktığı tespit edilmiştir. Ayrıca kırılma gerilim değerleri de çıkartılmıştır. Vishay IRF500 (V_{DS}=100V) serilerinde kırılma gerilim değerleri, 74-77V; Vishay IRF600 (V_{DS}=200V) ve IRF700 (V_{DS}=400V) serilerinde kırılma gerilim değerleri, 85-89V arasında değişmektedir.

Kırılma sürelerini çıkarmak amacıyla yukarıda elde edilen kırılma gerilim değerlerinden daha düşük değerlerde sabit yorma uygulanmıştır. Transistörlerin kırılma istatistiksel dağılımlarını çizdirmek için bu kırılma süreleri kullanılır. Bütün transistörlerin istatistiksel dağılımlarını çıkartmak için 2 farklı gerilim seviyesi belirlenmiştir. Her bir yorma gerilim değeri için ilgili transistöre ortalama 10 kez yorma uygulanmıştır. Kırılma verilerinin rastgele parametre dağılımları, "ReliaSoft-Weibull++" programından faydalanılarak çıkartılmıştır. Elde edilen sonuçlar; Weibull dağılımının elemanların kırılma istatistiklerini karakterize etmek için daha uygun olduğunu göstermiştir. Kırılma gerilimine yakın değerlerde yapılan yorma işlemleri için Olasılık-Weibull eğrileri, farklı eğimlere sahip iki bölgeye sahiptir. Bu durum, kırılma süreleri ve kırılma olasılıklarındaki ciddi farklılıklardan kaynaklanmaktadır. Üretim sürecinde ortaya çıkan kusurlar, geniş bir istatistiksel dağılıma ve oksit tabakasının yapısal özelliklerinden kaynaklanan kusurlar, daha dik ve dar bir dağılıma sebep olur. Böylece, çalışılan transistör seti

için kırılma gerilim aralığından daha düşük gerilimlerde daha dik bir kırılma eğrisi elde edilebileceği gösterilmiştir.

Kapasite ölçümlerini yapmadan önce sabit yorma test koşulları araştırılmıştır. Ölçümler için geniş bir savak akım aralığında analiz yapmak amacıyla Vishay IRF530 (100V, 14A), IRF540 (100V, 28A), IRF620 (200V, 5.2A) ve IRF720 (400V, 3.3A) transistörleri kullanılmıştır. Sabit yorma gerilim değerlerine karar verirken rampa yormasından elde edilen kritik gerilim değerleri göz önüne alınmıştır. Bu kritik gerilim seviyelerinin üzerinde sabit yorma uygulandığında, kaçak akım davranışının değişken sonuçlar verdiği görülmüştür. Diğer yandan bu kritik gerilim seviyesinin altında yorma uygulandığında, geçit kaçak akım eğrilerinin benzer sonuçlar verdiği gözlemlenmiştir. Parametre ölçümlerinde tekrarlanabilir sonuçlar elde edebilmek için, aynı yorma seviyesi altında, geçit kaçak akım eğrilerinin benzer sonuçlar vermesi tercih edilmektedir.

Kapasite ölçümlerini yapmak için Vishay IRF620 güç MOSFETlerine farklı gerilim değerlerinde (75V-80V) sabit yorma uygulanmıştır. Yorma uygulaması boyunca transistörlerin geçitinden akan kaçak akım değişimleri çıkartılmıştır. Sabit yormanın ilk anlarında geçit akımı, oksitte tuzaklanan delikler sebebiyle artış gösterir ve arayüzey durumlarının oluşumunu tetikler. Böylece tuzaklara elektronlar yakalanır ve akım değeri azalmaya başlar [15, 61]. Akımın yükseliş değeri ve bu yükselişin gerçekleştiği süre, uygulanan gerilim seviyesine göre değişiklik gösterir. Yorma gerilim değeri arttıkça akım yükseliş değeri artarken, yükseliş süresi azalış gösterir.

VDMOSFETlere, her bir gerilim değeri için, farklı sürelerde (10dk-270dk) yorma uygulanmıştır. Yormanın ilk anlarında geçit akımının artış ve onu takip eden azalışın görüldüğü süre aralıklarında sağlıklı bir kapasite ölçümü yapılamamaktadır. Bu süre aralıklarında yapılan yorma sonrası kapasite değeri, uygulanan ters kutuplamalı V_{DS} gerilimi ile azalış göstermektedir. Ancak, olması gereken ters kutuplama seviyesi arttıkça kapasite değerinin artmasıdır. Bu nedenle sağlıklı sonuçlar elde etmek için akımın belirli bir değerin altına düştüğü andan itibaren ölçümler yapılmıştır.

Yorma öncesi geçit-savak kapasitesi (C_{GD}) eğrisinde kapasite değeri, belirli bir V_{DS} gerilimine kadar (-1,5V civarı) artış gösterir. Ve bu V_{DS} değerinden sonra C_{GD}, artan ters kutuplamaya rağmen (-10V' a kadar) sabit bir değer alır. Bu C_{GD}-V_{DS} karakteristiği yorma sonrasında da görülmektedir. Yorma geriliminden bağımsız olarak bakılırsa; yormanın ilk anlarında C_{GD}, yorma öncesine kıyasla, çok yüksek değerler alır. Yorma süresi arttıkça kapasite değeri de düşer. Yorma gerilim seviyesi arttıkça, kapasite değerlerindeki bu azalış daha fazla miktarda olur. Ayrıca, gerilim seviyesi arttıkça kapasite eğrilerinin daha erken yorma sürelerinde bozulmaya başladığı görülmüştür. Bu durumun kritik gerilim seviyesine yakın olan değerlerde daha belirgin olduğu söylenebilir.

Oksit kapasitesi değerleri, C_{GD}-V_{DS} eğrileri kullanılarak elde edilmiştir. Farklı sabit yorma gerilimleri altında, oksit kapasitesinin yorma süresine bağlı olarak değişimleri çizdirilmiştir. Oksit kapasitesi (C_{OX}), yormanın ilk anlarında yüksek değerler almıştır ve yorma süresi ilerledikçe, C_{OX} değeri azalmıştır. Bu artıştan azalışa geçilen süre, oksit kapasitesi için turn-around noktasını temsil etmektedir. Kapasite değerindeki azalış, yorma seviyesi arttıkça daha belirgin şekilde görülmektedir. C_{OX} değişimi, oksitte tuzaklanan yüklerin ve arayüz durumlarının neden olduğu eşik gerilimi değişimi araştırmalarını desteklemektedir [13-15, 27, 110].

Geçit oksit bozulmasını modellemek için önce geçit akım ve oksit kapasitesi değişimlerine eğri uydurma işlemi yapılmıştır. Geçit kaçak akımının yorma süresine bağlı değişimi, 3 farklı kısma bölünerek modellenebilmiştir. Akımın yükselişe geçtiği birinci kısım için Gauss fonksiyonu uygunluk göstermiştir. Akım belirli bir değerden sonra düşmeye başlamıştır ve bu düşüşün ilk anları yine Gauss fonksiyonu ile ifade edilmiştir. Belirli bir yorma anından sonra düşüş kısmı farklı bir fonksiyon karakteristiğine uygun davranmıştır. Bu azalış, power fonksiyonu ile modellenmiştir. Akımın düşüşe geçtiği bölge, ikinci kısım ve üçüncü kısım şeklinde iki ayrı kısım olarak bölünmüştür. Akım-yorma süresi eğri uydurma fonksiyonu katsayıları, yorma gerilimine göre değişiklik göstermektedir. Bu katsayıların değişimlerinden faydalanılarak akımın 3 farklı kısmı için yorma gerilimi ve süresine bağlı genel bir denklem çıkartılmıştır.

Oksit kapasitesi matematiksel olarak modellenirken artan ve azalan olmak üzere iki kısma bölünmüştür. Bu iki kısım oksit kapasitesi için tanımlanan turn-around noktası ile birbirinden

ayrılır. Bu turn-around süresinin yorma gerilimine bağlı değişimi power fonksiyonu ile ifade edilmiştir. Oksit kapasitesi-yorma süresi eğrilerinde; artan kısım, birinci dereceden polinom ve azalan kısım, power fonksiyonuna uygun değişim göstermektedir. Bu fonksiyonların katsayıları yorma gerilimi ile doğrusal bir ilişki içerisindedir. Böylece, her yorma süresi aralığı ve gerilim değeri için uygun olan oksit kapasitesi ifadesi elde edilmiştir. Oksit kapasitesi değişiminin yakınsama sonuçları literatürdeki V_{TH} çalışmaları ile iş birliği içerisindedir [14, 27].

Geçit kaçak akım eğrilerinin yakınsama denklemleri kullanılarak yük hesaplamaları yapılmıştır. Bu sayede, yorma boyunca geçitte görülen yük değişimleri çıkartılmıştır. Yük değişimleri yormanın ilk anlarında hızlı bir artış göstermiştir ve yorma süresi ilerledikçe bu artış yavaşlamıştır. $Q_{GEÇİT}$-t_{YORMA} eğri uydurma işlemleri yapılmıştır ve logaritmik bir değişim göstermiştir. Bu fonksiyonun katsayılarının yorma gerilimi ile değişimleri çıkartılarak, tüm yorma koşulları için genel bir geçit yük denklemi elde edilmiştir.

Oksit bozulması araştırmasında özellikle oksit kapasitesi değişimleri temel alınmıştır. Bu amaçla devre benzetim programlarında kullanılması amacıyla oksit kapasitesi değişimi için devre modeli tasarlanmıştır. Devre modeli, $C_{OX}(t_{YORMA},V_{YORMA})$ genel denklemleri yardımıyla oluşturulmuştur. Matematiksel denklemler devrede bağımlı gerilim kaynakları vasıtasıyla tanımlanmıştır. Devre LTSpice benzetim programında uygulanmıştır. Böylece, yorma gerilimi ve süresine bağlı olarak C_{OX} değişimleri sunulabilmiştir.

Önerilen matematiksel ve devre modeli bulgularının, deneysel veriler ile yapılan kıyaslamalarında sonuçların uyum içerisinde oldukları gözlemlenmiştir.

Bu çalışma, güç MOSFETlerinin geçit oksit bozulmasını ölçebilmek ve devre benzetim programlarında kullanılabilmesi için modeller sunmaktadır. Modelleme sonuçları, güç MOSFETleri üzerine yapılan çalışmalar açısından iç yapısının anlaşılabilmesi için yararlı fikirler verecektir. Ayrıca son zamanlarda üzerinde sıkça çalışma yapılan SiC güç MOSFETleri araştırmalarına da katkı sağlayacağı düşünülmektedir. Burada oluşturulmuş olan akım-yük ve oksit kapasitesi şeklindeki 2 farklı model gelecek çalışmalarda bir eşdeğer devre modelinde birleştirilebilir.

KAYNAKLAR

[1]. Iannuzzo F., Ciappa M., 2016, Reliability Issues in Power Electronics, *Microelectronics Reliability*, 58(3), 1–2.

[2]. Williams R. K., Darwish M. N., Blanchard R. A., Siemieniec R., Rutter P., Kawaguchi Y., 2017, The Trench Power MOSFET—Part II: Application Specific VDMOS, LDMOS, Packaging, and Reliability, *IEEE Transactions on Electron Devices*, 64(3), 692-712.

[3]. Bai Y. X., Guo C. S., Feng S. W., Ding K. K, Zhuang S. X., Su R., 2009, Reliability Evaluation of Power VDMOSFET, *16th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits*, 6-10 July 2009, Suzhou, Jiangsu, China, Publisher IEEE.

[4]. Sze S.M., K. K. NG, 2006, Physics of Semiconductor Devices, 3rd edition, John Wiley and Sons Incorporation, New York, NY, USA, ISBN: 978-0-471-14323-9.

[5]. Li F., Nathan A., 2005, CCD Image Sensors in Deep-Ultraviolet, 1st edition, Springer, ISBN 978-3-540-27412-4.

[6]. Schulz M., 1998, Electrical Characterization of the SiO_2-Si System, *Microelectronic Engineering*, 40(3-4), 113-130.

[7]. El-Kareh B., 1995, Fundamentals of Semiconductor Processing Technologies, Norwell: Kluwer Academic Publishers.

[8]. Nishikawa H., 2001, Structures and Properties of Amorphous Silicon – Issues on the Reliability and Novel Applications, from Silicon-Based Materials and Devices: Properties and Devices, Vol. 2, edited by H.S. Nalwa, Academic Press, USA.

[9]. McPherson J.W., 2012, Time dependent dielectric breakdown physics – Models revisited, *Microelectronics Reliability*, 52(9-10), 1753–1760.

[10]. Schroder D. K., 2006, Semiconductor Material and Device Characterization, 3rd edition, John Wiley & Sons incorporation, Hoboken, New Jersey, USA, ISBN-13: 978-0-471-73906-7.

[11]. Alwan M., Beydoun B., Ketata K., Zoaeter M., 2007, Gate Charge Behaviours in N-Channel Power VDMOSFETs During HEF and PBT Stress, *Microelectronic Reliability*, 47(9-11), 1406-1410.

[12]. Ristić G.S., Pejović MM., Jakšić A.B., 2005, Fowler–Nordheim high electric field stress of power VDMOSFETs, *Solid-State Electronics*, 49(7), 1140–1152.

[13]. Karki U., Peng F. Z., 2018, Effect of Gate-Oxide Degradation on Electrical Parameters of Power MOSFETs, *IEEE Transactions on Power Electronics*, 33(12), 10764-10773.

[14]. Ye X.R, Chen C., Wang Y. X., Wang L., Zhai G. F., 2018, VDMOSFET HEF degradation modelling considering turn-around phenomenon, *Microelectronics Reliability*, 80, 37-41.

[15]. Stojadinović N., Manić I., Davidović V., Danković D., Djorić-Veljković S., Golubović S. and Dimitrijev S., 2006, Electrical Stressing Effects in Commercial Power VDMOSFETs, *IEE Proceedings -Circuits, Devices and Systems*, 153(3), 281-288.

[16]. Davidovic V., Stojadinovic N., Dankovic D., Golubovic S., Manic I., Djoric-Veljkovic S., Dimitrijev S., 2008, Turn-around of threshold voltage in gate bias stressed p-channel power vertical double-diffused metal-oxide-semiconductor transistors, *Japanese Journal of Applied Physics*, 47(8), 6272–6276.

[17]. Ye X.R, Chen C., Wang Y. X, Zhai G.F. and Vachtsevanos G. J., 2017, Online Condition Monitoring of Power MOSFET Gate Oxide Degradation Based on Miller Platform Voltage, *IEEE Transactions on Power Electronics*, 32(6), 4776-4784.

[18]. Özcelep Y, Kuntman A., 2012, A new time-dependent mobility degradation model for MOS transistors, *Microelectronics International*, 29(3), 141–144.

[19]. Sezgin-Ugranlı H. G., Özçelep Y., 2018, A New Approach for VDMOSFETs' Gate Oxide Degradation Based on Capacitance and Subthreshold Current Measurements Under Constant Electrical Stress, *IEEE Transactions on Electron Devices*, 65(4), 1650-1652.

[20]. Yamaguchi Y., Otsuka T., Hangai M., Shinjo S. and Oishi T., Ka-band GaN Large-Signal Model Considering Trap Effect on Nonlinear Capacitance by Using Transient S-parameters Measurement, *IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technical Symposium*, 15-17 October 2018, San Diego, USA.

[21]. Sezgin H. G. and Özçelep Y., 2015, Characterization and modeling of power MOSFET switching times variations under constant electrical stress, *Microelectronics Reliability*, 55(3–4), 492–497.

[22]. Fernandez R., Martín-Martínez J., Rodríguez R., Nafria M., and X. H. Aymerich, 2008, Gate oxide wear-out and breakdown effects on the performance of analog and digital circuits, *IEEE Transactions on Electron Devices*, 55(4), 997–1004.

[23]. DiMaria D. J., Arnold D., and Cartier E., 1992, Degradation and Breakdown of Silicon Dioxide Films on Silicon, *Applied Physics Letters*, 61, 23-29.

[24]. Suehle J. S., 2002, Ultrathin gate oxide reliability: Physical models, statistics, and characterization, *IEEE Transactions on Electron Devices*, 49(6), 958–971.

[25]. JEDEC Solid State Technology Association, 2002, *JEP122-A Failure mechanisms and models for semiconductor devices*, JEDEC Publication.

[26]. Western N. J., Perez-Wurfl I., Wenham S. R., Bremner S. P., 2015, Point Contacting by Localized Dielectric Breakdown With Breakdown Fields Described by the Weibull Distribution, *IEEE Transactions on Electron Devices*, 62(6), 1826-1830.

[27]. Ye X.R., Zhang K., Chen C., Li Z., Wang Y., Zhai G.F., 2018, The threshold voltage degradation model of N Channel VDMOSFETs under PBT stress, *Microelectronics Reliability*, 91(1), 46-51.

[28]. Dori L., Severi M., Impronta M., Sun J.Y, Arienzo M., 1990, Avalanche Electron Injection in 4-nm Si_3N_4/8- nm SiO_2 Dielectric Structure: Turn-Around Phenomenon and Si-Si02 Interface Degradation, *IEEE Transactions on Electron Devices*, 31(1).

[29]. Jung H. S. *et al.*, 2010, Turn-Around Effect of Vth Shift During the Positive Bias Temperature Instability of the n-Type Transistor With HfO_xN_y Gate Dielectrics, IEEE Electron Device Letters, 31(12), 1479-1481.

[30]. Starkov I.A., Starkov A.S., 2014, Investigation of the threshold voltage turn-around effect in long-channel n-MOSFETs due to hot-carrier stress, *Microelectronics Reliability*, 54(1), 33-36.

[31]. Abdelmoumene A. B., Djezzar B., Chenouf A., Tahi H., Zatout B. and Kechouane M., 2016, On the turn-around phenomenon in n-MOS transistors under NBTI conditions, *Solid-State Electronics*, 121, 34–40.

[32]. Nelson W., 1980, Accelerated Life Testing Step -Stress Models and Data Analyses, *IEEE Transactions of Reliability*, R-29(2), 103-108.

[33]. Panasonic, 2012, *T04007CE-2 Reliability of Semiconductor Devices, Quality and Reliability Information*, Application Notes, Part 2.

[34]. Renesas Electronics, 2008, *Semiconductor Reliability Handbook, Quality and Reliability Information*, Application Notes.

[35]. Reliasoft Corporation, 2015, *Accelerated Life Testing Reference Introduction to Accelerated Life Testing*, Reference Handbook.

[36]. Nafria M., Sune J. and Aymerich X., 1996, Breakdown of Thin Gate Silicon Dioxide Films-A Review, *Microelectronics Reliability*, 36(7-8), 871-905.

[37]. I. Sanchez-Esqueda, Barnaby H. J., and King M. P., 2015, Compact Modeling of Total Ionizing Dose and Aging Effects in MOS Technologies, *IEEE Transactions on Nuclear Science*, 62(4), pp. 1501-1515.

[38]. Kumar S., Remesh N., Dolmanan S.B., Tripathy S., Raghavan S., Muralidharan R. and Nath D. N., 2017, Interface traps at Al2O3/InAlN/GaN MOS-HEMT-on- 200 mm Si, *Solid-State Electronics*, 137(11), 117–122.

[39]. Djahli F., Bouchemat M. and Kahouadji M., 2000, Modelling of submicronic MOSFET's ageing effects using SPICE, *Microelectronics Journal*, 31(5), 333-337.

[40]. Arora N. D., Sharma M. S., 1991, MOSFET substrate current model for circuit simulation, *IEEE Transactions on Electron Devices*, 38(6), 1392–1398.

[41]. Enlow E. W., Pease R. L., Alexander D. R., 1990, *AD-A221861 Subthreshold technique for fixed and interface trapped charge separation in irradiated MOSFETs*, Technical Report, Defense Nuclear Agency, Alexandria, Virginia, USA.

[42]. Funaki, T., Phankong, N., Kimoto, T., Hikihara, T.,2009, Measuring terminal capacitance and its voltage dependency for high-voltage power devices, IEEE Transactions on Power Electronics, 24(6), 1486-1493.

[43]. McNutt T.R., Hefner Jr A.R.., Mantooth H.A., Berning D. and Ryu S.H., 2007, Silicon carbide power MOSFET model and parameter extraction sequence, *IEEE Transactions on Power Electronics*, 22(2), 353–363.

[44]. Zeltser I. and Ben-Yaakov S., 2018, On SPICE Simulation of Voltage-Dependent Capacitors, *IEEE Transactions on Power Electronics*, 33(5).

[45]. Zhang L., Ritter A., Nies C., Dwari S., Guo B., Priya S., Burgos R. and Ngo K., 2017, Voltage-Controlled Capacitor—Feasibility Demonstration in DC–DC Converters, *IEEE Transactions on Power Electronics*, 32(8), 5889–5892.

[46]. Costinett D., Maksimovic D. and Zane R., 2015, Circuit-Oriented Treatment of Nonlinear Capacitances in Switched Mode Power Supplies, *IEEE Transactions on Power Electronics*, 30(2), 985-995.

[47]. Johannesson D., Nawaz M., 2016, "Analytical PSpice model for SiC MOSFET based high power modules", *Microelectronics Journal*, 53(7), 167-176.

[48]. Biolek D., Kolka Z., Biolkova V., 2007, Modeling time-varying storage components in PSpice, *Proceedings of the Electronic Devices and Systems IMAPS CS International Conference*, 39–44.

[49]. I. Batarseh, 2011, *4-The Power MOSFET*, Power Electronics Handbook, third edition, 43–71.

[50]. Vrej Barkhordarian, *Power MOSFET Basics*, Application Notes, International Rectifier, El Segundo, Ca.

[51]. Gürdal O., 2008, Güç Elektroniği, 2. baskı, Seçkin Yayıncılık, Ankara, ISBN:9750207105.

[52]. Williams, R.K., Darwish, M.N., Blanchard, R.A., Siemieniec, R., Rutter, P. and Kawaguchi, Y., 2017, The trench power MOSFET—Part II: Application specific VDMOS, LDMOS, packaging, and reliability, IEEE Transactions on Electron Devices, 64(3), pp.692-712.

[53]. Fairchild Semiconductor, 2000, *AN-9010 MOSFET Basics*, Application Notes.

[54]. Baliga, B.J., 2010, Fundamentals of power semiconductor devices, Springer Science & Business Media.

[55]. Barbottin, G. and Vapaille, A., 1986, Instabilities in silicon devices: silicon passivation and related instabilities, Elsevier Science Publishers, North-Holland.

[56]. Helms, C.R., 1981, The structural and chemical properties of the Si–SiO2interface, *Semiconductor Silicon*, 81, 455-462.

[57]. Rashid M. H., 2011, Microelectronics Circuits Analysis and Design, 2nd edition, Cengage Learning, ISBN: 9780495667728.

[58]. Kuntman H., Toker A., Özcan S., 1996, Sayısal Elektronik Devreleri, Sistem Yayıncılık, ISBN: 978-9757397809.

[59]. Balagurusamy, E., 1984, Reliability engineering, Tata McGraw-Hill Education, New Delhi.

[60]. Kayali S., Ponchak G., Shaw R., 1996, *GaAs MMIC Reliability Assurance Guideline for Space Applications*, California Institute of Technology, Jet Propulsion Laboratory Publication 96-25.

[61]. Martin, A., O'Sullivan, P. and Mathewson, A., 1998, Dielectric reliability measurement methods: a review, *Microelectronics Reliability*, 38(1), 37-72.

[62]. Rosenbaum, E., King, J.C. and Hu, C., 1996, Accelerated testing of SiO/sub 2/reliability, *IEEE Transactions on Electron Devices*, 43(1), pp.70-80.

[63]. Martin, A., O'Sullivan, P. and Mathewson, A., 1996, Correlation of SiO2 lifetimes from constant and ramped voltage measurements, *Microelectronics Journal*, 27(7), 633-645.

[64]. Martin, A., O'Sullivan, P., Mathewson, A., Suehle, J.S. and Chaparala, P., 1997, Investigation of the influence of ramped voltage stress on intrinsic t_{bd} of MOS gate oxides, Solid-State Electronics, 41(7), pp.1013-1020.

[65]. Degraeve R., Kaczer B., Groeseneken G., 1999, Degradation and Breakdown in Thin Oxide Layers: Mechanisms, Models and Reliability Prediction, *Microelectronics Reliability*, 39(10), 1445-1460.

[66]. Kaczer B., Degraeve R., Roussel P., Groeseneken G., 2007, Gate oxide breakdown in FET devices and circuits: From nanoscale physics to system-level reliability, *Microelectronics Reliability*, 47(4-5), 559-566.

[67]. Degraeve R., Groeseneken G., Bellens R., Ogier J. L., Depas M., Roussel PAGES J., and Maes H. E., 1998, New Insights in the Relation between Electron Trap Generation and the Statistical Properties of Oxide Breakdown, *IEEE Transactions on Electron Devices*, 45(4), 904–911.

[68]. O'Connor R., 2005, *Electrical and Chemical Characterisation of Ultrathin Transistor Gate Dielectric Layers*, Thesis (PhD), Dublin City University.

[69]. Linder B. P., Stathis J. H., 2004, Statistics of progressive breakdown in ultra-thin oxides, *Microelectronic Engineering*.

[70]. Tanamoto T., Toriumi A., 1997, A percolation Approach to Dielectric Breakdown Statistics, *Japanese Journal of Applied Physics.*

[71]. Pantisano L., Cheung K. P., 2001, Stress-Induced Leakage Current (SILC) and Oxide Breakdown: Are They From the Same Oxide Traps?, *IEEE Transactions on Device and Materials Reliability*, 1(2), 109-112.

[72]. Bernstein, J.B., Gurfinkel, M., Li, X., Walters, J., Shapira, Y. and Talmor, M., 2006, Electronic circuit reliability modeling, Microelectronics Reliability, 46(12), 1957-1979.

[73]. Chen I. C., Holland S., Young K. K., Chang C., and Hu C., 1986, Substrate hole current and oxide breakdown, Applied Physics Letters, 49(11), 669–671.

[74]. Schuegraf, K.F. and Hu, C., 1994, Metal-oxide-semiconductor field-effect-transistor substrate current during Fowler–Nordheim tunneling stress and silicon dioxide reliability, Journal of applied physics, 76(6), 3695-3700.

[75]. Schuegraf, K.F. and Hu, C., 1994, Effects of temperature and defects on breakdown lifetime of thin SiO/sub 2/at very low voltages, in Proceedings of 1994 IEEE International Reliability Physics Symposium, April 1994, pp. 126-135, publisher IEEE.

[76]. Rezaee, L., 2008, *Bimodal Gate Oxide Breakdown in Sub-100 nm CMOS Technology*, Thesis (PhD), University of Waterloo.

[77] Chen, I.C., Holland, S. and Hu, C., 1986, Hole trapping and breakdown in thin SiO_2, *IEEE Electron Device Letters*, 7(3), 164-167.

[78]. Lee, J.C., Ih-Chin, C. and Chenming, H., 1988, Modeling and characterization of gate oxide reliability, *IEEE Transactions on Electron Devices*, 35(12), 2268-2278.

[79]. Chen, I.C., Holland, S. and Hut, C., 1985, A quantitative physical model for time-dependent breakdown in SiO2, *In 23rd International Reliability Physics Symposium*, March 1985, pp. 24-31, publisher IEEE.

[80]. Chen, I.C. and Hu, C., 1987, Accelerated testing of time-dependent breakdown of SiO_2, IEEE Electron Device Letters, 8(4), pp.140-142.

[81]. Dumin D. J., 2001, Oxide Wearout, Breakdown, and Reliability, *International Journal of High Speed Electronics and Systems*, 11(3), 617-718.

[82]. Department of Defense, 1991, DC 20301: MIL-HDBK-217F reliability prediction of electronic equipment, Washington.

[83]. Pecht, M.G. and Nash, F.R., 1994, Predicting the reliability of electronic equipment, *Proceedings of the IEEE*, 82(7), 992-1004.

[84]. Hu C., Lu Q., 1999, A unified gate oxide reliability model, IEEE International Reliability Physics Symposium, San Diego, California March 23-25 1999, publisher IEEE, 47–51.

[85]. McPherson J.W., 2019, Reliability Physics and Engineering Time-To-Failure Modeling, 3rd Edition, Springer Nature, Switzerland.

[86]. McPherson, J.W. and Mogul, H.C., 1998, Underlying physics of the thermochemical E model in describing low-field time-dependent dielectric breakdown in SiO2 thin films, *Journal of Applied Physics*, 84(3), 1513-1523.

[87]. Stathis, J.H., 2002. Reliability limits for the gate insulator in CMOS technology, *IBM Journal of Research and Development*, 46(2,3), 265-286.

[88]. Lombardo, S., Stathis, J.H., Linder, B.P., Pey, K.L., Palumbo, F. and Tung, C.H., 2005, Dielectric breakdown mechanisms in gate oxides, *Journal of applied physics*, 98(12), 1-36.

[89]. White, M., Bernstein J. B., 2008, Microelectronics Reliability: Physics of Failure Based Modeling and Lifetime Evaluation, Pasadena, CA: Jet Propulsion Laboratory, National Aeronautics and Space Administration.

[90]. Fowler RH, Nordheim L., 1928, Electron emission in Intense Electric Fields, *Proceedings of the Royal Society of London Series A*, 119(781), 173-181.

[91]. Stathis, J. H., 2001. Physical and predictive models of ultrathin oxide reliability in CMOS devices and circuits, *IEEE Transactions on Device and Materials Reliability*, 1(1), 43-59.

[92]. Depas, M., Vermeire, B., Mertens, P.W., Van Meirhaeghe, R.L. and Heyns, M.M., 1995, Determination of tunnelling parameters in ultra-thin oxide layer poly-Si/SiO2/Si structures, *Solid-State Electronics*, 38(8), 1465-1471.

[93]. Schenk, A. and Heiser, G., 1997, Modeling and simulation of tunneling through ultra-thin gate dielectrics, *Journal of Applied Physics*, 81(12), 7900-7908.

[94]. Schuegraf K.F., Park D., Hu C., 1994, Reliability of thin SiO2 at direct-tunnelling voltages, *Materials Science*, 609–612.

[95]. Register L.F., Rosenbaum E., Yang K., 1999, Analytic model for direct tunnelling current in polycrystalline silicon-gate metal-oxide semiconductor devices, Appl Physics Letters, 74(3), 457–459.

[96]. Francesco Driussi, 2004, *Performance Analysis and Reliability Characterization of Non Volatile Memory Cells with High Efficiency*, Thesis (PhD), Universitá Degli Studi Di Udine.

[97]. DiMaria, D.J. and Cartier, E., 1995, Mechanism for stress-induced leakage currents in thin silicon dioxide films, *Journal of Applied Physics*, 78(6), 3883-3894.

[98]. Lenzlinger, M. and Snow, E.H., 1968, Fowler-Nordheim tunneling into thermally grown SiO2, *IEEE Transactions on Electron Devices*, 15(9), 686-686.

[99]. Degraeve, R., Kaczer, B. and Groeseneken, G., 2000, Ultra-thin oxide reliability: searching for the thickness scaling limit, *Microelectronics Reliability*, 40(4-5), 697-701.

[100]. Mielke, N. and Chen, J., 2001, Reliability of Flash Nonvolatile Memories, *International Journal of High Speed Electronics and Systems*, 11(3), 719-750.

[101]. Gehring, A. and Selberherr, S., 2006, Tunneling models for semiconductor device simulation, *Handbook of theoretical and computational nanotechnology*, 10, pp.469-543.

[102]. Stathis, J.H. and Zafar, S., 2006, The negative bias temperature instability in MOS devices: A review, *Microelectronics Reliability*, 46(2-4), 270-286.

[103]. Grasser T., 2014, *Bias Temperature Instability for Devices and Circuits*, Springer NY, ISBN 978-1-4614-7909-3.

[104]. Schroder, D.K. and Babcock, J.A., 2003, Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing, *Journal of Applied Physics*, 94(1), 1-18.

[105]. Zhang J. F. and Eccleston W., 1998, Positive Bias Temperature Instability in MOSFET's, *IEEE Transactions on Electron Devices*, 45(1), 116-124.

[106]. Bernstein, J., 2014, *Chapter 3 - Failure Mechanisms, Reliability Prediction from Burn-In Data Fit to Reliability Models*, Reliability prediction from burn-in data fit to reliability models, Academic Press, 31-48.

[107]. Radamson, H. and Thylen, L., 2014, *Chapter 4 - Moore's Law for Photonics and Electronics*, Monolithic Nanoscale Photonics-Electronics Integration in Silicon and Other Group IV Elements, Academic Press, 121-150.

[108]. Martineau B., 2015, *Chapter 5 - Reliable Power Amplifier*, Linearization and Efficiency Enhancement Techniques for Silicon Power Amplifiers from RF to Mmw, Elsevier, 107-133.

[109]. Witters, J.S., Groeseneken, G. and Maes, H.E., 1989, Degradation of tunnel-oxide floating-gate EEPROM devices and the correlation with high field-current-induced degradation of thin gate oxides, *IEEE Transactions on Electron Devices*, 36(9), 1663-1682.

[110]. Dimitrijev, S. and Stojadinović, N., 1987, Analysis of CMOS transistor instabilities, *Solid-State Electronics*, 30(10), 991-1003.

[111]. Snowden C. M., 1985, Semiconductor device modelling, *Reports on Progress in Physics*, 48, 223-275.

[112]. Campbell, C.K., Van Wyk, J.D. and Chen, R., 2002, Experimental and theoretical characterization of an antiferroelectric ceramic capacitor for power electronics, *IEEE Transactions on Components and Packaging Technologies*, 25(2), 211-216.

[113]. Ariga, Z.N., Wada, K. and Shimizu, T., 2012, TDR measurement method for voltage-dependent capacitance of power devices and components, *IEEE Transactions on Power Electronics*, 27(7), 3444-3451.

[114]. Campbell, C.K., Van Wyk, J.D., Holm, M.F.K. and Schoeman, J.J., 1992, Aspects of modeling of high voltage ferroelectric nonlinear ceramic capacitors, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 15(2), 245-251.

[115]. Ristić, G.S., Andjelković, M. and Savović, S., 2016, The isochronal annealing of irradiated n-channel power VDMOSFETs, *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 366(1), 171-178.

[116]. Habchi R., Salame C., Mialhe P., Khoury A., 2007, Switching times variation of power MOSFET devices after electrical stress, *Microelectronics Reliability*, 47(8), 1296–1299.

[117]. Ryu K.S., Shin G.H., Kim H.M., 2007, Simulation and Ground Test for the Total Ionizing Dose Effects of STSAT-2, *Journal of the Korean Physical Society*, 50(5), 1552-1556.

[118]. Ivanov N. A., Mitin E. V., Pashuk V. V., and Tverskoy M. G., 2011, Proton-Induced Failures in High Power Field-Effect Transistors, *Technical Physics Letters*, 37(1), 58–61.

[119]. Stojadinovic N., Djoric-Veljkovic S., Manica I., Davidovic V., Golubovic S., 2002, Effects of burn-in stressing on radiation response of power VDMOSFETs, *Microelectronics Journal*, 33, 899–905.

[120]. Kuznetsov V. and Kechiev L., 2015, Charged Board Model ESD Simulation for PCB Mounted MOS Transistors, *IEEE Transactions on Electromagnetic Compatibility*, 57(5), 947-954.

[121]. Vishay, IRF510 Power MOSFET Datasheet.

[122]. Vishay, IRF520 Power MOSFET Datasheet.

[123]. Vishay, IRF530 Power MOSFET Datasheet.

[124]. Internatonal Rectifier, IRF530 Power MOSFET Datasheet.

[125]. Vishay, IRF540 Power MOSFET Datasheet.

[126]. Vishay, IRF610 Power MOSFET Datasheet.

[127]. Vishay, IRF620 Power MOSFET Datasheet.

[128]. Vishay, IRF640 Power MOSFET Datasheet.

[129]. International Rectifier, IRF640 Power MOSFET Datasheet.

[130]. Vishay, IRF720 Power MOSFET Datasheet.

[131]. Vishay, IRF730 Power MOSFET Datasheet.

[132]. Vishay, IRF740 Power MOSFET Datasheet.

[133]. Chen Z., 2005, Lifetime Distribution Based Degradation Analysis, *IEEE Transactions on Reliability*, 54(1), 3-10.

[134]. ReliaSoft, 2017, Weibull++ & ALTA Version 11 User's Guide, Application Notes.

[135]. Wu E. Y., Vollertsen R. P., 2002, On the weibull shape factor of intrinsic breakdown of dielectric films and its accurate experimental determination. Part I: theory, methodology, experimental techniques, *IEEE Transactions on Electron Devices*, 49(12), 2131 – 2140.

[136]. Wu E. Y., Vollertsen R. P., and Lai W., 2002, On the weibull shape factor of intrinsic breakdown of dielectric films and its accurate experimental determination. Part II: Experimental results and the effects of stress conditions, *IEEE Transactions on Electron Devices*, 49(12), 2141 – 2150.

[137]. A.L., Da Silva, M.G. and Shea, H.R., 2010, MEMS reliability, Springer Science & Business Media, ISBN: 978-1-4419-6018-4.

[138]. Reliasoft Corporation, 2015, *Life Data Analysis*, Reference Handbook.

[139]. International Rectifier, *AN-957 Measuring HEXFET MOSFET characteristics*, Application Notes.

[140]. Z. Chen, 2009, *Characterization and modeling of high-switching-speed behaviour of SiC active devices*, Thesis (M.S.), Virginia Polytechnic Institute and State University.

[141]. MathWorks, 2018, MATLAB Curve Fitting Toolbox, Documentation Notes.

[142]. Analog Devices, 2019, LTSpice XVII User Guide.

[143]. Verweij J.F. and Klootwijk J.H., 1996, Dielectric breakdown I: A review of oxide breakdown, *Microelectronics Journal*, 27(7), 611-622.

EKLER

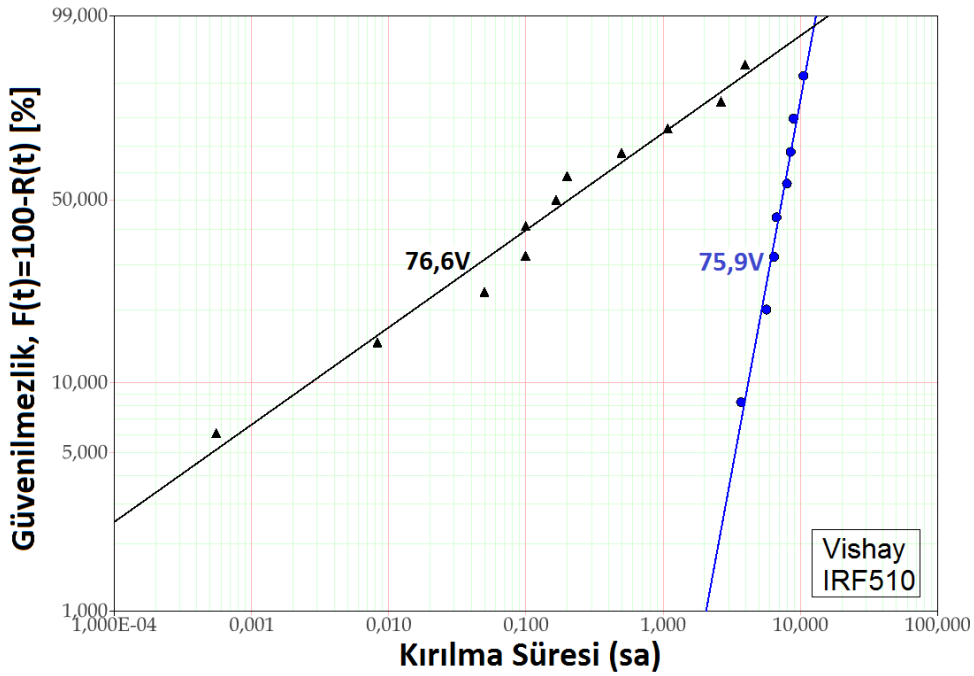
EK 1. KIRILMA İSTATİSTİKLERİNİN ÇIKARTILMASI

Tablo EK1.1: Vishay IRF510' un 75,9V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	3,321705
	Ölçek Parametresi (α)	8,188399
	İlinti Katsayısı (rho-ρ)	0,987526

Tablo EK1.2: Vishay IRF510' un 76,6V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,434641
	Ölçek Parametresi (α)	0,47485
	İlinti Katsayısı (rho-ρ)	0,987304



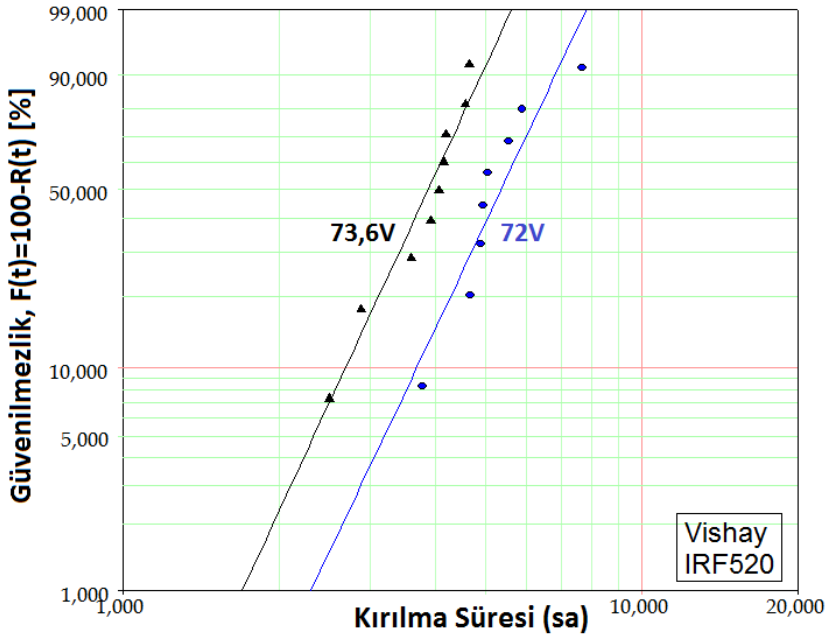
Şekil EK1.1: Vishay IRF510 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.3: Vishay IRF520' nin 72V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	5,0227
	Ölçek Parametresi (α)	5,7704
	İlinti Katsayısı (rho-ρ)	0,9328

Tablo EK1.4: Vishay IRF520' nin 73,6V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	5,1256
	Ölçek Parametresi (α)	4,1699
	İlinti Katsayısı (rho-ρ)	0,9698



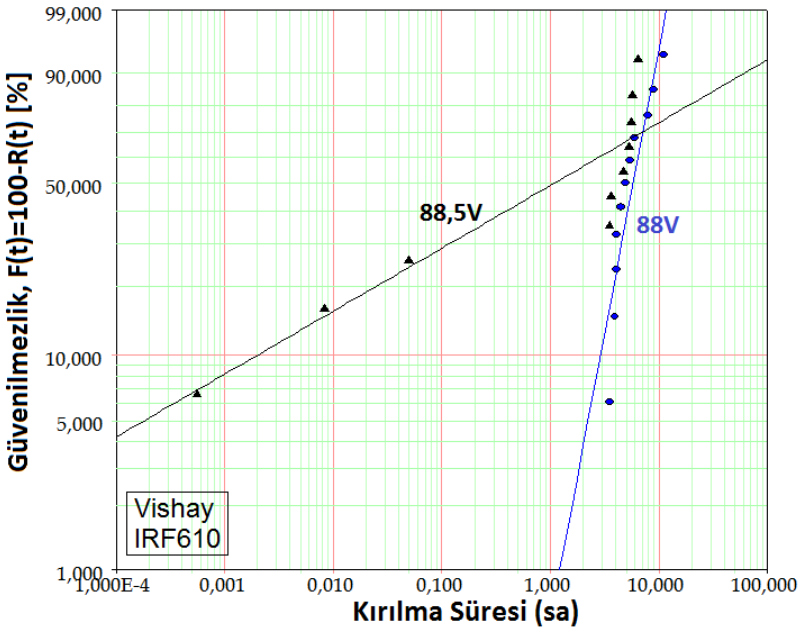
Şekil EK1.2: Vishay IRF520 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.5: Vishay IRF610' un 88V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	2,7112
	Ölçek Parametresi (α)	6,6296
	İlinti Katsayısı (rho-ρ)	0,9066

Tablo EK1.6: Vishay IRF610' un 88,5V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,299
	Ölçek Parametresi (α)	3,7765
	İlinti Katsayısı (rho-ρ)	0,9085



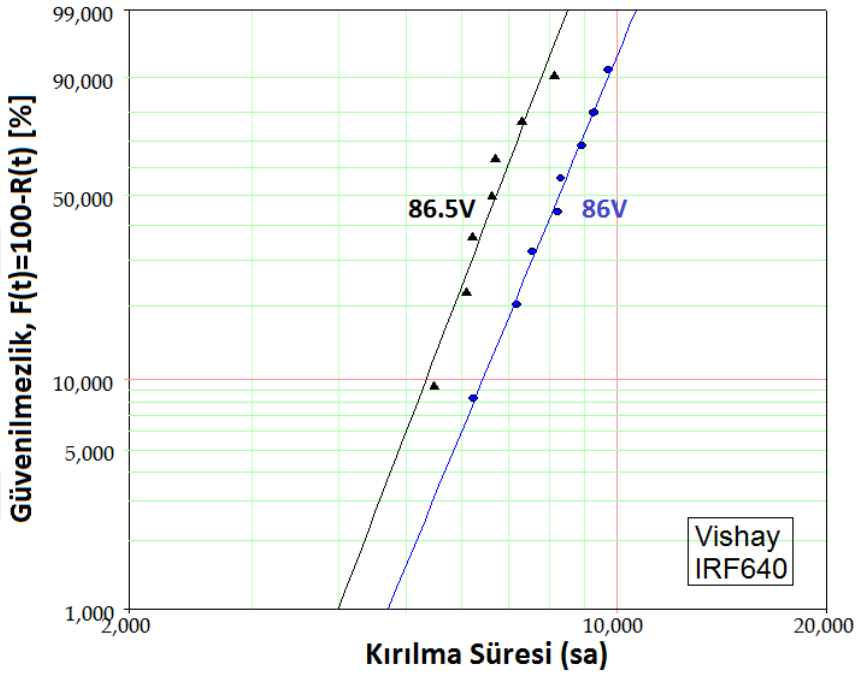
Şekil EK1.3: Vishay IRF610 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.7: Vishay IRF640' ın 86V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	7,4897
	Ölçek Parametresi (α)	8,6889
	İlinti Katsayısı (rho-ρ)	0,9964

Tablo EK1.8: Vishay IRF640' ın 86,5V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	8,1123
	Ölçek Parametresi (α)	7,0374
	İlinti Katsayısı (rho-ρ)	0,9666



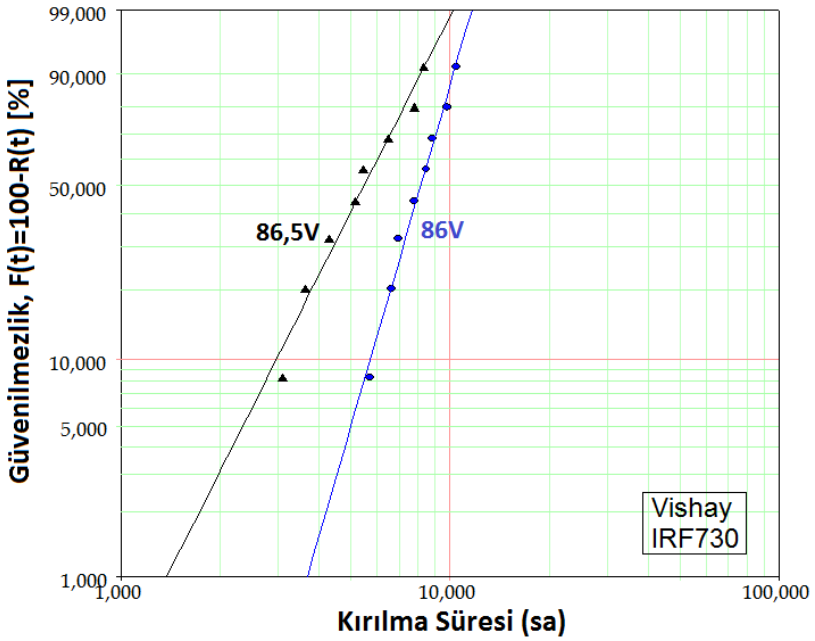
Şekil EK1.4: Vishay IRF640 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.9: Vishay IRF730' un 86V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	5,3282
	Ölçek Parametresi (α)	8,741
	İlinti Katsayısı (rho-ρ)	0,9925

Tablo EK1.10: Vishay IRF730' un 86,5V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	3,0653
	Ölçek Parametresi (α)	6,2004
	İlinti Katsayısı (rho-ρ)	0,9852



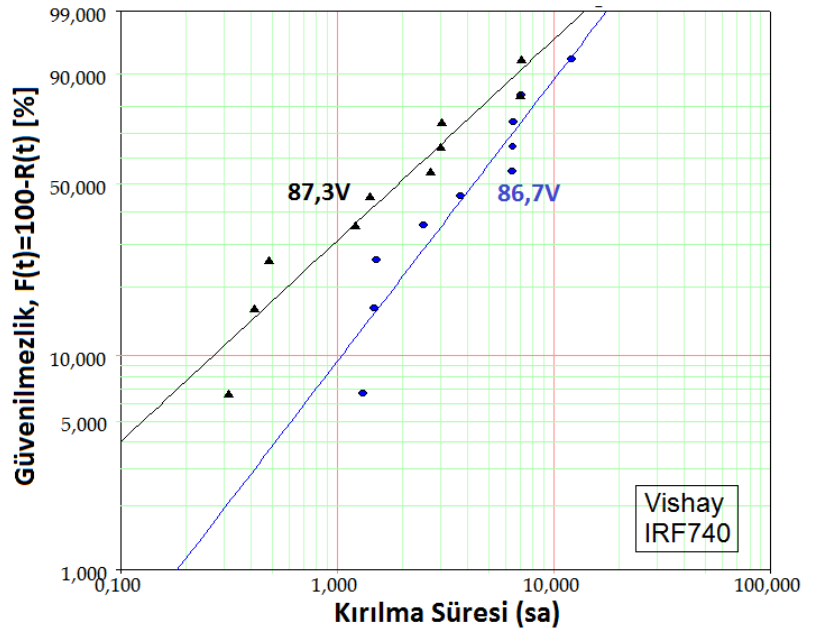
Şekil EK1.5: Vishay IRF730 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.11: Vishay IRF740' ın 86,7V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	1,3428
	Ölçek Parametresi (α)	5,6233
	İlinti Katsayısı (rho-ρ)	0,9458

Tablo EK1.12: Vishay IRF740' ın 87,3V yorma uygulaması için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,9585
	Ölçek Parametresi (α)	2,8184
	İlinti Katsayısı (rho-ρ)	0,9651



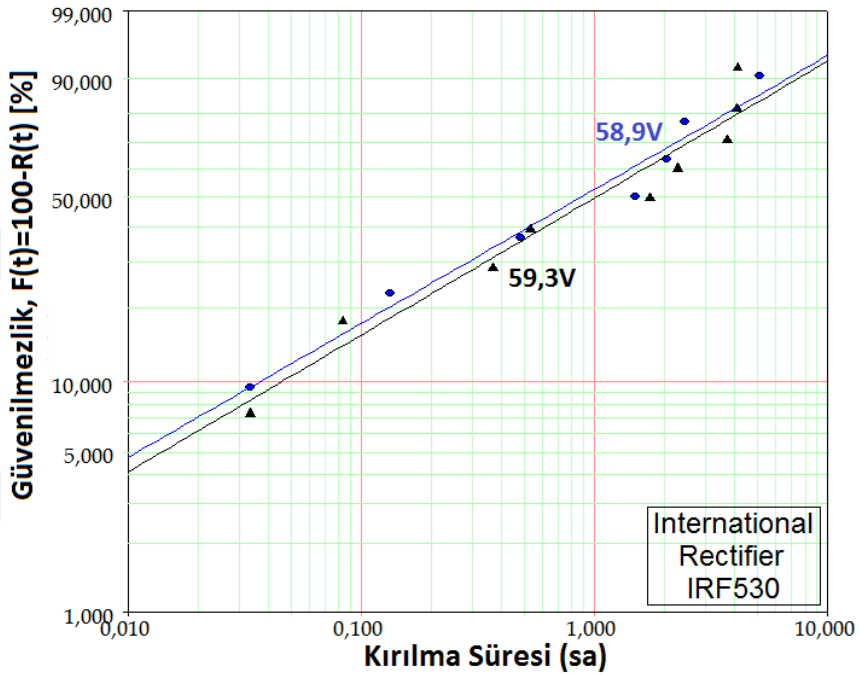
Şekil EK1.6: Vishay IRF740 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.13: International Rectifier IRF530' un 58,9V için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,5929
	Ölçek Parametresi (α)	1,6489
	İlinti Katsayısı (rho-ρ)	0,986

Tablo EK1.14: International Rectifier IRF530' un 59,3V için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	0,6062
	Ölçek Parametresi (α)	1,8828
	İlinti Katsayısı (rho-ρ)	0,9738



Şekil EK1.7: International Rectifier IRF530 transistörünün Olasılık-Weibull eğrileri.

Tablo EK1.15: International Rectifier IRF640' ın 82,5V için güvenilirlik dağılım parametreleri.

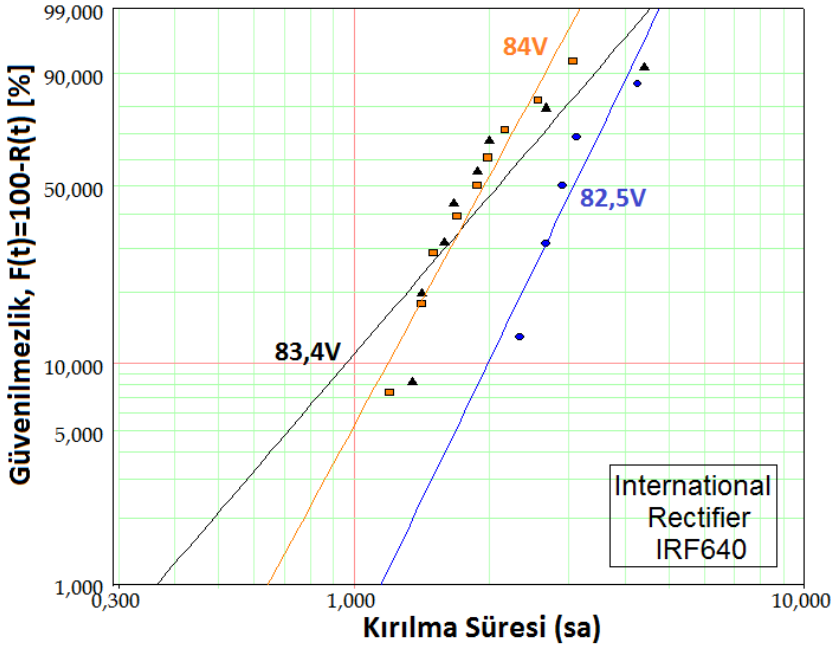
Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	4,298
	Ölçek Parametresi (α)	3,3548
	İlinti Katsayısı (rho-ρ)	0,9333

Tablo EK1.16: International Rectifier IRF640' ın 83,4V için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	2,431
	Ölçek Parametresi (α)	2,4296
	İlinti Katsayısı (rho-ρ)	0,8662

Tablo EK1.17: International Rectifier IRF640' ın 84V için güvenilirlik dağılım parametreleri.

Weibull Dağılımı Karakteristik Parametreleri	Şekil Parametresi (β)	3,8418
	Ölçek Parametresi (α)	2,138
	İlinti Katsayısı (rho-ρ)	0,9739



Şekil EK1.8: International Rectifier IRF640 transistörünün Olasılık-Weibull eğrileri.

EK 2. SABİT YORMA KOŞULLARININ BELİRLENMESİ

Tablo EK2.1: Vishay IRF530 sabit yorma boyunca geçit kaçak akım ölçümleri.

Yorma Gerilim Değeri	$t_{YÜKSELİŞ}$ (sn)	$I_{YÜKSELİŞ}$ (A)
74,3V	2,871	0,0004079
73V	2,334	0,0002387
71,5V	7,562	0,0004058
70V	9,05	0,0001751
68,5V	25,2	4,33E-05
67V	75,47	5,38E-06
66V	164,1	1,22E-06
65V	601,3	1,486E-07
64V	907,6	6,666E-08
63V	1905	1,622E-08

Tablo EK2.2: Vishay IRF540 sabit yorma boyunca geçit kaçak akım ölçümleri.

Yorma Gerilim Değeri	$t_{YÜKSELİŞ}$ (sn)	$I_{YÜKSELİŞ}$ (A)
71,5V	6,261	0,0001574
70V	9,037	0,000515
68,5V	23,81	0,0001092
67V	72,85	1,35E-05
66V	183	2,32E-06
65V	379,9	6,85E-07
64V	876,9	1,68E-07
63V	1889	6,24E-08

Tablo EK2.3: Vishay IRF620 sabit yorma boyunca geçit kaçak akım ölçümleri.

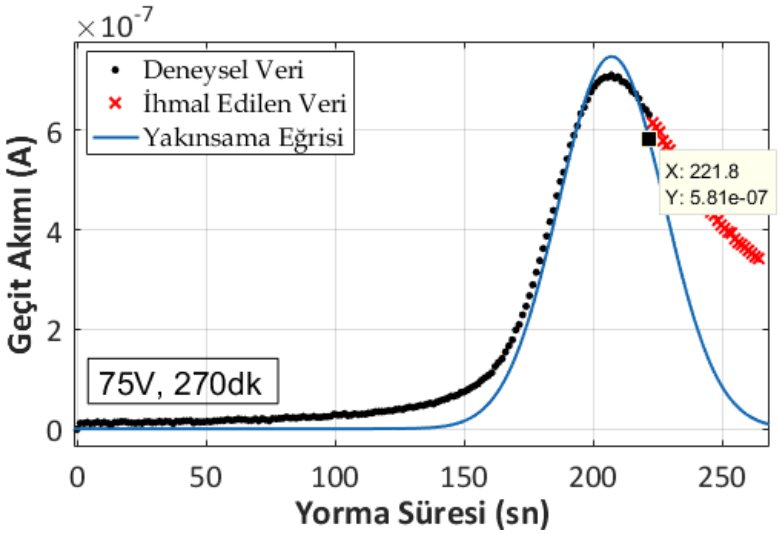
Yorma Gerilim Değeri	$t_{YÜKSELİŞ}$ (sn)	$I_{YÜKSELİŞ}$ (A)
80V	6,631	0,0001356
78,5V	18,61	5,47E-05
77V	61,43	8,07E-06
75V	229,8	5,71E-07
74V	487,6	1,37E-07
73V	1179	3,298E-08

Tablo EK2.4: Vishay IRF720 sabit yorma boyunca geçit kaçak akım ölçümleri.

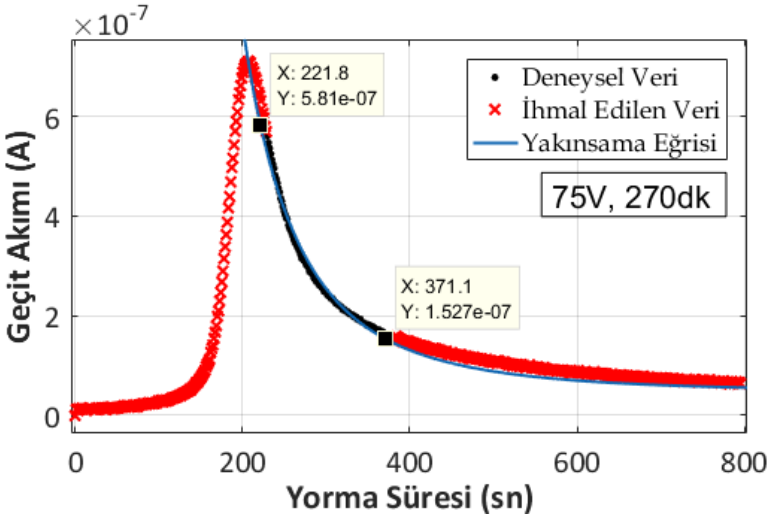
Yorma Gerilim Değeri	$t_{YÜKSELİŞ}$ (sn)	$I_{YÜKSELİŞ}$ (A)
80V	13,04	0,0001708
78,5V	31,77	3,40E-05
77V	100,6	3,63E-06
75V	372,5	2,84E-07
74V	1024	5,12E-08
73V	1801	2,22E-08

EK 3. MATEMATİKSEL MODEL: EĞRİ UYDURMA ÇALIŞMALARI

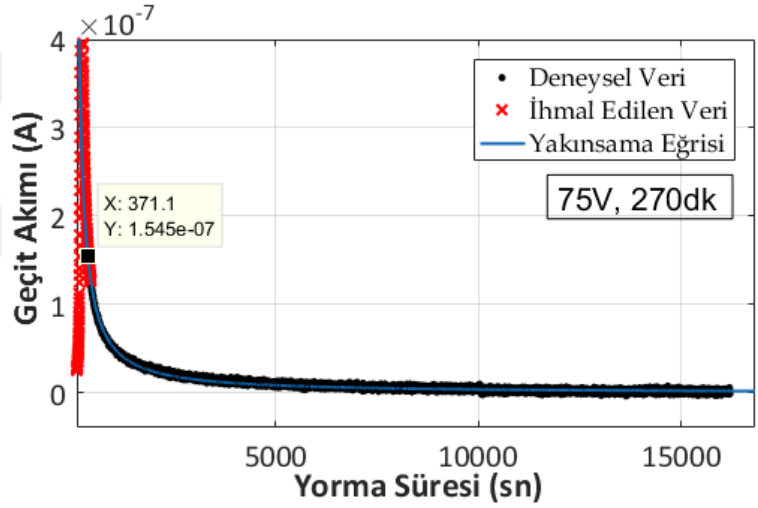
EK 3.1. Geçit Kaçak Akım Eğrisi için Eğri Uydurma Sonuçları



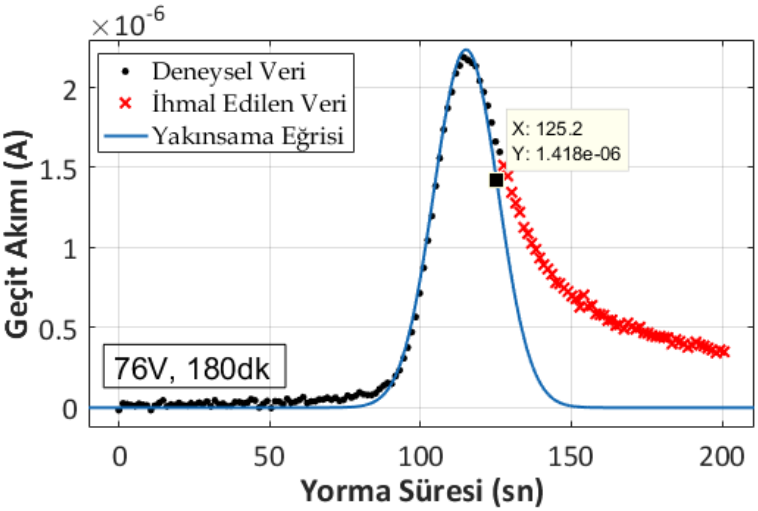
Şekil EK3.1: Vishay IRF620-75V, 270 dk; geçit kaçak akım eğrisinin birinci kısım eğri uydurma işlemi.



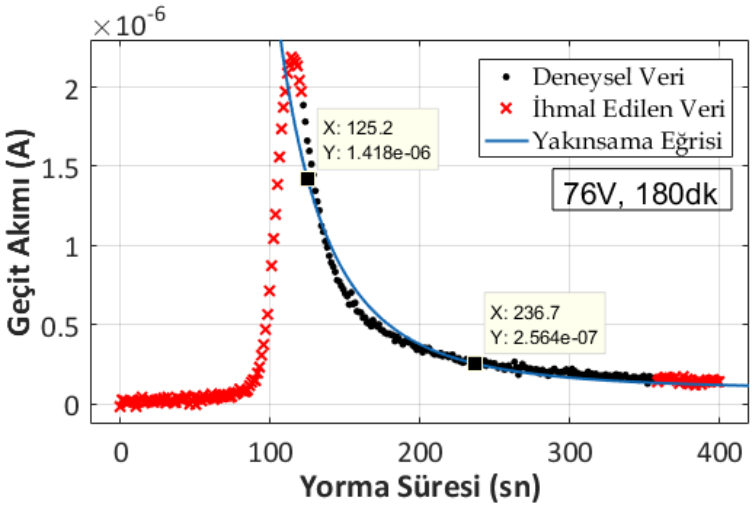
Şekil EK3.2: Vishay IRF620-75V, 270 dk; geçit kaçak akım eğrisinin ikinci kısım eğri uydurma işlemi.



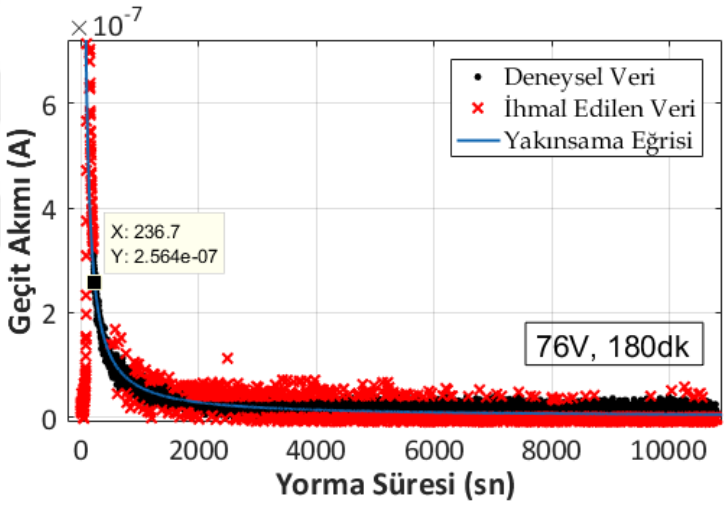
Şekil EK3.3: Vishay IRF620-75V, 270 dk; geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma işlemi.



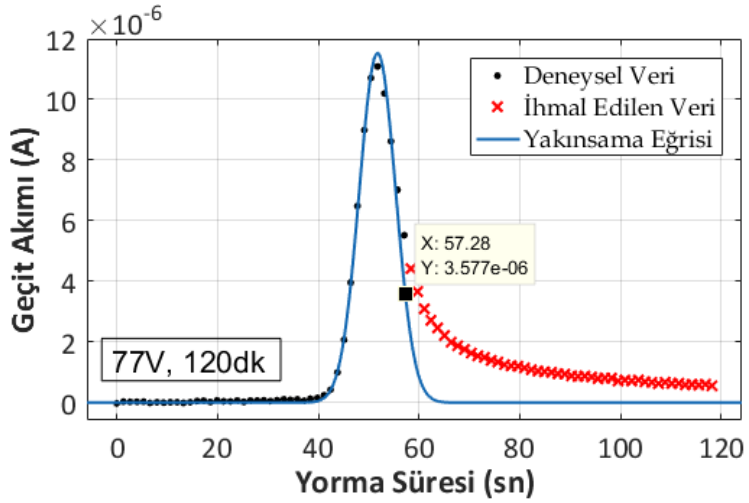
Şekil EK3.4: Vishay IRF620-76V, 180 dk; geçit kaçak akım eğrisinin birinci kısım eğri uydurma işlemi.



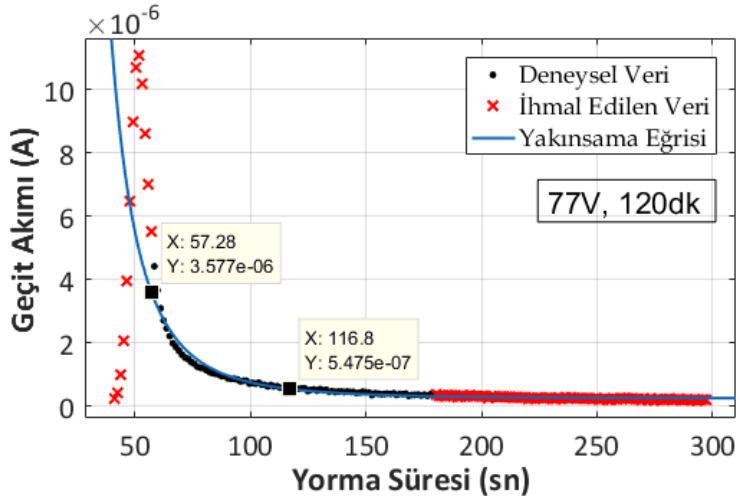
Şekil EK3.5: Vishay IRF620-76V, 180 dk; geçit kaçak akım eğrisinin ikinci kısım eğri uydurma işlemi.



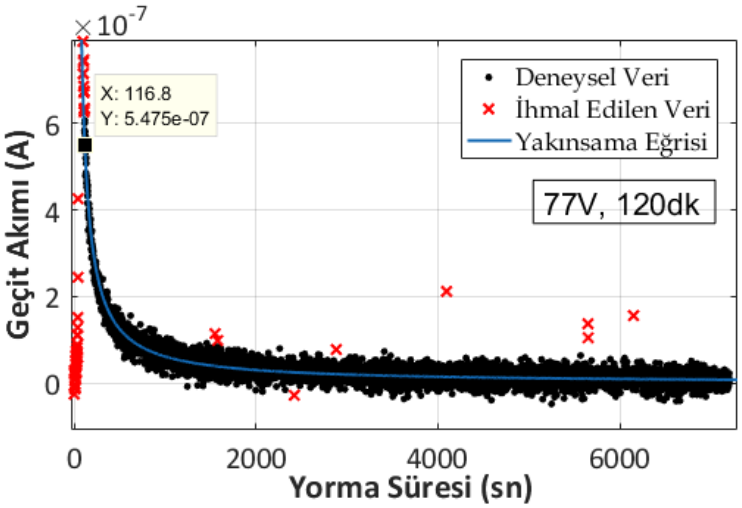
Şekil EK3.6: Vishay IRF620-76V, 180 dk; geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma işlemi.



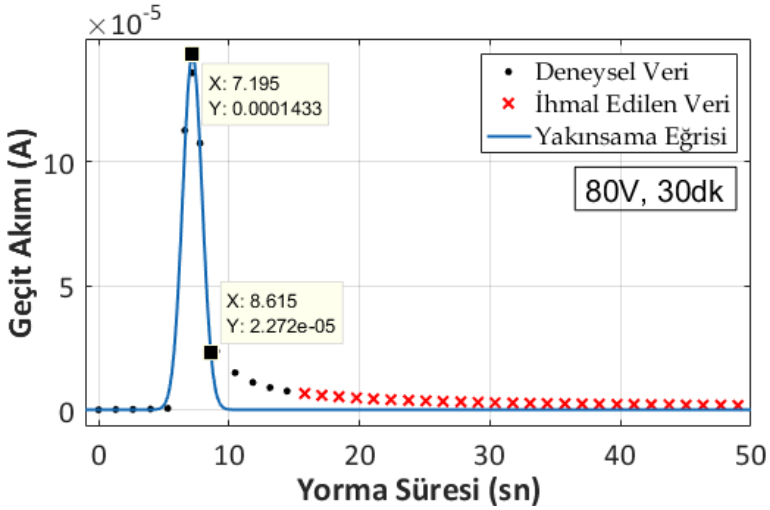
Şekil EK3.7: Vishay IRF620-77V, 120 dk; geçit kaçak akım eğrisinin birinci kısım eğri uydurma işlemi.



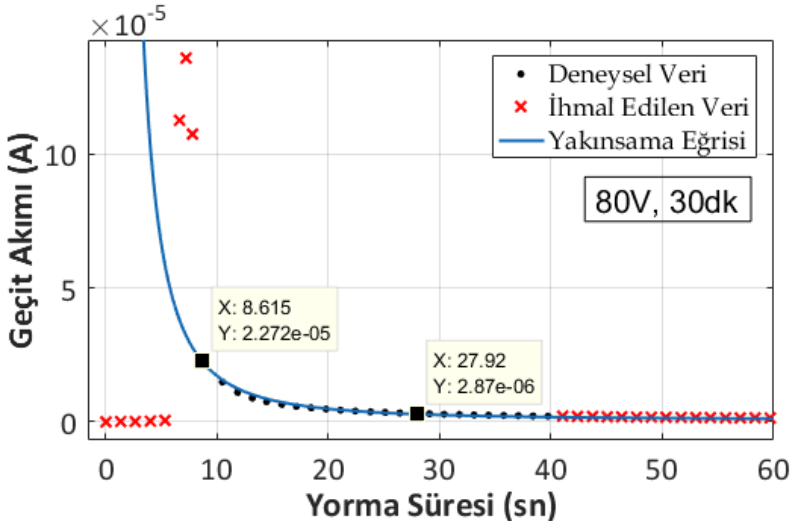
Şekil EK3.8: Vishay IRF620-77V, 120 dk; geçit kaçak akım eğrisinin ikinci kısım eğri uydurma işlemi.



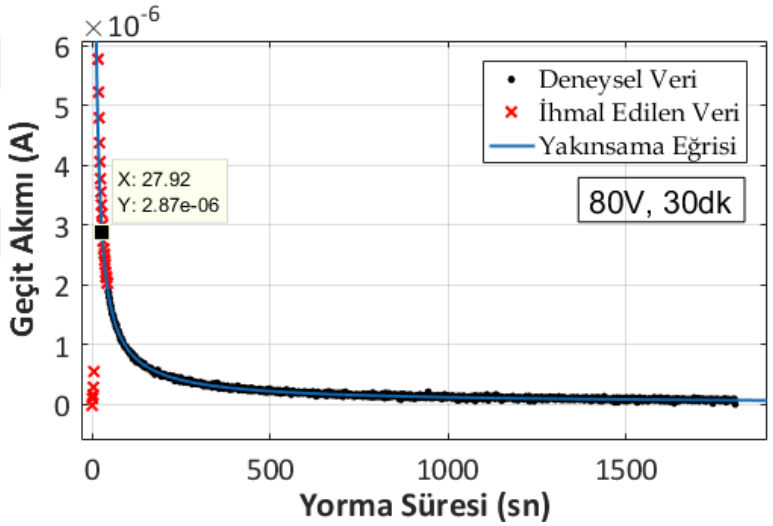
Şekil EK3.9: Vishay IRF620-77V, 120 dk; geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma işlemi.



Şekil EK3.10: Vishay IRF620-80V, 30dk; geçit kaçak akım eğrisinin birinci kısım eğri uydurma işlemi.



Şekil EK3.11: Vishay IRF620-80V, 30dk; geçit kaçak akım eğrisinin ikinci kısım eğri uydurma işlemi.



Şekil EK3.12: Vishay IRF620-80V, 30dk; geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma işlemiş

Tablo EK3.1: Geçit kaçak akım eğrisinin birinci kısım eğri uydurma parametreleri (Gauss).

Vishay IRF620						
V_{YORMA} (V)	**t_{YORMA} (dk)**	**a_1**	**b_1**	**c_1**	**R^2**	**Geçerlilik (sn)**
75	30	7,42E-07	208,8	28,39	0,9768	221,6
	40	7,04E-07	215,1	29,51	0,9763	229,4
	60	7,59E-07	209,9	29,04	0,9743	224,8
	120	7,38E-07	207	28,92	0,9803	217,7
	180	7,65E-07	204,4	27,86	0,9833	215,8
	270	7,49E-07	207,2	29,01	0,981	221,8
76	30	2,65E-06	107	14	0,9864	118,8
	120	1,42E-06	147,1	19,53	0,9884	157,7
	180	2,24E-06	115,1	15,02	0,9933	125,2

	270	3,85E-06	87,48	9,907	0,9563	96,27
77	15	1,30E-05	45,27	4,758	0,9292	50,62
	30	1,32E-05	46,55	4,741	0,972	51,67
	120	1,15E-05	51,76	5,1	0,9921	57,28
	212	8,19E-06	63,3	6,586	0,9798	69,93
78,5	15	6,73E-05	17,2	1,72	0,9875	19,5
	20	5,79E-05	20	1,77	0,9968	22,26
	30	6,27E-05	18,57	1,735	0,9662	20,83
	60	3,95E-05	25,23	2,35	0,9664	28,2
	120	6,01E-05	19,05	1,75	0,9866	21,39
	180	5,48E-05	19,91	1,881	0,9557	22,4
	270	5,63E-05	19,9	1,913	0,9101	22,39
80	10	1,78E-04	7,826	0,8967	0,9534	9,099
	30	1,43E-04	7,195	1,044	0,9697	8,615
	120	8,69E-05	8,162	1,326	0,927	9,78
	180	1,36E-04	7,938	1,494	0,9659	10,01

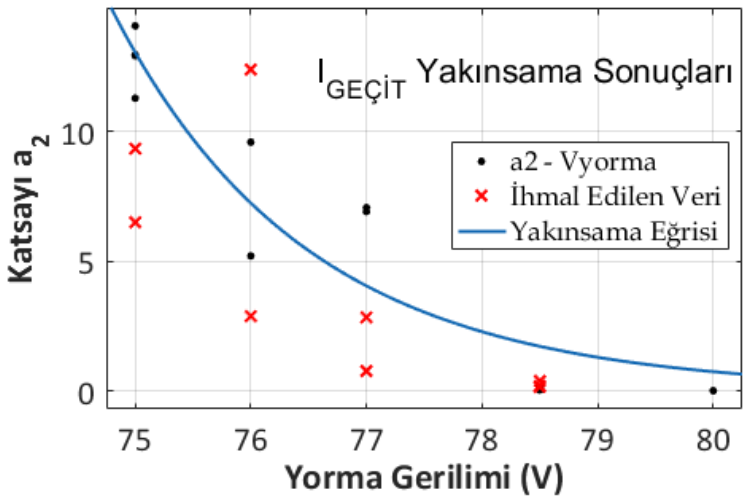
Tablo EK3.2: Geçit kaçak akım eğrisinin ikinci kısım eğri uydurma parametreleri (Power).

Vishay IRF620							
V_{YORMA} (V)	**t_{YORMA} (dk)**	**a_2**	**b_2**	**c_2**	**R^2**	**Geçerlilik (sn)**	
75	30	6,5	-3,002	1,54E-08	0,9896	221,6	358,7
	40	12,97	-3,13	3,18E-08	0,9908	229,4	375,1
	60	12,93	-3,136	3,70E-08	0,9897	224,8	374,6
	120	9,347	-3,072	2,73E-08	0,9893	217,7	370,4
	180	14,08	-3,153	3,00E-08	0,9884	215,8	363,5
	270	11,29	-3,122	4,54E-08	0,9891	221,8	371,1
76	30	5,203	-3,2	1,07E-07	0,97	118,8	220,1
	120	2,882	-2,934	2,35E-08	0,9702	157,7	286,2
	180	9,595	-3,27	9,12E-08	0,9582	125,2	236,7
	270	12,4	-3,474	1,55E-07	0,9721	96,27	187
77	15	0,7627	-3,139	2,70E-07	0,9668	50,62	106,9
	30	7,069	-3,659	3,04E-07	0,947	51,67	110,4
	120	2,836	-3,373	2,47E-07	0,9521	57,28	116,8
	212	6,919	-3,466	1,87E-07	0,9349	69,93	135,9
78,5	15	0,04534	-2,811	5,9690E-07	0,9552	19,5	46,79
	20	0,1844	-3,142	5,5940E-07	0,9366	22,26	51,01
	30	0,1126	-3,042	5,9380E-07	0,9454	20,83	49,58
	60	0,3795	-3,245	5,0970E-07	0,9583	28,2	64,81
	120	0,03715	-2,699	5,0220E-07	0,9609	21,39	60,78
	180	0,07213	-2,892	5,5940E-07	0,9686	22,4	49,16
	270	0,1508	-3,101	6,2160E-07	0,9676	22,39	50,38
80	10	0,003844	-2,32	9,34E-07	0,9722	9,099	29,77
	30	0,001602	-1,992	7,61E-07	0,9728	8,615	27,92
	120	0,002638	-2,17	8,81E-07	0,9798	9,78	31,05
	180	0,002916	-2,183	7,82E-07	0,9772	10,01	30

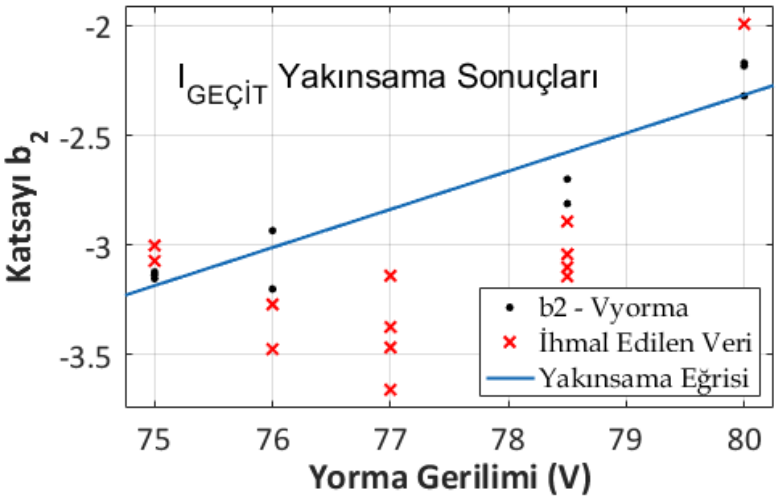
Tablo EK3.3: Geçit kaçak akım eğrisinin üçüncü kısım eğri uydurma parametreleri (Power).

Vishay IRF620						
V_{YORMA} (V)	**t_{YORMA} (dk)**	**a_3**	**b_3**	**R^2**	**Geçerlilik (sn)**	
75	30	1,142E-04	-1,123	0,992	358,7	1800
	40	8,11E-05	-1,07	0,9925	375,1	2400
	60	6,53E-05	-1,029	0,9908	374,6	3600
	120	7,30E-05	-1,048	0,9922	370,4	7200
	180	7,60E-05	-1,057	0,9885	363,5	10800
	270	1,045E-4	-1,102	0,9837	371,1	16200
76	30	7,26E-05	-1,035	0,9364	220,1	1800
	120	5,90E-05	-1,004	0,9922	286,2	7200
	180	7,23E-05	-1,032	0,9202	236,7	10800
	270	5,68E-05	-0,9929	0,9002	187	16200
77	15	6,98E-05	-1,019	0,9854	106,9	900
	30	4,74E-05	-0,9499	0,9712	110,4	1800
	120	6,89E-05	-1,016	0,9294	116,8	7200
	212	6,94E-05	-1,018	0,9915	135,9	12720
78,5	15	5,86E-05	-0,9511	0,9973	46,79	900
	20	5,91E-05	-0,9603	0,996	51,01	1200
	30	5,43E-05	-0,9409	0,998	49,58	1800
	60	5,24E-05	-0,9465	0,9977	64,81	3600
	120	4,27E-05	-0,8977	0,999	60,78	7200
	180	6,53E-05	-0,9714	0,9933	49,16	10800
	270	6,02E-05	-0,957	0,9954	50,38	16200
80	10	3,75E-05	-0,8099	0,9925	29,77	600
	30	5,53E-05	-0,8887	0,9954	27,92	1800
	120	7,74E-05	-0,9515	0,9927	31,05	7200
	180	5,07E-05	-0,8824	0,9996	30	10800

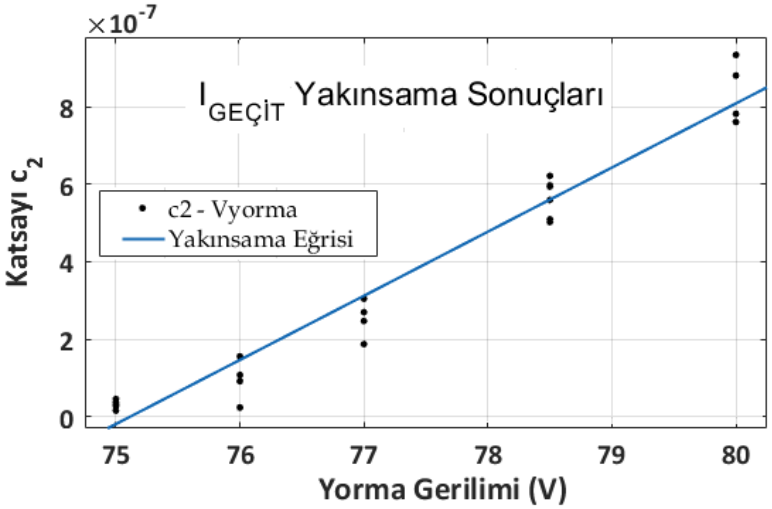
EK 3.2. Geçit Kaçak Akım Değişimleri için Genel Denklem Çıkarılması



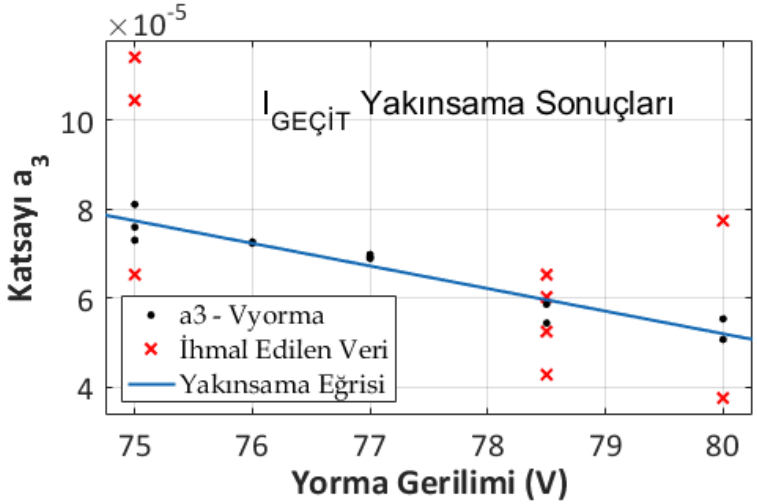
Şekil EK3.13: Geçit kaçak akımı fonksiyonu; a_2-V_{YORMA} eğri uydurma çalışması.



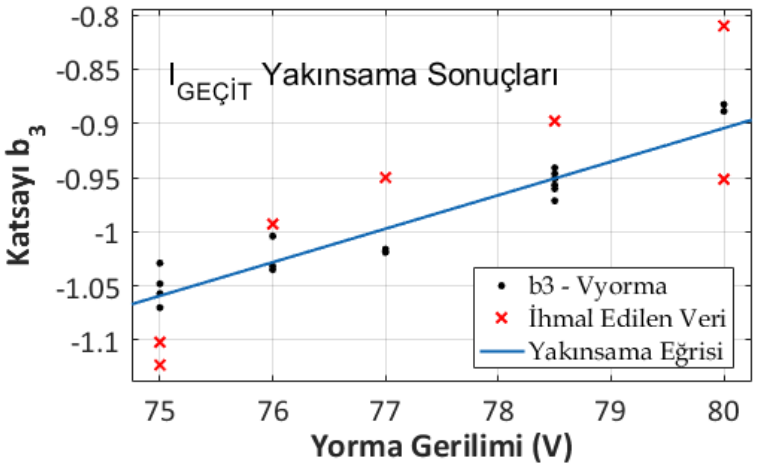
Şekil EK3.14: Geçit kaçak akımı fonksiyonu; b_2-V_{YORMA} eğri uydurma çalışması.



Şekil EK3.15: Geçit kaçak akımı fonksiyonu; c_2-V_{YORMA} eğri uydurma çalışması.

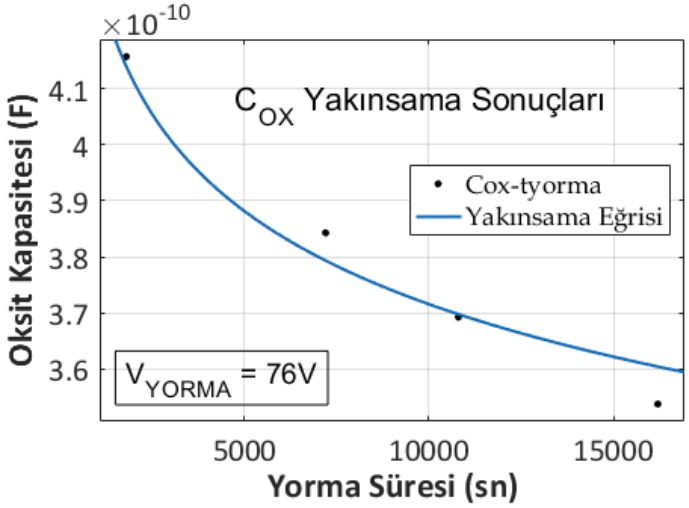


Şekil EK3.16: Geçit kaçak akımı fonksiyonu; a_3-V_{YORMA} eğri uydurma çalışması.

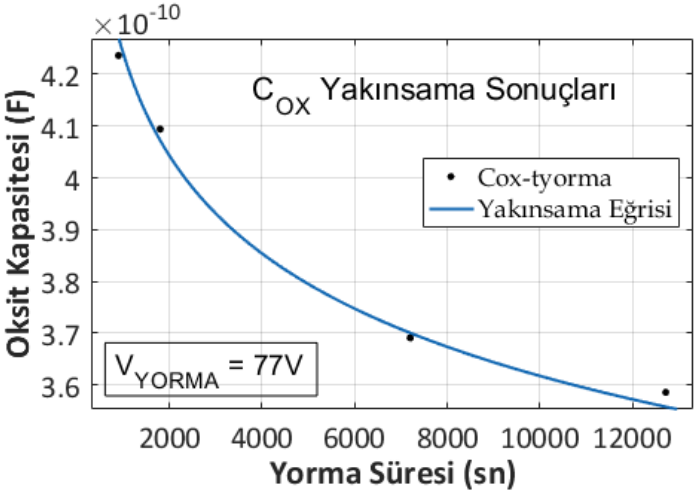


Şekil EK3.17: Geçit kaçak akımı fonksiyonu; b_3-V_{YORMA} eğri uydurma çalışması.

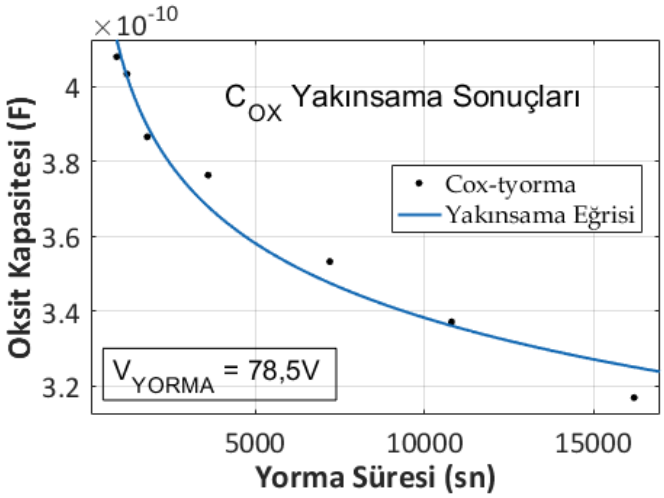
EK 3.3. Oksit Kapasitesi Değişimleri için Eğri Uydurma Sonuçları



Şekil EK3.18: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (76V).

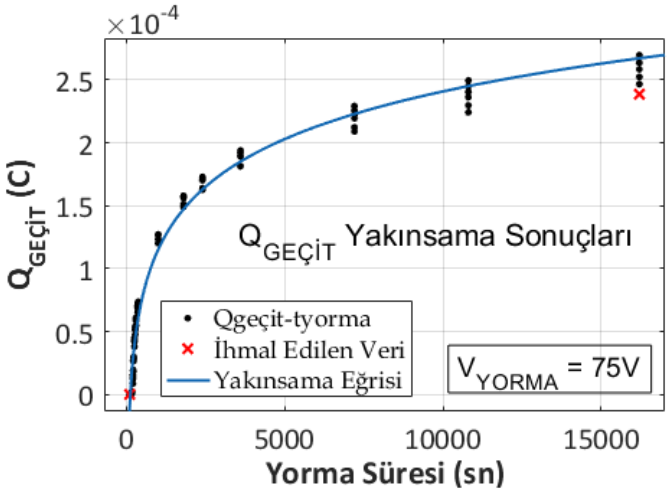


Şekil EK3.19: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (77V).

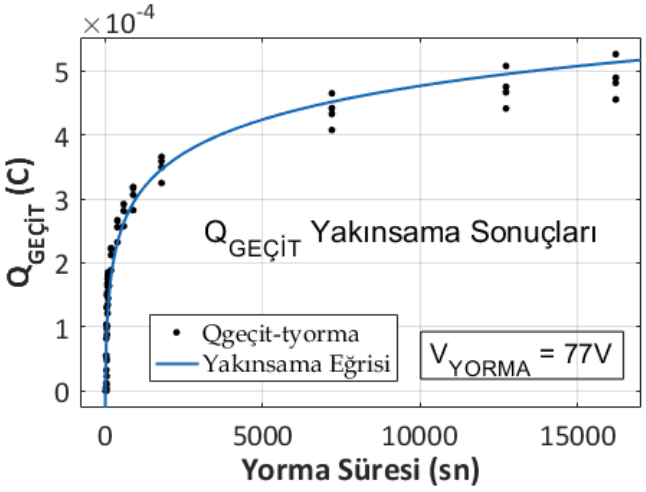


Şekil EK3.20: Oksit kapasitesi değişimi; C_{OXDEC}-t_{YORMA} eğri uydurma çalışması (78,5V).

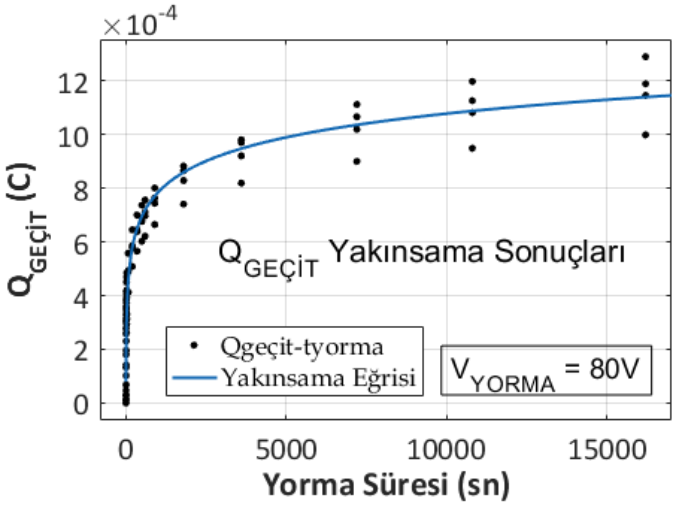
EK 3.4. Geçit Yük Değişimi ve Eğri Uydurma Sonuçları



Şekil EK3.21: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (75V).



Şekil EK3.22: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (77V).



Şekil EK3.23: Geçit yükü değişimi; $Q_{GEÇİT}$-t_{YORMA} eğri uydurma çalışması (80V).

ÖZGEÇMİŞ

Kişisel Bilgiler	
Adı Soyadı	Hatice Gül UGRANLI
Doğum Yeri	Tirebolu/GİRESUN
Doğum Tarihi	23.06.1988
Uyruğu	☑ T.C. ❒ Diğer:
Telefon	0538 541 73 69
E-Posta Adresi	haticegulsezgin@gmail.com
Web Adresi	



Eğitim Bilgileri	
Lisans	
Üniversite	İstanbul Üniversitesi
Fakülte	Mühendislik Fakültesi
Bölümü	Elektrik-Elektronik Mühendisliği
Mezuniyet Yılı	Haziran 2010

Yüksek Lisans	
Üniversite	İstanbul Üniversitesi
Enstitü Adı	Fen Bilimleri Enstitüsü
Anabilim Dalı	Elektrik-Elektronik Mühendisliği Anabilim Dalı
Programı	Elektrik-Elektronik Mühendisliği Programı
Mezuniyet Yılı	Aralık 2014

Doktora	
Üniversite	İstanbul Üniversitesi-Cerrahpaşa
Enstitü Adı	Lisansüstü Eğitim Enstitüsü
Anabilim Dalı	Elektrik-Elektronik Mühendisliği Anabilim Dalı
Programı	Elektrik-Elektronik Mühendisliği Programı
Mezuniyet Yılı	Ocak 2020

Makale ve Bildiriler

1. Sezgin-Ugranlı, H.G. and Özçelep, Y., 2018, "A New Approach for VDMOSFETs' Gate Oxide Degradation Based on Capacitance and Subthreshold Current Measurements Under Constant Electrical Stress", *IEEE Transactions on Electron Devices*, 65(4): 1650-1652.

2. Sezgin-Ugranlı, H.G. and Özçelep, Y., 2018, "Investigation of VDMOSFET's switching power dissipation changes under constant electrical stress", *Microelectronics Journal*, 78: 81-87.

3. Sezgin, H.G. and Özçelep, Y., 2015, "Characterization and modeling of power MOSFET switching times variations under constant electrical stress", *Microelectronics Reliability*, 55(3-4): 492-497.

4. Sezgin-Ugranlı, H. G., Yıldırım, M. and Kaçar, F., 2017, "Design of low power DTMOS based FCS and its notch filter application for ECG signals", *International Journal of Computational and Experimental Science and Engineering*, 3(1): 29-32.

5. Yıldırım, M., Sezgin-Ugranlı, H. G. and Kaçar, F., 2016, "Low Voltage Low Power DTMOS CDTA Filter Design Using for Biomedical Signal Processing Applications", *International Journal of Computational and Experimental Science and Engineering*, 2(2): 6-9.

6. Sezgin, H.G. and Özçelep, Y., 2016, "Modelling of degraded power MOSFET effects on inverter static parameters", *Materials Today: Proceedings*, 3(5): 1283–1290.

7. Sezgin, H.G. ve Özçelep, Y., "Güç MOSFET' lerinde Elektriksel Sabit Yorma Kaynaklı Kapasite Değişimlerinin Analog Uygulamalara Etkileri", *Elektrik-Elektronik ve Bilgisayar Mühendisliği Sempozyumu (ELECO)*, 27-29 Kasım 2014, Bursa, TÜRKİYE.