Turkish Studies
International Periodical for the Languages, Literature and History of Turkish or Turkic
Volume 12/23, p. 41-54
DOI Number: http://dx.doi.org/10.7827/TurkishStudies.12252
ISSN: 1308-2140, ANKARA-TURKEY

Article Info/Makale Bilgisi
Referees/Hakemler: Doç. Dr. Ahmet ÖZMEN – Yrd. Doç. Dr. Fatih KELEŞ

This article was checked by iThenticate.

ETKİN ELDE SEÇMELİ KARMA TOPLAYICI DEVRELERİN TASARIMI

Özlem BATUR DİNLER[*] - Ahmet SERTBAŞ[**]

ÖZET

Farklı toplayıcı devrelerin birleştirilmesiyle oluşturulan karma toplayıcılar, çok geniş ölçekte tümleştirme (VLSI-Very Large Scale Integration) devre tasarımına uygun, temel ve önemli aritmetik işlem birimidir. Paralel toplama işlemine dayanan elde seçmeli toplayıcı (CSLA-Carry Select Adder) devreleri, düzenli ve modüler olması nedeniyle, karma toplayıcı devre tasarımlarında sıklıkla kullanılmaktadır. Bu nedenle, yüksek performanslı VLSI devre tasarımı için CSLA toplayıcıları büyük önem kazanmıştır. Bu durum, araştırmacıları CSLA tabanlı karma toplayıcı devrelerin tasarım algoritmalarını geliştirmeye yöneltmiştir.

Bu çalışmada, çeşitli elde iletimli toplayıcı devre yapılarını (CPA-Carry Propagate Adder), Temel Ünite (TU) ile birlikte kullanarak yüksek performanslı elde seçmeli (CSLA) karma toplayıcı devre tasarımları geliştirilmiştir. Bu amaçla, klasik elde iletimli toplayıcı yapıları olarak bilinen Elde Dalgalı Toplayıcı (RCA/ Ripple Carry Adder), Elde Atlamalı Toplayıcı (CSKA/Carry Skip Adder) ve Brent-Kung Paralel Önek Toplayıcı (paralel prefix adder) yapıları Temel Ünite (Basic Unit) ile birlikte kullanılarak karma toplayıcı devreleri oluşturulmuştur. Bu makalede incelenen CSLA/RCA-TU, CSLA/CLA-TU, CSLA/CSKA-TU ve CSLA/Brent_Kung-TU elde seçmeli karma toplayıcı devrelerinin 16 bit, 32 bit, 64 bit operand uzunlukları için devre tasarımları gerçeklenerek performans analizleri yapılmıştır. Bu çalışmada önerilen yeni Elde Seçmeli Karma Toplayıcı devrelerinin klasik Elde İletimli Toplayıcı ve klasik Elde Seçmeli Toplayıcı devrelerine göre daha etkin tasarımlar oldukları görülmüştür.

Anahtar Kelimeler: Elde Seçmeli Toplayıcı, Karma Toplayıcılar, Yüksek Performanslı Toplayıcılar, VLSI Tasarım.

[*] Arş. Gör. Siirt Üniversitesi Müh. Mimarlık Fak. Bilgisayar Müh. El-mek: baturrozlem@gmail.com
[**] Prof. Dr. İstanbul Üniversitesi Mühendislik Fakültesi Bilgisayar Mühendisliği Bölümü, El-kmek: asertbas@istanbul.edu.tr

DESIGN OF EFFICIENT HYBRID CARRY SELECT ADDERS

ABSTRACT

Hybrid adders that are formed by the combination of different adder circuits are basic and important arithmetic operation units suitable for the Very Large Scale Integration (VLSI) circuit design. Carry Select Adder (CSLA) circuits based on the parallel addition are frequently used in hybrid adder circuit designs due to their regularity and modularity. Therefore, CSLAs have gained great importance for the high-performance VLSI circuit design. This has led researchers to develop the design algorithms for CSLA-based hybrid adder circuits. In this study, high-performance Carry Select (CSLA) Hybrid Adder circuit designs were developed using different Carry Propagate Adder (CPA) circuits with the Basic Unit (BU). For this purpose, hybrid adder units were formed using Ripple Carry Adder (RCA), Carry Skip Adder (CSKA), and Brent-Kung Parallel Prefix Adder (PPA), which are known to be the classical carry propagate adders, with the Basic Unit (BU). In this article, circuit designs were realized for 16-bit, 32-bit, and 64-bit operand lengths of CSLA/RCA-BU, CSLA/CLA-BU, CSLA/CSKA-BU, and CSLA/Brent_Kung-BU carry select hybrid adder circuits, and their performance analyses were carried out. At the end of this work, it is observed that novel Carry Select Hybrid Adder circuits are more effective designs than classical Carry Propagate Adder or classical Carry Select Adder circuits.

STRUCTURED ABSTRACT

Since addition directly or indirectly affects most arithmetic operations, it is a very important factor for a high-performance adder circuit design. In the literature, interest to adder circuit designs was first shown in 1950, and various adder circuit designs have been developed since 1960. With this development, efficient addition algorithms have been improved, and high-performance adder circuits have been designed, and it has led to the emergence of computer systems with high-performance hardware/software.

An efficient high-performance adder circuit should have the best performance values in terms of latency, area, and power consumption. However, none of the adder circuits developed has high performance in terms of both latency and area. Therefore, in order to design efficient adder circuits, hybrid design have been proposed using adders that show a good performance in terms of latency and chip area.

In this study, it is aimed to develop hybrid adder circuit designs which are composed of various classic adder circuit structures with high-performance in terms of latency, area, and power consumption. Therefore, in this work, new hybrid adder models are presented based on the Carry Select Adder (CSLA) generated by using various Carry Propagate Adders (CPAs) in its circuit structure.

The Ripple Carry Adder (RCA), Carry Skip Adder (CSKA), and Brent-Kung Parallel Prefix Adder (PPA) were selected for the design of Carry

Select Adder (CSLA)-based new hybrid adder circuits. The new hybrid circuit models composed of the above-mentioned structures of Carry Propagate Adders (CPA) and parallel Basic Units (BU) are proposed in this study.

A new hybrid adder architecture with the Basic Units (BU) structure was first proposed by Sakthikumaran et al. (Sakthikumaran, Salivahanan, Bhaaskaran, Kavinilavu, Brindha, and Vinoth, *2011*). Thus, the best-performing adder circuit configuration was presented in the hybrid topology model of the Carry Select Adder (CSLA) and Ripple Carry Adder (RCA) structures presented by Sakthikumaran et al., *2011*. In this study, the boundaries of the BU structure in question are expanded, and new hybrid adder models are produced based on the carry select adder, composed of classic adder (RCA, CSKA and Brent Kung) structures. Thus, new hybrid topology circuit designs, which are symbolized as 16, 32, and 64-bit CSLA-RCA/BU, CSLA-CSKA/BU, and CSLA-Brent Kung/BU, are designed. The performances of all studied hybrid adder structures and the single classic adders used in the hybrid topologies are compared.

All circuit architectures designed in this study are coded in the Very High-Speed Integrated Circuit Hardware Description Language (VHDL) hardware programming language with the Quartus II program and simulated with the "EP2C70F896" tool of the Cyclone II FPGA family series. As the criteria for determining the performance analysis results to be obtained at the end of the simulation, the total performance (AxT) values, which are obtained by multiplying the latency (T = the longest carry propagate time), the chip area used (A = the total number of logic elements), and the latency and the area factor, are selected.

Since fewer gates are used in the Basic Unit circuit structure than the carry propagate adder circuits with the same bit length, both the chip area covered and the latency are smaller. For this reason, higher-performance designs are obtained with the newly proposed carry select-based hybrid adders compared to the carry select hybrid adders generated by the same type of carry propagate adder structures. On the other hand, although classic adders, composed of only a certain type of carry propagate adder, are more efficient than hybrid topologies in terms of latency or the area, they usually have worse performance in terms of the total performance.

In summary, the designs and performance analyses of the high-performance adder circuits are studied. For this purpose, 16, 32, and 64-bit hybrid adder circuit designs are simulated via the VHDL, and their performances are compared to the classic adders (CPA) in terms of the latency and the number of logic gates metrics.

According to the results obtained from the performance analyses of the hybrid adder structures examined, the following remarks are derived:

- When the performances of the RCA (classic), CSLA-RCA/RCA, and CSLA-RCA/BU (proposed) adder structures are compared, it is observed that the proposed hybrid topology for all bit lengths (16, 32, and 64 bits) is the adder with the lowest latency and highest total performance.

- When the performances of the CSKA (classical), CSLA-CSKA/CSKA, and CSLA-CSKA/BU (proposed) adder structures are compared, it is observed that the proposed hybrid topology for all bit lengths (16, 32, and 64 bits) has the lowest latency, but the total performance is the best for 16 and 64-bit lengths.
- When the performances of the Brent-Kung Prefix Adder (classic), CSLA-BK/BK, and CSLA-BK/BU (proposed) adder structures are compared, it is observed that the proposed hybrid topology for 16 and 32-bit lengths has the best total performance, and the lowest latency for 16-bit length but the poor total performance for 64-bit length.

As a future study, new hybrid adder topologies can be derived by differentiating the classic adders included in the hybrid adder structures examined in this study. By obtaining the performance analyses of these new topologies, adder circuit designs with a better performance in terms of the latency, chip area, and total performance criteria can be realized. Furthermore, the analytical expressions of the hybrid topologies examined can be obtained and the bit lengths to be selected for the latency behaviour and minimization of the number of elements used can be tried to be determined. Here, since the carry select adder grouping length is selected to be 8 bits, similar designs can be obtained for different bit lengths.

The expectation or target of the designer may be the design of a fast-operating and/ or cost-efficient circuit. Since it is generally aimed to minimize the total performance value based on the multiplication of both performance measures, it is considered that the hybrid topologies recommended may find an extensive application area.

In this study, to put simpler circuits instead of the classic parallel adders used in the carry select adder structure and try to minimize the total performance are aimed. It is estimated that if the Basic Units structure is designed to be 16-bit for 128-bit and larger bit adder design, higher total performance values can be achieved.

Keywords: Carry Select Adder, Hybrid Adder, High Performance Adder, VLSI Design.

1. Giriş

Toplama; mikroişlemcilerde, sayısal işaret işlemcilerinde ve uygulamaya özel tümleşik devrelerde veri işlenmesinde en çok kullanılan temel bir aritmetik işlemdir(Hepzibha ve Subha, 2016). Bilindiği gibi, toplama işlemi çıkarma, çarpma ve bölme gibi birçok farklı aritmetik işlemlerin eldesinde de kullanılmaktadır. Bu nedenle, aritmetik işlemcilerin (veya RISC işlemcilerin) gerçek performansı etkin toplayıcı devrelerin tasarımına bağlıdır(Chawla vd., 2016; Sakthikumaran vd., 2011). Öte yandan, etkin bir toplayıcı devresi gecikme süresi, kullanılan lojik kapı sayısı (devre alanı) ve güç tüketimi bakımından yüksek performanslı olmalıdır. Ancak bilinen toplayıcı devrelerinin hiçbiri hem gecikme süresi hem de devre alanı bakımından yüksek performans gösterememektedir. Bu nedenle, etkin toplayıcı devrelerin tasarımı, minimum gecikmeli toplayıcılar

ile minimum alanlı toplayıcıların üstünlüklerini tek bir yapıda birleştiren karma (hybrid) toplayıcı devrelerin tasarımını zorunlu kılmaktadır.

Yüksek performanslı toplayıcı devrelerinin çalışma hızı, elde bitinin en düşük değerlikli giriş basamağından en yüksek değerlikli çıkış basamağına taşınması için gerekli zamana (en uzun gecikme süresi) bağlıdır. Bu nedenle, bu çalışmada, düşük elde iletim zamanına sahip Elde Seçmeli Toplayıcı (CSLA) yapısı kullanılmıştır. Klasik CSLA toplayıcı yapısında, elde giriş değerinin '0' veya '1' olmasına bağlı olarak ara toplam sonucu ve elde değerini üretmek için birçok RCA çifti kullanılmaktadır(Anagha ve Pramod, 2015). Bunun doğal sonucu, yüksek performanslı (hızlı) CSLA ile oluşturulan çok sayıda RCA çiftinin kullanıldığı karma toplayıcı yapısı devre alanı bakımından kötü performans göstermektedir. Sonuç olarak, etkin CSLA tasarımı, RCA çiftlerinin yerine alan etkin farklı toplayıcı yapılarını kullanarak yüksek performanslı karma toplayıcı devrelerinin tasarımını gerektirmektedir.

Bu kısımda, CSLA tabanlı karma toplayıcı devre tasarımı üzerine literatürde yapılan çalışmalar özetlenmiştir:

Hemima ve Chrisjin Gnana Suji (2011)'de, CSLA'nın alan ve güç tüketimini önemli ölçüde azaltmak için basit ve etkili bir transistor seviyesi değişikliğine dayanarak yeni bir 4-bit CSLA mimarisi geliştirdiler(Hemima ve Chrisjin Gnana Suji, 2011). Önerilen tasarımın klasik CSLA'ya oranla hız performansı biraz kötüleşmesine rağmen, kullanılan alan ve güç tüketimini ise önemli ölçüde azalttığı görülmüştür.

Tamar ve arkadaşları (H.G. Tamar, A.G. Tamar, Hadidi, Khoei ve Hoseini, 2011) karma CLA / CSLA yapısına sahip 64 bitlik bir statik toplayıcı tasarımı gerçekleştirdiler(H.G. Tamar, A.G. Tamar, Hadidi, Khoei ve Hoseini, 2011). Bu toplayıcı geleneksel CSLA tasarımı ile kıyaslandığında daha düşük alan ve daha düşük güç tüketimi ile çalıştığı görülmüştür.

Parmar ve Singh (2013)'de, güç tüketimi ve alan bakımından verimli bir CSLA tasarlamak için çift RCA yerine tek bir RCA yapısı ve Binary Excess-1 Converter (BEC) devrelerini birlikte kullandılar (Parmar ve Singh, 2013).

Mugilvannan ve Ramasamy (2013), CSLA'nın alan ve güç tüketimini önemli ölçüde azaltmak için basit ve etkili bir şekilde transistor düzeyi değiştirilmiş bir Binary Excess-1 Converter (BEC) kullanarak 16-bit karekök CSLA (SQRT CSLA) mimarisi önerdiler(Mugilvannan ve Ramasamy, 2013).

Akbar ve Lee (2013), hata tespit yeteneğine sahip kendi kendini kontrol edebilen bir CSLA tasarımı gerçekleştirdiler (Akbar ve Lee, 2013).

Mohanty ve Patel (2014), klasik CSLA ve BEC tabanlı CSLA' da yer alan mantık işlemlerinin, veri bağımlılığını incelemek ve ihtiyaç fazlası mantık işlemlerini ortadan kaldırmak amacıyla yeni bir CSLA tasarımı yaptılar (Mohanty ve Patel,2014).

Rajesh ve Madhumalini (2014), alan ve güç tüketimi optimize olan CSLA tasarımı için değiştirilmiş bir BEC devresi ile RCA kombinezonundan oluşan karma toplayıcı devre önermişlerdir (Rajesh ve Madhumalini, 2014). Ayrıca, bu çalışmada, CSLA mimarisinin gecikme süresini azaltmak için RCA yapısı yerine CLA toplayıcıları kullanılmıştır.

G.R. Gokhale ve S.R. Gokhale (2015), CSLA tasarımını kullanarak alan ve gecikme süresi etkin olan çapraz ve dikey algoritmalara dayalı Vedik çarpanı tasarladılar(G.R. Gokhale ve S.R. Gokhale, 2015).

Soundharya ve Arunkumar (2015) ve G. Prasad, Parasad Nayak ve arkadaşları (2016), düşük güç tüketimi sağlayan Gate Diffusion Input (GDI) tabanlı CSLA tekniği ilk olarak önerilmiştir(Soundharya ve Arunkumar, 2015 ve G. Prasad, Parasad Nayak, Sachin, Kumar ve Saikumar, 2016). Önerilen teknikte düşük güç tüketimi, daha az elde yayılım gecikmesi ile devre için gerekli transistörlerin sayısı da en aza indirgenmiştir.

Potdukhe ve Jaiswal (2016) ,CSLA ve paralel önek toplayıcı yapısı ile yeni bir karma toplayıcı mimarisi amaçlamışlardır(Potdukhe ve Jaiswal, 2016). Bu çalışmada, 4 bit RCA toplayıcıları yerine 4-bit Brent Kung (BK) toplayıcı yapısı kullanılarak düşük güç tüketimi ve yüksek hızlı CSLA tabanlı karma toplayıcı tasarımı gerçeklenmiştir.

Chawla ve arkadaşları (Chawla, Aggarwal, Goel ve Bhatia, 2016), CLA yapısındaki elde üretim öncelik tekniğini ve CSLA' nın çoğullama tekniğini birleştiren bir toplayıcı mimarisi ortaya koydular(Chawla, Aggarwal, Goel ve Bhatia, 2016). Bu mimari ile gecikme zamanı ve enerji tüketimi optimize edilmiştir.

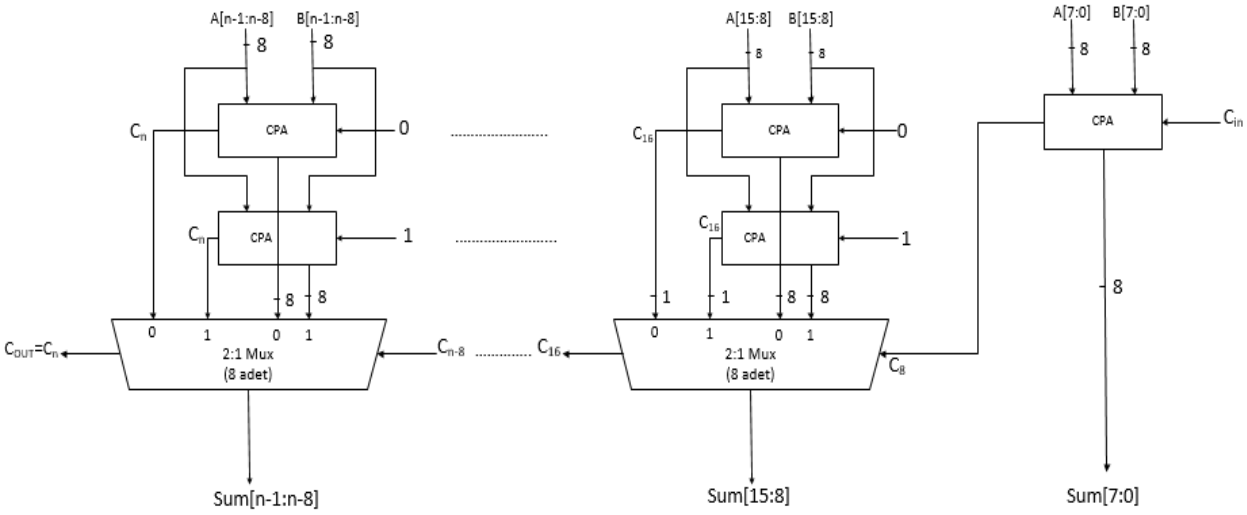
Patel ve arkadaşları (Patel, Chouksey ve Saxena, 2016) oldukça düşük gecikmeli CSLA yapısına dayalı FIR filtre tasarımı gerçekleştirdiler(Patel, Chouksey ve Saxena, 2016).

Ayık ve Kahveci (2017)'de, yüksek performanslı devre sistemlerinde hesaplama karmaşıklığını azaltmak amacıyla, ön hesaplama tekniğini kullanarak performans ve enerji tüketiminin iyileştirilmesine büyük katkı sağladığını belirtmişlerdir(Ayık ve Kahveci, 2017).

Bu çalışmada, çeşitli elde iletimli toplayıcıları (CPA) Temel Ünite (TU) ile birlikte kullanarak yüksek performanslı elde seçmeli (CSLA) karma toplayıcı devreleri tasarlanmıştır. Bu amaçla, klasik elde iletimli toplayıcı yapıları olarak bilinen Elde Dalgalı Toplayıcı (RCA), Elde Atlamalı Toplayıcı (CSKA) ve Brent-Kung Paralel Önek Toplayıcı yapıları Temel Ünite ile birlikte kullanılarak etkin karma toplayıcı devreleri oluşturulmuştur. Makalenin geri kalan kısmı aşağıdaki gibi düzenlenmiştir: Bölüm 2 de, klasik Elde Seçmeli devre yapısı verilmiştir. Bölüm 3'de, Sakthikumaran ve arkadaşları (Sakthikumaran, Salivahanan, Bhaaskaran, Kavinilavu, Brindha ve Vinoth, 2*011)* ,tarafından yapılan çalışmada önerilen Temel Ünite devre tasarımı, Bölüm 4 'te ise yeni önerilen Elde Seçmeli Toplayıcı devre yapıları sunulmuştur. Bölüm 5 'de, VHDL platformu kullanılarak önerilen devrelerin tasarımları yapılmıştır ve incelenen devrelerin performans analizleri elde edilmiştir. Bölüm 6'da ise, elde edilen sonuçlar verilmiştir.

2. Klasik Elde Seçmeli Toplayıcı Yapısı

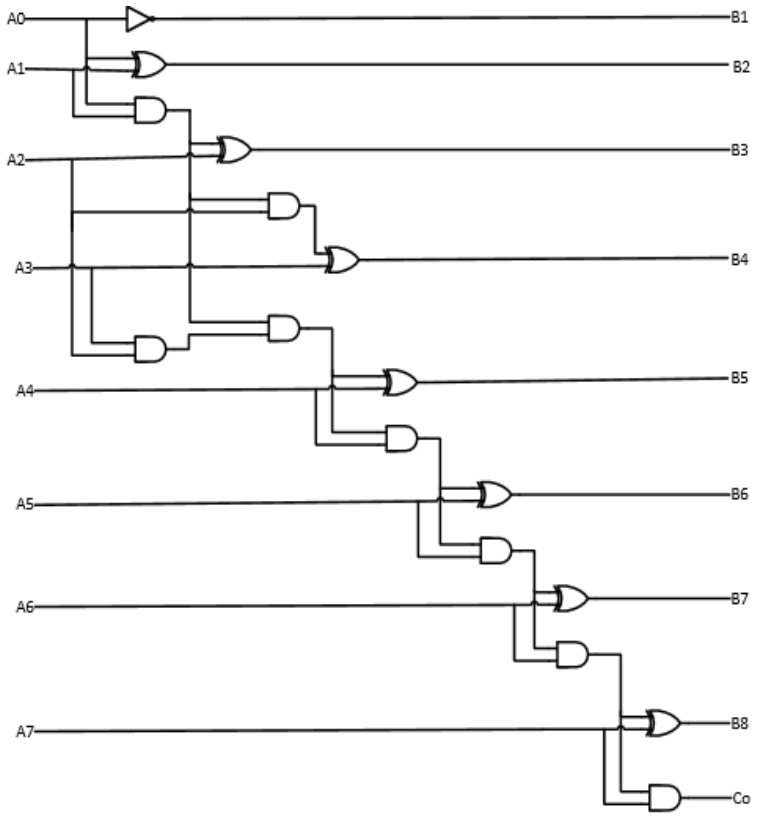
Bu bölümde, klasik olarak bilinen Elde Seçmeli Toplayıcı devre topolojisi genel yapısı verilmiştir. Şekil 1'de gösterildiği gibi, klasik elde seçmeli toplayıcı yapısı, aynı tür elde iletimli toplayıcı devreleri (RCA, CSKA ve Brent-Kung) ile oluşturulmuştur. Bu karma yapı, 8 bitlik bloklardan oluşmaktadır. Tasarımda, ilk 8-bitlik blok sadece tek seviyeli bir CPA, diğer bloklar ise iki seviyeli CPA kullanılarak gerçeklenmiştir.



Şekil 1: n-bitlik Klasik Elde Seçmeli Karma Toplayıcı genel yapısı.

3. Temel Ünite Yapısı (8-bit)

Sakthikumaran vd., 2*011,* çalışmasında verilen 4-bitlik Temel Ünite Yapısı (BU), bu çalışmamızda önerdiğimiz Elde Seçmeli Karma Toplayıcıda (Şekil 3) kullanılmak üzere 8-bit BU devresi olarak tasarlanmıştır (Şekil 2). Bu yapı 8 giriş – 9 çıkışlı artırıcı (incrementer) olarak bilinen bir kombinezonsal lojik devre tasarımına dayanmaktadır. Burada A7-A0 giriş bitlerini, B1-B8 çıkış bitlerini ve C0 ise elde bitini göstermektedir. Devre girişine gelen sayının 1 fazlasını çıkışta üretmektedir, cebirsel olarak ifade etmek gerekirse B=A+1 fonksiyonunu gerçekleştirmektedir. Burada Temel Ünite olarak adlandırılan devre literatürde Artırılmış İkili (Binary to Excess 1) ismi ile de bilinmektedir. Şekil 2'den de görüleceği üzere, Temel Ünite devre yapısı klasik CPA yapılarına göre sonuç karma toplayıcıda ciddi alan (chip area) kazancı sağlamaktadır.

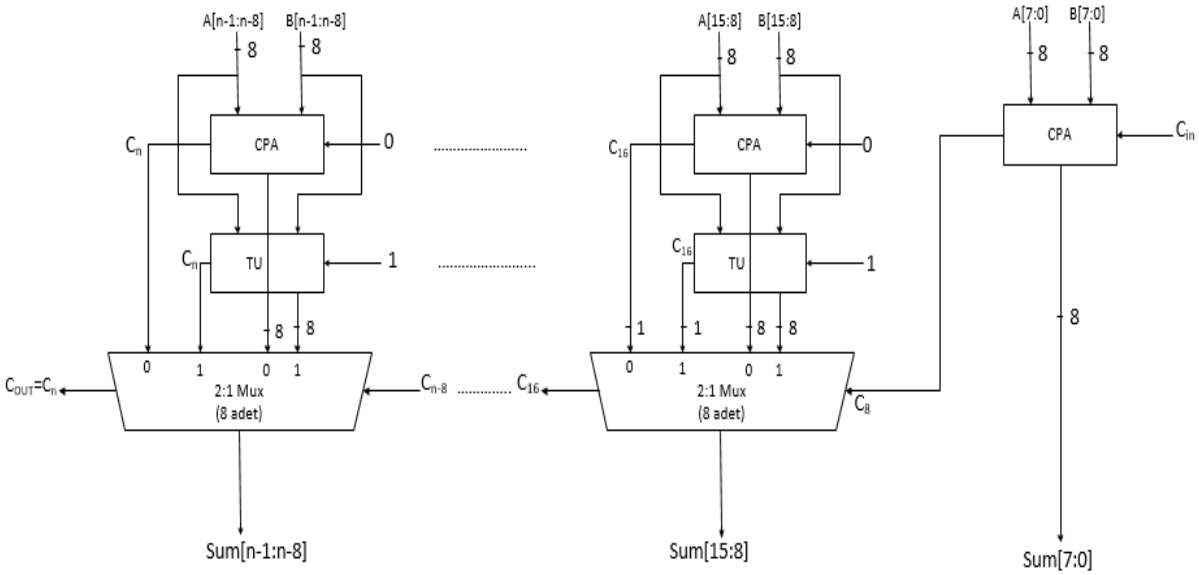


Şekil 2: 8-bitlik Temel Ünite (TU) yapısı.

4. Önerilen Elde Seçmeli Toplayıcı Devre Topolojisi

Bu çalışmada, genel yapısı Şekil 3'de verilen yeni bir etkin elde seçmeli karma toplayıcı topolojisi önerilmiştir. Şekil 3'de gösterilen devre topolojisinde, grup bit uzunlukları minumum gecikme açısından optimal çözüm üretecek şekilde seçilmiştir. Bu tasarımda blok uzunlukları farklı seçilerek yapılan denemeler sonucunda 8-bit gruplamanın optimum çözüm sağladığı görülmüştür. Bu nedenle, Sakthikumaran vd., 2*011*'de önerilen 4-bit Temel Ünite yerine, önceki bölümde tasarımı gösterilen 8-bit Temel Ünite devresi RCA, CSKA ve Brent-Kung paralel-önek toplayıcıları ile birlikte kullanılarak CSLA/RCA-TU, CSLA/CLA-TU, CSLA/CSKA-TU ve CSLA/Brent_Kung-TU karma toplayıcı devreleri oluşturulmuştur.

Önerilen elde seçmeli toplayıcıların etkinliğini göstermek amacıyla hem RCA, CSKA ve BK gibi klasik CPA (Elde İletimli Toplayıcı) yapıları, hem de Şekil 1'de verilen klasik elde seçmeli karma toplayıcı yapılarıyla 16 bit, 32 bit ve 64 bit operandlar için performans sonuçları (gecikme süresi, alan ve çarpımı ile elde edilen toplam performans değerleri) ile karşılaştırılmıştır. Bu çalışmada tasarımı gerçekleşen tüm devreler, Quartus II programında VHDL ile simule edilmiştir ve Cyclone II FPGA aile serisinin "EP2C70F896" aracı kullanılarak gerçeklenmiştir.



Şekil 3: n-bitlik Önerilen Elde Seçmeli Karma Toplayıcı devre genel yapısı.

5. Performans Analizi

Bu bölümde, bu çalışmada incelenen klasik toplayıcı (CPA) yapıları, klasik elde seçmeli karma toplayıcı yapıları (Şekil 1) ve önerdiğimiz elde seçmeli karma toplayıcı yapılarının (Şekil 3) performans analiz sonuçları sunulmuştur. Gerçeklenen toplayıcıların performanslarını belirlemede kullanılan ölçütler (metrics) devrenin girişten çıkışa en uzun gecikmesi (T) , kullanılan lojik kapı sayısı (A) ve bu iki ölçütün çarpımı ile oluşan toplam performans (AxT) değerleri olarak seçilmiştir.

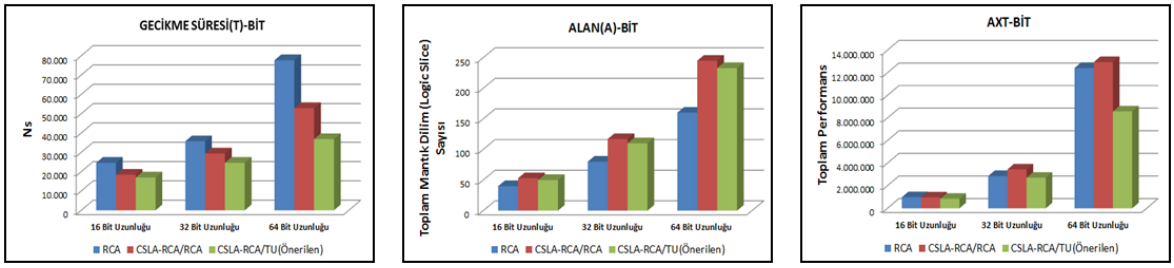
Tablo 1'de, klasik CPA, klasik Elde Seçmeli karma toplayıcılar ve önerilen Elde Seçmeli karma toplayıcıların performans analiz sonuçları verilmiştir. Şekil 4'de Grup 1: RCA, CSLA-RCA/RCA ve CSLA-RCA/TU (önerilen) toplayıcı devreleri için; Şekil 5'de Grup 2: CSKA, CSLA-CSKA/CSKA ve CSLA-CSKA/TU (önerilen) toplayıcı devreleri için; Şekil 6'da Grup 3: Brent-Kung paralel önek toplayıcı, CSLA-BK/BK ve CSLA-BK/TU (önerilen) toplayıcı devreleri için elde edilen performans sonuçlarının grafik gösterimleri verilmiştir. Tablo 2'de, çalışmamızda incelenilen toplayıcı grup üyeleri görülmektedir.

Tablo 1: Tasarımı gerçekleştirilen devrelerin performans analiz sonuçları.

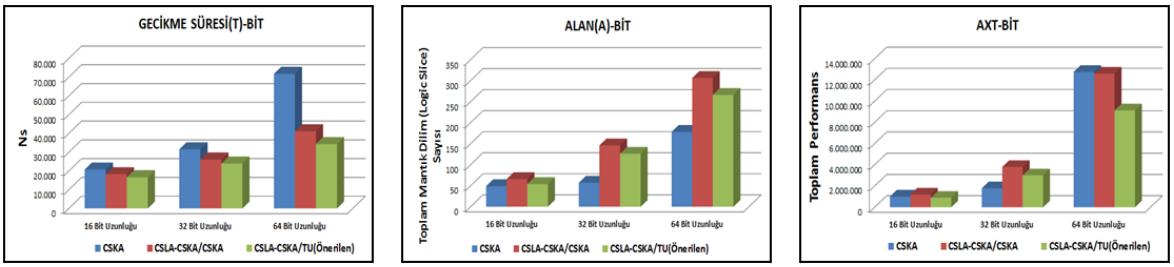
Bit Uzunluğu	Toplayıcı Yapıları	Gecikme Süresi (T) ns	Alan (A) slice number	Toplam Performans (A x T)
16 BİT	RCA[1]	24.550	40	982.000
	CSLA-RCA/RCA	18.337	53	971.861
	CSLA-RCA/TU	**16.972**	50	**848.6**
	CSKA[2]	20.736	49	1016.064
	CSLA-CSKA/CSKA	18.243	66	1204.038
	CSLA-CSKA/TU	**16.638**	54	**898.452**
	BK[3]	17.903	70	1253.21
	CSLA-BK/BK	17.033	73	1253.409
	CSLA-BK/TU	**16.481**	**63**	**1038.303**
32 BİT	RCA[1]	35.730	80	2858.4
	CSLA-RCA/RCA	29.411	117	3441.087
	CSLA-RCA/TU	**24.615**	110	**2707.65**
	CSKA[2]	31.510	57	1796.07
	CSLA-CSKA/CSKA	26.056	146	3804.176
	CSLA-CSKA/TU	**23.898**	126	3011.148
	BK[3]	22.592	144	3253.248
	CSLA-BK/BK	25.968	158	4102.944
	CSLA-BK/TU	23.794	**136**	**3235.984**
64 BİT	RCA[1]	77.653	160	12424.48
	CSLA-RCA/RCA	52.847	245	12947.515
	CSLA-RCA/TU	**36.829**	**233**	**8581.157**
	CSKA[2]	71.703	178	12763.134
	CSLA-CSKA/CSKA	41.151	306	12592.206
	CSLA-CSKA/TU	**34.319**	266	**9128.854**
	BK[3]	27.110	198	5367.78
	CSLA-BK/BK	38.405	312	11982.36
	CSLA-BK/TU	34.019	279	9491.301

Tablo 2. Grup Üyeleri.

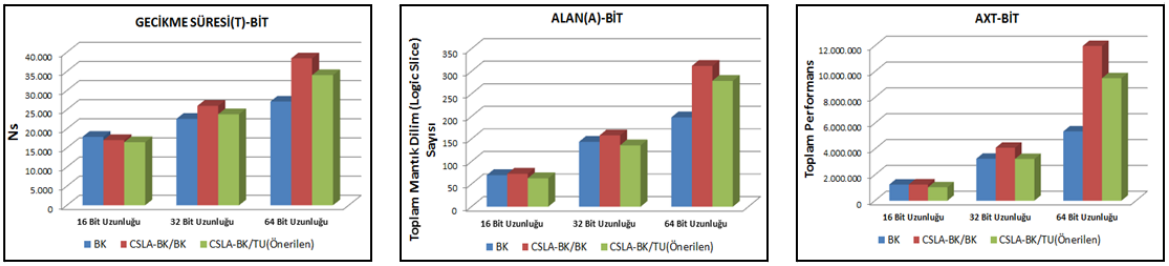
Gruplar	**Klasik CPA Toplayıcı**	**Klasik Karma Toplayıcı**	**Önerilen Karma Toplayıcı**
Grup 1	RCA	CSLA-RCA/RCA	CSLA-RCA / TU
Grup 2	CSKA	CSLA-CSKA/CSKA	CSLA-CSKA / TU
Grup 3	Brent-Kung	CSLA-BK/BK	CSLA-BK / TU



Şekil 4: RCA, CSLA-RCA/RCA, CSLA-RCA/TU gecikme süresi, alan ve toplam performans–bit grafiği.



Şekil 5: CSKA, CSLA-CSKA/CSKA, CSLA-CSKA/TU gecikme süresi, alan ve toplam performans–bit grafiği.



Şekil 6: BK, CSLA-BK/BK, CSLA-BK/TU gecikme süresi, alan ve toplam performans–bit grafiği.

6. Sonuçlar

Bu çalışmada, yeni ve etkin elde seçmeli karma toplayıcı devre tasarımları ve performans analizleri yapılmıştır. Bu amaçla, incelenen tüm 16, 32 ve 64 bit uzunluklu toplayıcı devre tasarımları VHDL ortamında simüle edilerek doğrulanmıştır ve FPGA üzerinde sentezlenerek gecikme (ns) ve lojik kapı sayısı (slice number) ölçütlerine göre performansları karşılaştırılmıştır. Çalışmada, (Sakthikumaran vd., *2011)* 'de sunulan CSLA-RCA karma (hybrid) modelinden hareketle daha iyi performans gösteren etkin elde seçmeli karma toplayıcı devre konfigürasyonları ortaya konulmuştur. Toplayıcı operand bit uzunluğu 8-bitlik gruplara ayrılarak 8-bit bloklar halinde tasarımlanmıştır. Böylelikle 16, 32 ve 64 bitlik CSLA-RCA/TU, CSLA-CSKA/TU ve CSLA-Brent Kung/TU seklinde simgelenen yeni karma toplayıcı devre tasarımları gerçekleştirilmiştir.

Bu çalışmada incelenen klasik CPA, klasik CSLA karma ve önerilen CSLA karma devrelerinin performansları Tablo 3'de grup düzeninde verilmiştir. Buna göre; Grup 1 üyelerinin performansları karşılaştırıldığında, bütün bit uzunlukları için (16-32 ve 64 bit) önerilen karma topolojinin **(CSLA-RCA/TU**) en düşük gecikmeli ve en iyi toplam performansa sahip toplayıcı olduğu; Grup 2 üyeleri içinde, bütün bit uzunlukları için (16-32 ve 64 bit) önerilen karma topolojinin (**CSLA-CSKA/TU**) en düşük gecikmeli olduğu, 16 ve 64 bit uzunlukları için toplam performansının en iyi olduğu; Grup 3 üyeleri arasında ise, 16 ve 32 bit uzunlukları için önerilen karma topolojinin **(CSLA-BK/TU**) en iyi toplam performansa sahip olduğu, 16 bit için en düşük gecikmeye sahip olduğu ve 64 bit uzunluğu için toplam performansının kötü olduğu görülmüştür.

Ayrıca 16 bit toplayıcı tasarımı için CSLA-BK/TU en hızlı ve CSLA-RCA/TU yapısı ise en iyi toplam performans gösteren toplayıcı yapıları olduğu tespit edilmiştir.

Yüksek bit uzunluklu (32, 64, 128 bit) karma toplayıcı tasarımları için TU (Temel Ünite) blokları 8-bitten daha büyük seçildiğinde (16 bit gibi) kullanılan toplam kapı sayısı (çip alanı) çalışmada seçilen 8 bit bloklu TU yapısına göre bağıl olarak daha az olacağından çip alanı ve toplam performansı iyileştirici bir etki yapması beklenmektedir. Bu kapsamda, özellikle 64 bit Brent Kung ve TU kullanarak çalışmada elde edilen kötü performansı iyileştirmek için TU 16 bit blok uzunluklu seçilmesi ve diğer karma yapılarının performanslarının 16 bit TU blokları yerleştirilerek yeniden belirlenmesi gelecek çalışmalarda incelenmesi önerilmektedir.

Tablo 3: En iyi performanslı toplayıcı devreler.

Bit Uzunluğu	Performans Ölçütleri / Toplayıcı Grupları	Minimum Gecikme Süresi (T)	Minimum Alan (A)	Toplam en iyi Performans A x T
16 BİT	Grup 1	**CSLA-RCA/TU**	RCA	**CSLA-RCA/TU**
	Grup 2	**CSLA-CSKA/TU**	CSKA	**CSLA-CSKA/TU**
	Grup 3	**CSLA-BK/TU**	**CSLA-BK/TU**	**CSLA-BK/TU**
32 BİT	Grup 1	**CSLA-RCA/TU**	RCA	**CSLA-RCA/TU**
	Grup 2	**CSLA-CSKA/TU**	CSKA	CSKA
	Grup 3	BK	**CSLA-BK/TU**	**CSLA-BK/TU**
64 BİT	Grup 1	**CSLA-RCA/TU**	RCA	**CSLA-RCA/TU**
	Grup 2	**CSLA-CSKA/TU**	CSKA	**CSLA-CSKA/TU**
	Grup 3	BK	BK	BK

Sonuç olarak, aynı tür CPA yapıları kullanılarak oluşturulan elde seçmeli karma toplayıcılarına (CSLA- CPA/CPA) göre yeni önerilen elde seçmeli karma toplayıcılar (CSLA-CPA/TU) ile daha yüksek performanslı toplayıcı devre tasarımları elde edilmiştir. Tasarımcının beklentisi ya da hedefi hızlı işlem yapan ve/veya ucuz maliyetli devre tasarımı olabilir. Bununla birlikte, genel tasarımlarda, her iki performans ölçütünün çarpımına dayalı toplam performans değerinin minimize edilmesi hedeflendiğinden önerilen toplayıcı devrelerinin uygulama alanı bulabileceği düşünülmektedir.

İleriye dönük çalışma olarak, bu çalışmada incelenen Elde İletimli Toplayıcılar (CPA) farklılaştırılarak yeni elde seçimli karma toplayıcı topolojileri incelenebilir. Bu yeni topolojilerin performans analizleri elde edilerek gecikme, çip alanı ve toplam performans kriterleri açısından daha iyi performanslı daha etkin toplayıcı devre tasarımları yapılabilir. Ayrıca incelenen karma

topolojilerin analitik ifadeleri elde edilerek gecikme davranışı ve kullanılan eleman sayısının minimizasyonu için seçilecek bit uzunlukları belirlenmeye çalışılabilir.

KAYNAKÇA

Akbar, M.A. ve Lee, J-A. (2013). Self-Checking Carry Select Adder with Fault Localization. Euromicro Conference on Digital System Design, IEEE Conference Publications, 863-869.

Anagha, U.P. ve Pramod, P. (2015). Power and area efficient carry select adder. IEEE Recent Advances in Intelligent Computational Systems (RAICS),17-20.

Ayık, Y.Z. & Kahveci, F.(2017). Ön Hesaplama Tekniğinin Bilişim Sistemlerinde Kullanım Amaçlarına Göre Sınıflandırılması/ Classification of Pre-Computation Technique According to Purposes in Information Systems, *Turkish Studies -International Periodical for the Languages, Literature and History of Turkish or Turkic Volume 12/3*, p. 593-606, *ISSN: 1308-2140,* www.turkishstudies.net, DOI Number: http://dx.doi.org/10.7827/TurkishStudies.11592_, ANKARA-TURKEY.

Brent Kung carry select adder. 10th International Conference on Intelligent Systems and Control(ISCO), IEEE Conference Publications,1-5.

Chawla, S.S., Aggarwal, S., Goel, N. ve Bhatia, M.S. (2016). Design and implementation of a power and speed efficient carry select adder on FPGA. 3rd International Conference on Computing for Sustainable Global Development (INDIACom), IEEE Conference Publications, 571-576.

Gokhale, G.R. ve Gokhale, S.R. (2015). Design of Area and Delay Efficient Vedic Multiplier Using Carry Select Adder. International Conference on Information Processing (ICIP),Vishwakarma Institute of Technology, IEEE Conference Publications, 295-300.

Hemima, R. ve Chrisjin Gnana Suji, C. (2011). Design of 4 Bit Low Power Carry Select Adder. Proceedings of 2011 International Conference on Signal Processing, Communication, Computing and Networking Technologies (ICSCCN), IEEE Conference Publications, 685-688.

Hepzibha, K.G. ve Subha, C.P. (2016). A novel implementation of high speed modified

Mohanty, B. K. ve Patel, S. K. (2014). Area–Delay–Power Efficient Carry-Select Adder. IEEE Transactions on Circuits and Systems II: Express Briefs, 61(6), 418-422.

Mugilvannan, L. ve Ramasamy, S. (2013). Low-Power and Area-Efficient Carry Select Adder Using Modified BEC-1 Converter. Fourth International Conference on Computing, Communications and Networking Technologies (ICCCNT), IEEE Conference Publications, 1-5.

Parmar, S. ve Singh, K.P. (2013). Design of High Speed Hybrid Carry Select Adder. IEE International Advance Computing Conference(IACC), 1656-1663.

Patel, D.K., Chouksey, R. ve Saxena, M. (2016). Design of Fast FIR Filter Using Compressor and Carry Select Adder. 3rd International Conference on Signal Processing and Integrated Networks (SPIN), IEEE Conference Publications, 460-465.

Potdukhe, P.P. ve Jaiswal, V.D. (2016). Design of High Speed Carry Select Adder Using Brent Kung Adder. International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT), IEEE Conference Publications, 652-655.

Prasad, G., Parasad Nayak, V.S., Sachin, S., Kumar, K. L. ve Saikumar, S. (2016). Area and Power Efficient Carry- Select Adder. IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology(RTEICT),India,1897-1901.

Rajesh, A. ve Madhumalini, M. (2014). An Efficient Structure of Carry Select Adder. International Conference on Green Computing Communication and Electrical Engineering(ICGCCEE), IEEE Conference Publications, 1-5.

Sakthikumaran, S., Salivahanan, S., Bhaaskaran, V.S.K., Kavinilavu, V., Brindha, B. ve Vinoth, C. (2*011). A* very fast and low power carry select adder circuit. 3rd International Conference on Electronics Computer Technology, IEEE Conference Publications, (1), 273-276.

Soundharya, M. ve Arunkumar, R. (2015). GDI Based Area Delay Power Efficient Carry Select Adder. Online International Conference on Green Engineering and Technologies (IC-GET), IEEE Conference Publications, 1-5.

Tamar, H.G., Tamar, A.G., Hadidi, K., Khoei, A. ve Hoseini, P. (2011). High Speed Area Reduced 64-bit Static Hybrid Carry-Lookahead/Carry-Select Adder. IEEE International Conference on Electronics, Circuits, and Systems, 460-463.