İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

YÜKSEK ÇÖZÜNÜRLÜKLÜ, DİRENÇ DİZESİ TİPLİ SAYISALDAN ANALOĞA DÖNÜŞTÜRÜCÜLERDE DİNAMİK HATA MEKANİZMALARININ İNCELENMESİ

YÜKSEK LİSANS TEZİ

Emre TOPÇU

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

HAZİRAN 2012

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

YÜKSEK ÇÖZÜNÜRLÜKLÜ, DİRENÇ DİZESİ TİPLİ SAYISALDAN ANALOĞA DÖNÜŞTÜRÜCÜLERDE DİNAMİK HATA MEKANİZMALARININ İNCELENMESİ

YÜKSEK LİSANS TEZİ

Emre TOPÇU
(504091239)

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

Tez Danışmanı: Yrd. Doç. Dr. Türker KÜYEL

HAZİRAN 2012

İTÜ, Fen Bilimleri Enstitüsü'nün 504091239 numaralı Yüksek Lisans Öğrencisi **Emre TOPÇU**, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı **"YÜKSEK ÇÖZÜNÜRLÜKLÜ, DİRENÇ DİZESİ TİPLİ SAYISALDAN ANALOĞA DÖNÜŞTÜRÜCÜLERDE DİNAMİK HATA MEKANİZMALARININ İNCELENMESİ"** başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı :	**Yrd. Doç. Dr. Türker KÜYEL** İstanbul Teknik Üniversitesi	.....
Jüri Üyeleri :	**Prof. Dr. Ece OLCAY GÜNEŞ** İstanbul Teknik Üniversitesi	.....
	Yrd. Doç. Dr. Zehra ÇATALTEPE İstanbul Teknik Üniversitesi	.....

Teslim Tarihi : **04 Mayıs 2012**
Savunma Tarihi : **07 Haziran 2012**

Aileme,

ÖNSÖZ

Tez çalışmam süresince desteğini hiçbir zaman esirgemeyen, her ihtiyacım olduğunda yenilikçi fikirleriyle çalışmaya yön veren danışmanım Türker KUYEL'e teşekkür ederim.

Bu çalışmayı başından beri destekleyen Ericsson Mikroelektronik Tasarım Merkezi RFIP takım arkadaşlarıma ve özellikle yöneticilerim Aslı ARSLAN EŞME ve Erdem KARAADAM'a teşekkür ederim.

Tübitak BİDEB'e vermiş olduğu destek ve burs sebebiyle çok teşekkürler.

Son olarak da, bütün eğitim hayatım ve bu tez çalışmam süresince maddi manevi beni destekleyen, her zaman yanımda olan aileme sonsuz teşekkürlerimi sunarım.

Mayıs 2012

Emre TOPÇU
(Elektronik Mühendisi)

İÇİNDEKİLER

Sayfa

ÖNSÖZ ..... **vii**
İÇİNDEKİLER ..... **ix**
KISALTMALAR ..... **xi**
ÇİZELGE LİSTESİ ..... **xiii**
ÖZET ..... **xix**
SUMMARY ..... **xxi**
1. GİRİŞ **1**
1.1. Veri Dönüştürücüsü Mimarileri 1
1.2. Motivasyon 1
1.3. Genel Direnç Dizesi DAC Mimarisi 3
1.4. Yüksek Hızlı, Yüksek Çözünürlüklü DAC Mimarileri 5
1.5. Tez Organizasyonu 12
2. TEST DÜZENEĞİ **13**
2.1. Genel Bilgiler 13
2.2. Analog – Sayısal Birlikte Test Düzeneği 16
2.3. Saat Frekansı Etkisi 19
2.4. ADEXL Çalışma Ortamı 20
3. DAC DİNAMİK HATA MEKANİZMALARI **23**
3.1. Hata Mekanizması 1: Koda Bağlı OPAMP Giriş Kapasitesi Etkisi 24
3.2. Hata Mekanizması 2: Koda Bağlı Eşdeğer Direnç Etkisi 26
3.3. Anahtar Hata Mekanizmaları 35
3.3.1. Hata mekanizması 3: sabit V_{GS} 35
3.3.2. Hata mekanizması 4: sabit V_{BS} 39
3.3.2.1. Gövde – kaynak bağlantı problemi ve sabit V_{BS} mimarisi 41
3.3.3. Hata mekanizması 5: lineer olmayan C_{GD} overlap kapasitesi etkisi 42
3.3.4. Hata mekanizması 6: yük enjeksiyonu ve clock feedthrough etkisi 51
3.3.5. Hata mekanizması 7: anahtar zamanlaması etkileri 54
3.3.6. Hata mekanizması 8: açık anahtarlar için lineer olmayan C_{GS} overlap kapasitesi etkisi 56
4. DAC TASARIMI **59**
4.1. R-String Tasarımı 59
4.2. Birinci ve İkinci Kat Anahtarların Tasarımı 60
4.3. OPAMP Giriş Anahtarları Tasarımı 68
5. SONUÇ **71**
KAYNAKLAR **75**
EKLER **77**
EK A 78
EK B 80
EK C 81
ÖZGEÇMİŞ **83**

KISALTMALAR

DAC **:** Digital-to-Analog Converter
ADC **:** Analog-to-Digital Converter
OPAMP **:** Operational Amplifier
CMOS **:** Complementary Metal Oxide Semiconductor
DFT **:** Discrete Fourier Transform
SFDR **:** Spurious Free Dynamic Range
THD : Total Harmonic Distortion
IMD : Intermodulation Distortion
DC **:** Direct Current
FFT **:** Fast Fourier Transform
SAR **:** Successive Approximation
NMOS **:** N type Metal Oxide Semiconductor
dB **:** Decibel
IOPAMP **:** Interpolator Operational Amplifier
AMS **:** Analog Mixed Signal
INL **:** Integral Non-Linearity
DNL **:** Differential Non-Linearity
ADEXL **:** Analog Design Environment XL
PMOS **:** P type Metal Oxide Semiconductor

ÇİZELGE LİSTESİ

Sayfa

Çizelge 3.1 : SFDR'ın RC zaman sabitine göre değişimi. 25
Çizelge 3.2 : R-String çıkışının V_{x1}'den V_{x2}'ye geçerken anahtarlardaki yük değişimi 55
Çizelge 3.3 : vhi ve vlo düğümlerinde 40 ps süreyle yüksek empedans oluşturacak zamanlama çizelgesi. 57
Çizelge 3.4 : vhi ve vlo düğümlerinin 40 ps süreyle iki farklı kaynak tarafından sürülmesine sebep olacak zamanlama çizelgesi. 58
Çizelge 4.1 : Transistör geçit gerilimlerinin sayısal devreden alındığı durumdaki DAC'ın SFDR performası. 64
Çizelge 4.2 : Transistör geçit gerilimleri için sabit VGS yapısının direnç dizesi ile oluşturulması durumdaki DAC'ın SFDR performansı. 64
Çizelge 4.3 : Transistör geçit gerilimleri için sabit V_{GS} yapısının ideal model ile oluşturulması durumundaki DAC'ın SFDR performansı 64
Çizelge 4.4 : Açık ve kapalı anahtarlar için sabit V_{GS} mimarisine sahip DAC'ın SFDR performansı. 65
Çizelge 4.5 : V_{GS} ve sabit V_{BS} yapısı ile SFDR performansı. 66
Çizelge 4.6 : Sabit V_{BS} yapısının DC kutuplama ile yapılması durumunda SFDR performansı 67
Çizelge 4.7 : Sabit V_{GD} yapısının SFDR'a etkisi. 67
Çizelge 4.8 : İdeal sabit V_{GS} yapısı varken yük enjeksiyonunu iki katına çıkarmanın SFDR performansına etkisi. 68
Çizelge 4.9 : İdeal sabit V_{GS} yapısı ile transistör boyutları 4 katına çıkartılıp, overlap kapasiteleri sıfırlandığında SFDR performansı. 68
Çizelge 4.10 : İdeal sabit V_{GS} yapısı varken overlap kapasitelerinin sıfırlanmasını SFDR'a etkisi. 69
Çizelge 4.11 : İdeal sabit V_{GS} yapısı ile ideal direnç dizesi varken DAC SFDR performansı. 69
Çizelge 4.12 : Anahtar boyutlarının SFDR'a etkisi. 70
Çizelge 4.13 : OPAMP giriş anahtarlarının gövdesinin toprağa bağlanması durumundaki SFDR performansı. 72
Çizelge 4.14 : Herşey gerçek devre iken DAC SFDR performansı. 72
Çizelge 5.1 : Hata mekanizmalarının baskınlık dereceleri. 74

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1: Sayısal – analog düzlemleri arası işaret dönüşümü. 1
Şekil 1.2: Akım yönlendirmeli DAC genel mimarisi. 2
Şekil 1.3: Gerilim çıkışlı direnç dizesi DAC genel mimarisi. 3
Şekil 1.4: Basit bir 10-bit R-String DAC mimarisi. 4
Şekil 1.5: Şekil 1.4'deki mimarinin 200 KHz çıkış işareti ve çıkış işaretinin SFDR grafiği. 4
Şekil 1.6: Şekil 1.4'deki mimarinin 1 MHz çıkış işareti ve çıkış işaretinin SFDR grafiği. 5
Şekil 1.7: İkinci bir direnç dizisi ile yüksek çözünürlüklü DAC mimarisi. 6
Şekil 1.8: Yüksek hızlı direnç dizesi mimarisi. 7
Şekil 1.9: 10-bit yüksek hızlı DAC mimarisi. 8
Şekil 1.10: 10-bit direnç dizesi ve 6-bit I-OPAMP ile birlikte 16-bit DAC mimarisi. 8
Şekil 1.11: Ara Dolduran OPAMP (I-OPAMP) mimarisi. 9
Şekil 1.12: 16-bit gerilim çıkışlı DAC mimarisi. 10
Şekil 1.13: 200 KHz çıkış işareti için Şekil 1.12 mimarisinin spektrumu. 11
Şekil 1.14: 1 MHz çıkış işareti için Şekil 1.12 mimarisinin spektrumu. 11
Şekil 1.15: Şekil 1.12 mimarisinin çıkış frenaksına bağlı SFDR performans grafiği. 11
Şekil 1.16: Bu çalışma sonucunda tasarlanan DAC'ın çıkış frekansına bağlı SFDR performans grafiği. 12
Şekil 2.1: SFDR analizi için test devresi. 14
Şekil 2.2: Şekil 2.1'deki "dac_top" ve "dac_16bit_ideal" bloklarına ait spektrum grafikleri. 15
Şekil 2.3: 1024 nokta için örnek bir INL simülasyon sonucu. 16
Şekil 2.4: Şekil 2.3'de gösterilen DAC çıkışına ait INL grafiği. 16
Şekil 2.5: R-String hata mekanizması analiz konfigürasyonu. 17
Şekil 2.6: Hiyerarşi editör örnek görüntüsü. 18
Şekil 2.7: Analog – sayısal düzlemler arasına konulan bağlantı elemanları. 19
Şekil 2.8: 1 MHz'lik işaretin 32 MHz saat işareti kullanılması durumdaki DFT görüntüsü. 20
Şekil 2.9: 1 MHz'lik işaretin 64 MHz saat işareti kullanılması durumdaki DFT görüntüsü. 20
Şekil 2.10: ADEXL çalışma ortamı. 22
Şekil 3.1: İdeal DAC ve RC devresi. 23
Şekil 3.2: Şekil 3.3'deki koda bağlı OPAMP giriş kapasitesinin SFDR'a etkisi. 24
Şekil 3.3: Koda bağlı OPAMP giriş kapasitesi analiz konfigürasyonu. 25
Şekil 3.4: Kod bağımsız DAC mimarisinin SFDR performansı. 26
Şekil 3.5: Kod bağımsız OPAMP giriş kapasitesi ile DAC mimarisi. 27
Şekil 3.6: Yüksek hızlı R-String mimarisi. 28
Şekil 3.7: R-String eşdeğer devresi. 30
Şekil 3.8: Koda bağlı eşdeğer direncin değişimi. 30

Şekil 3.9: R-String koda bağlı eşdeğer direnç analiz konfigürasyonu. 31
Şekil 3.10: Koda bağlı eşdeğer direnç hata mekanizmasının SFDR üzerindeki etkisi. 32
Şekil 3.11: Kod bağımsız eşdeğer direnç için kompanzasyon direnç paterni. 32
Şekil 3.12: Kod bağımsız eşdeğer direnç SFDR analiz konfigürasyonu. 33
Şekil 3.13: Eşdeğer direnç kompanzasyonuyla birlikte SFDR performası. 33
Şekil 3.14: 20 Ω hassasiyetle yapılan direnç kompanzasyonuyla birlikte SFDR performansı. 34
Şekil 3.15: 100 Ω hassasiyetle yapılan direnç kompanzasyonuyla birlikte SFDR performansı. 34
Şekil 3.16: Koda bağlı NMOS iletim direncini hesaplayabilmek için test düzeneği. 36
Şekil 3.17: Koda bağlı NMOS anahtarların iletim dirençlerinin değişimi. 36
Şekil 3.18: Koda bağlı V_{GS} geriliminin SFDR'a etkisini gösteren test düzeneği. 37
Şekil 3.19: Şekil 3.18'daki A ve E düğümlerinin frekansa göre SFDR performası. ..38
Şekil 3.20: Kod bağımsız V_{GS} yapısının SFDR üzerindeki etkisini gösteren test düzeneği. 38
Şekil 3.21: Kod bağımsız V_{GS} yapısının SFDR performansına etkisi. 39
Şekil 3.22: Sabit V_{GS} yapısında gövde etkisi sebebiyle iletim direncinin koda bağlı değişimi. 39
Şekil 3.23: Sabit V_{GS} ve V_{BS} yapıları ile hazırlanan test düzeneği. 40
Şekil 3.24: Sabit V_{GS} ve V_{BS} yapısının SFDR performansına etkisi. 40
Şekil 3.25: Gövde – kaynak bağlantılı anahtar yapısı. 41
Şekil 3.26: Sabit V_{GS} ve sabit V_{BS} yapıları için blok diyagram. 42
Şekil 3.27: Lineer kapasite büyüklüğünün SFDR performansına etkisi. 43
Şekil 3.28: Yük olarak ideal kapasite yerine kapalı anahtar kullanılan test düzeneği. 43
Şekil 3.29: Kapalı 31 transistor yükünün SFDR performansına etkisi. 44
Şekil 3.30: Overlap kapasitesinin V_{GD}'ye göre değişimi [12]. 44
Şekil 3.31: Tez çalışmasında kullanılan tranzistörün overlap kapasitesinin V_{GD}'ye göre değişimi. 45
Şekil 3.32: C_{DB} diyot kapasitesinin V_{DB}'ye göre değişimi. 46
Şekil 3.33: Açık anahtarların parazitik kapasite analizi için test düzeneği. 46
Şekil 3.34: Açık anahtarlar için sabit V_{GD}, kapalı anahtar için sabit V_{GS} mimarisi ..47
Şekil 3.35: Koda bağlı PMOS transistörün parazitik kapasite analizi için test düzeneği. 48
Şekil 3.36: PMOS transistörün C_{DG} overlap kapasitesinin V_{DG}'ye göre değişimi. ...49
Şekil 3.37: Kod bağımsız C_{GD} kapasitesi için PMOS yük ekleme test düzeneği. 49
Şekil 3.38: C düğümündeki toplam parazitik kapasitenin V_D'ye göre değişimi. 50
Şekil 3.39: PMOS yük ekleme yönteminin SFDR performansına etkisi. 50
Şekil 3.40: İdeal bloklar ve gerçek ikinci kat anahtarlara oluşturulan konfigürasyona ilişkin frekans spektrumu. 52
Şekil 3.41: Clock feedthrough'dan izole edilmiş, ideal bloklar ve gerçek ikinci kat anahtarlarla oluşturulan konfigürasyona ilişkin frekans spektrumu. .52
Şekil 3.42: İki farklı kod için örnek anahtarlar. 55
Şekil 3.43: Birinci kat anahtarlar için sabit V_{GD} yapısı yerine sabit V_{GS} ve sabit V_{GD} mimarisi önerisi. 56
Şekil 4.1: 10-bit R-String DAC tasarımı. 60
Şekil 4.2: Kod bağımsız V_{GS} mimarisi. 61
Şekil 4.3: Kod bağımsız V_{BS} mimarisi. 63

Şekil 4.4: DC kutuplama ile kod bağımsız V_{BS} mimarisi. 64
Şekil 4.5: İnterpolasyon OPAMP DAC ve çoklayıcı yapısı. 68
Şekil 4.6: Çoklayıcı anahtar mimarisi tasarımı. 69
Şekil 5.1: Bu tez çalışmasında önerilen 16-bit DAC mimari şeması. 73

YÜKSEK ÇÖZÜNÜRLÜKLÜ, DİRENÇ DİZESİ TİPLİ SAYISALDAN ANALOĞA DÖNÜŞTÜRÜCÜLERDE DİNAMİK HATA MEKANİZMALARININ İNCELENMESİ

ÖZET

Sayısal – analog dönüştürücüler (Digital-to-Analog Converters / DAC) sayısal düzlemdeki işaretleri analog düzleme çevirirken, analog – sayısal dönüştürücüler (Analog-to-Digital Converters / ADC) analog düzlemdeki işaretleri sayısal düzleme çevirirler.

Direnç dizesi gerilim çıkışlı DAC mimarisi genel olarak her bir sayısal girişe karşılık direnç dizesinin farklı bir noktasından gerilim seçer ve çıkıştaki yük bir çıkış tamponuyla sürülür. Bu mimariler monoton ve oldukça hassas yerleşme karakteristiklerine sahipken çözünürlük ve hız problemleri vardır. Yüksek hızlı direnç dizesi ve ara değer bulan OPAMP (operational amplifier) mimarilerinin bulunmasıyla yüksek hız ve çözünürlükte direnç dizesi gerilim çıkışlı DAC tasarımları yapılabilmiştir. Üretim sırasında meydana gelen statik hatalar ve uyumsuzluklar, lazer kırpma ve sayısal kalibrasyon teknikleriyle çözüm bulmuş olsa da bu mimarilerin dinamik hata mekanizmaları henüz çözüm bulmamıştır.

Bu tez çalışmasında direnç dizesi gerilim çıkışlı DAC mimarisinin dinamik hata mekanizmaları incelenecektir. Analizler için test düzenekleri Cadence platformunda, BSIM 3.3 modelleri ve 0.15um 1.8V-3.3V CMOS teknolojisi kullanılarak oluşturulmuştur. Test düzenekleri sadece tek bir hata mekanizması devrede olacak şekilde tasarlanmıştır. Bu amaç için birçok bloğun ideal modelleri kullanılarak analog-sayısal birlikte olacak şekilde benzetimler yapılmıştır. Bu analizler sırasında bir C kodu yardımıyla saf sinüs verisi üretilerek DAC girişine verilmiş ve analog çıkışın DFT'si alınarak SFDR (Spurious Free Dynamic Range) hesaplanmıştır.

Yapılan analizler sonucu RC zaman sabitinin koda bağlı değişmesinin direnç dizesi DAC mimarisinde en baskın dinamik hata mekanizması olduğu görülmüştür. Bu tez çalışmasında 8 temel hata mekanizması bulunmuş ve bu hata mekanizmaları için çeşitli mimariler önerilmiştir.

İlk olarak OPAMP giriş kapasitesinin koda bağlı değişiminin DAC'ın dinamik doğrusallığını bozan baskın bir hata mekanizması olduğu görülmüştür. Sadece bu hata mekanizması bile diğer bütün bloklar ideal modelleriyle kullanıldığı durumunda 1 MHz'deki SFDR'ı 75 dB'ye düşürmektedir. Bu hata mekanizmasının çözümü için işlevsiz OPAMP girişi sisteme dahil edilerek ve çoklayıcı anahtarları ters yönde anahtarlanarak kod bağımsız OPAMP giriş kapasitesi elde edilmiş ve diğer herşey ideal olduğunda 1 MHz'deki SFDR 106 dB'lere çıkarılmıştır.

İkinci hata mekanizması, direnç dizesinden görülen koda bağlı eş değer dirençtir. Her kod için bu dizeden görülen eş değer direncin farklı olması koda bağlı RC zaman sabiti oluşturur ve tek başına oldukça baskın bir dinamik hata mekanizmasıdır. Bütün diğer bloklar için ideal modelleri kullanıldığı durumda bile SFDR performansı 1

MHz'de 66 dB'dir. Bu hata mekanizması direnç dizesine her kod için farklı değerde seri birer direnç koyularak çözülmüştür ve herşey ideal olduğunda 1 MHz'deki SFDR performansı 66 dB'den 104 dB'ye çıkartılmıştır.

Direnç dizesinden gerilim seçen anahtarların koda bağlı olarak V_{GS} geriliminin değişmesi ve buna bağlı olarak da iletim dirençlerinin değişmesi RC zaman sabitinin koda bağlı değişmesine sebep olur ve yeni bir hata mekanizmasını oluşturur. Koda bağlı iletim direncini sabit tutabilmek için uzun yıllardır kullanılan sabit V_{GS} yapısına ek olarak iki farklı sabit V_{BS} yapısı önerilmiştir. Bu mimarilerde temel olarak her kod için iletimde olacak anahtarın V_{BS} gerilimi sabit tutularak, kod bağımsız V_{TH}, dolayısıyla da kod bağımsız iletim direnci elde edilmeye çalışılmıştır.

Kapalı transistorlerin overlap kapasitelerinin V_{GD} gerilimine bağlı değiştiği ve bunun kod bağımlı RC zaman sabitine yol açtığı gösterilmiştir. Bu dinamik hata mekanizmasının çözümü içinse kapalı transistorlerin geçitlerini çıkış geriliminin belirli bir miktar aşağısına sürecek, sabit V_{GD} yapısı önerilmiştir.

Anahtarlama sırasında meydana gelen yük enjeksiyonu ve saat geçiş beslemesi (clock feedthrough) problemlerinin de baskın bir hata mekanizması oluşturduğu gösterilmiştir. Sabit V_{GD} yapısının yük enjeksiyonu hata mekanizmasının etkisini iki katına çıkardığı gösterilmiş ve sabit V_{GD} yapısı gerçeklemesi yapılmamıştır.

Bu tez çalışmasında şimdiye kadar tasarlanmış dinamik doğrusallığı en yüksek olan direnç dizesi gerilim çıkışlı DAC mimarisi referans olarak alınmıştır. Bu mimarinin SFDR performansı 1 MHz'de 54 dB, 200 KHz'de 64 dB'dir. Bulunan bütün hata mekanizmaları ve önerilen mimariler dikkate alınarak yapılan tasarımında SFDR performansı 1MHz'de 72 dB, 200KHz'de 90 dB olacak şekilde iyileştirilmiştir.

INVESTIGATING DYNAMIC ERROR MECHANISMS OF HIGH RESOLUTION, RESISTOR STRING D/A CONVERTERS

SUMMARY

Digital-to-analog converters (DACs) convert digital signals to the analog domain while analog-to-digital converters (ADCs) convert signals from the analog to the digital domain. In this work, resistor string voltage output DAC architectures will be taken into consideration.

In order to drive time varying loads with good linearity and precision settling, a digital to analog converter with an output buffer is needed. The buffered current steering DAC architecture is fast, but it is non-monotonic and it has sub-par precision settling characteristics. The settling problem is due to voltage and temperature coefficients of the feedback resistor of the output buffer implemented as an I-to-V converter. On the other hand, a buffered resistor string DAC is monotonic, settles to a precision voltage, but it has the disadvantages of speed and resolution.

For resistor string DACs, a novel segmentation architecture solved the resolution problem and a series of 16-bit monotonic resistor string CMOS DACs recently gained popularity in the industry for low power, low bandwidth applications. A roadmap to 18-bits and above is foreseeable in the near future. DC nonlinearities of these 16-bit DACs can be digitally calibrated; however, the dynamic issues remain mostly unsolved, and these DACs are rarely used for waveform generation applications. The purpose of this study is to help extend the applications of high-resolution resistor string DACs to waveform generation applications from DC to 1 MHz of output frequency.

A very important performance metric for waveform generation applications is the spurious free dynamic range (SFDR). SFDR is the distance (in dB) between the fundamental frequency and the highest spur in the power spectrum. When SFDR improves, total harmonic distortion (THD) and intermodulation distortion (IMD) also improve. For this reason, we chose SFDR as the performance benchmark metric.

This study is based on simulation alone, and no actual hardware is built or tested in a laboratory environment. To run the simulations, Spectre, a SPICE-like circuit solver, is used on Cadence software platform. BSIM 3.3 models of a 015µ 1.8V – 3.3V CMOS process are used in our simulations. Dynamic behavior of the output amplifier is beyond the scope of this work and the focus is on the DAC. Considering the best available class AB CMOS amplifiers give 81 dB SFDR at 1 MHz output frequency, it is our intent to improve the DAC performance to a level that, the opamp, not the DAC, is the limiting factor on the SFDR.

First, a simulation test-bench is formed to measure the SFDR of the 16-bit DAC. The test-bench generates segment-driving waveforms and evaluates a coherent fast Fourier transform (FFT) of the DAC output based on the desired sampling rate and the desired output frequency. An ideal, behavioral DAC is constructed to test the performance of digital inputs and switch driving waveforms. Every time an actual

transistor based DAC simulation is run, it is verified that the ideal behavioral DAC's SFDR performance under the same setting is well over 100 dB. The test-benches are designed in the analog-mixed-signal (AMS) environment of the Cadence software platform to be able to use ideal models for most blocks while investigating each error mechanisms for the non-ideal blocks one at a time. This methodology helps eliminate the interactions between multiple error mechanisms.

In this work, 8 different dynamic error mechanisms are identified and various design techniques are suggested to help reduce the errors associated with these error mecahnisms. Simulations show that the dominant effect on SFDR is code-dependent RC time constant.

The first mechanism for code dependent time constant is due to the input capacitance of the interpolating amplifier. The 6 LSBs of the binary coded digital input code get converted to thermometer code, and the 63 thermometer code outputs and their complements drive 63 pairs of NMOS switches in a complementary fashion. Each switch pair has their sources connected to the positive input of a single PMOS differential pair structure that belongs to the OPAMP, and their drains connected to vhi and vlo respectively. One differential pair is constantly tied to vlo, making a total of 64 differential pairs. Under digital control, when two consecutive tap voltages from the string vhi and vlo are duplicated M times and 64-M times for the interpolation amplifier, vhi will be connected to M differential pair positive inputs, whereas vlo will be connected to 64-M differential pair positive inputs. Due to the gate capacitance of the differential pair positive inputs, there will be a different amount of capacitance connected to vhi and vlo nodes, depending on the state of 6 least significant digital inputs. This causes code dependent capacitance differences between vhi and vlo.

As a solution, we propose a complementary switching structure and a secondary interpolating amplifier input stage so that Vhi and Vlo are duplicated 64-M times and M times respectively. This way, Vhi and Vlo will be connected to a total of 64 differential pairs each. For a single ended implementation, this structure has to be a dummy structure; however, for a differential implementation, this structure will be utilized as the negative input of an amplifier used in an instrumentation amplifier type setting. This constant capacitive load improvement causes the SFDR to jump from 75 dB to 106 dB at 1MHz, when everything else is ideal.

Even if the code dependent capacitance problem is solved, a code dependent resistance problem remains. The second mechanism causing code dependent time constant is the code dependent AC resistance of the string. Depending on the tap point selected, resistors of two different values will be connected in parallel and this will cause a code dependent resistance seen at each tap point. This is an effect driven by the most significant bits of the digital DAC input, as the 10 MSB bits drive a 32x32, 1-out-of-1024 type row-column decoder to select the string tap voltage. The effective resistance is the lowest at the lowest and highest tap points, and highest at the mid tap point.

This error mechanism can be eliminated if a series calibration resistor is placed at each tap point. The values of these series resistors are mathematically computed so that the impedance at each switch source is held constant. That is, higher series resistances are added at the top and bottom portions of the string and lower series resistances are added at the mid sections. The addition of series resistors slows down the string, but the settling time of the string becomes the same across all tap points. If

the switches are ideal, the addition of series resistance to the string combined with the constant-C amplifier improves the performance from 66 dB to 104 dB.

Resistor string switches have code-dependent V_{GS} voltages, so code-dependent on resistances. This causes code-dependent RC time constant and deteriorates dynamic linearity. Bootstrapping the switch is known and has being used for many years. An additional resistor ladder is used to generate the bootstrap voltages. This technique provides a certain degree of code independent on resistance; however, from the simulation of a dummy series switch, it becomes obvious that to get good SFDR, eliminating the body effect is also necessary. Creating a V_{BS} connection on the switches to reduce the body effect does not work because it turns on the reverse biased diodes on some of the OFF switches. Therefore, it becomes obvious that the V_{BS} connection is needed only for the ON switch, resulting in a selective V_{BS} bootstrap switch structure, where V_{BS} connection depends whether the switch is ON or OFF. Another alternative to have constant V_{BS} is to shift R-String operating region to have a higher voltage range and to bias bodies of the switch to incrementally increasing voltages, which are generated by an auxilliary resistor string. For instance, the operating region of the R-String can be set 1.0V-0.5V instead of 1.0V-0V and the bodies can be biased between 0.5V-0V. In this case, the reverse biased diodes problem does not exist. Constant Vgs implementation for tap switches are effectively used in the final architecture, but constant Vbs implementation is found to be not as significant.

Overlap capacitance is known to be constant when the transistor is either in saturation or in triode; however, it is highly nonlinear when the transistor is in cutoff, due to depletion of the source and drain diffusion surfaces. In the resistor string structure, for each transistor that is ON, there are 31 transistors that are OFF. For this reason, the effects of the gate drain capacitance of the OFF transistors are very significant and they unfortunately present a nonlinear (voltage dependent) capacitance at the string tap point. This nonlinear gate drain capacitance is much more significant than the reverse biased junction capacitances of the switches. To reduce the gate-drain nonlinear overlap capacitance effect, the gate-drain voltage of the OFF switches must be held constant. The drain voltage of all the OFF switches must be at the output voltage of the ON switch. Given this constraint, the gate voltages of the OFF switches must be taken from an auxiliary resistor string such that V_{GD} is constant. Since constant V_{GD} approach increases effect of charge injection, it is not implemented in the final architecture.

In this work, it is shown that charge injection is the next dominant error mechanism on SFDR. It is found that the string switches are responsible for the majority of the charge injection mechanism, and it is also found that charge injected on the amplifier, not on the string, causes the SFDR problem. SFDR caused by charge injection is predominantly a second order distortion, which could be reduced by a differential architecture. Clock feedthrough effect is found to be not as significant as the charge injection effect

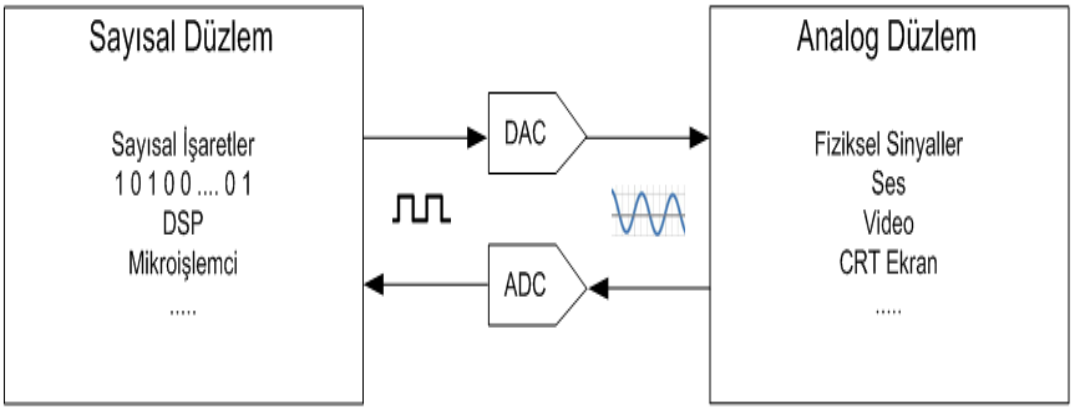
A high-speed, high resolution, 16-bit R-String DAC product (DAC8580) is taken as a comparison benchmark. From its datasheet, it is obvious that the SFDR performance of this product is dominated by dynamic effects. The DC calibrated SFDR performance of the DAC8580 is 102dB at 1 KHz and 62 dB at 200 KHz. The SFDR of our proposed DAC shows 90 dB at 200 KHz. However, one must keep in

mind that our work is based on SPICE simulations on a faster CMOS process, using an ideal behavioral amplifier.

1. GİRİŞ

1.1. Veri Dönüştürücüsü Mimarileri

Sayısal – analog dönüştürücüler sayısal düzlemdeki işaretleri analog düzleme çevirirken, analog – sayısal dönüştürücüler analog düzlemdeki işaretleri sayısal düzleme çevirirler. İşaretlerin sayısal – analog düzlemleri arasındaki dönüşümü Şekil 1.1'de gösterilmiştir.



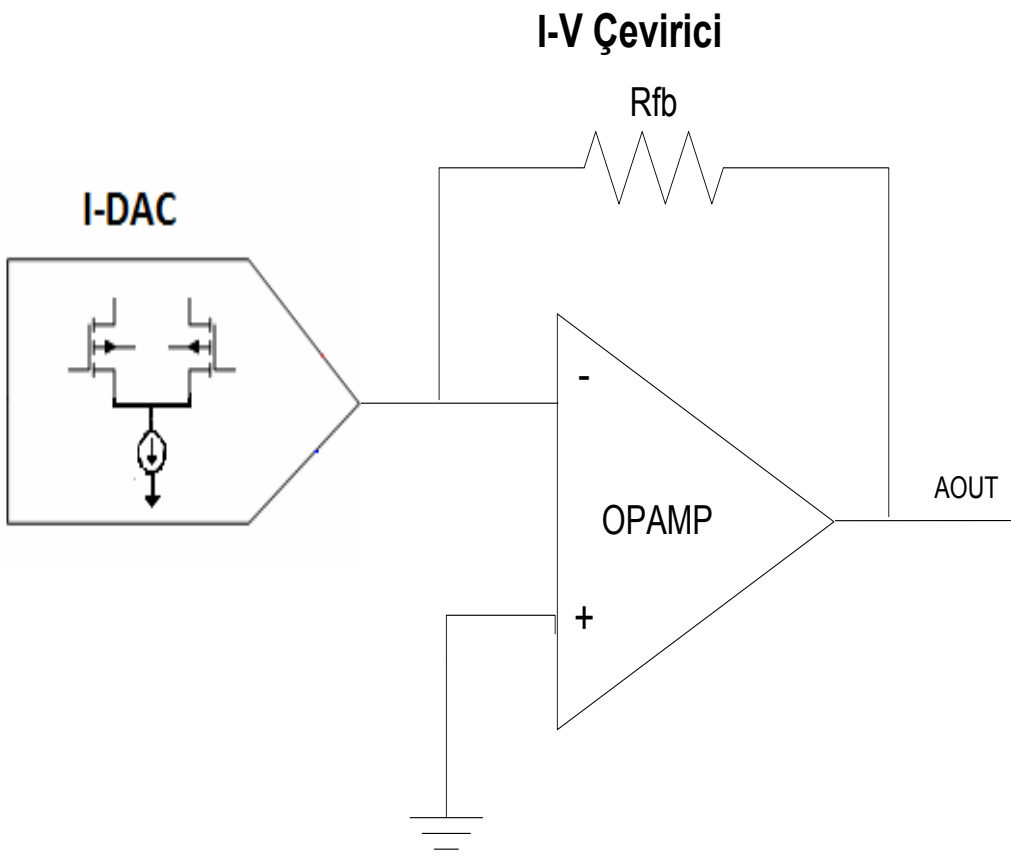
Şekil 1.1: Sayısal – analog düzlemleri arası işaret dönüşümü.

DAC ve ADC için şimdiye kadar birçok farklı mimari önerilmiştir. Analogdan sayısala dönüştürücüler için çift-eğim (dual-slope), SAR (Successive Approximation ADC), ardışık düzen (pipeline), flaş (flash) ve delta sigma ADC mimarileri örnek olarak verilebilir. Sayısaldan analoğa çeviriciler içinse R-2R, direnç dizesi (Resistor String), akım yönlendirmeli (Current Steering), anahtarlamalı kapasite (switched capacitance) ve delta sigma farklı birer DAC tasarım mimarileridir.

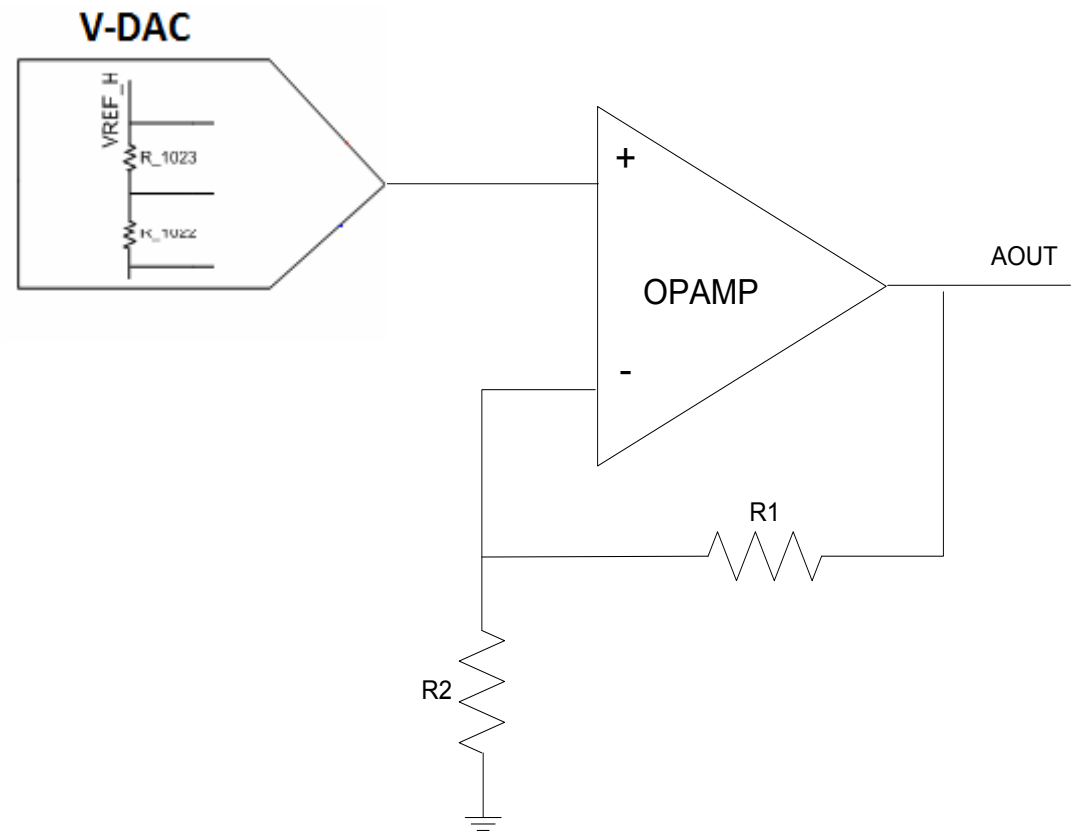
1.2. Motivasyon

DAC mimarilerinde zamanla değişen yükleri lineer bir şekilde ve yüksek hassasiyetle sürebilmek için çıkış tamponu gerekmektedir. Tamponlu akım yönlendirmeli DAC mimarilerinin hızı çıkış sürücüsünün hızına bağlıdır ve bu mimarinin monotonluk ve hassas yerleşme karakteristiklerinde problemler vardır. Şekil 1.2'de gösterildiği gibi akım yönlendirmeli DAC mimarisinde çıkışta akımı

gerilime çeviren (I-V converter) bir yapı vardır. OPAMP üzerindeki geri besleme direncinin sıcaklık ve gerilime bağlılık katsayısı oturma problemlerine sebep olur. Segment yapısı ve üretim uyumsuzlukları sebebiyle de monotonluk problemi vardır. Bununla birlikte Şekil 1.3'de genel yapısı gösterilen tamponlu gerilim çıkışlı direnç dizesi DAC mimarileri ise monoton olup ve tam istenilen gerilim değerine oturabilirken, akım yönlendirmeli DAC mimarilerine göre hız ve çözünürlük dezavantajları vardır [1]. Çözünürlük problemi ara dolduran OPAMP mimarisiyle kısmen çözülerek 16-bit direnç dizesi DAC'lar (Resistor String DAC) düşük güç tüketimli, düşük bant genişlikli ve monotonluk gerektiren uygulamalarda endüstride sıklıkla kullanılmaya başlanmıştır [2-4]. Bu DAC'ların bir önemli özelliği ise koddan bağımsız referans akımına (Iref) gereksinim duymalarıdır. DC (Direct Current / Doğru Akım) doğrusallık hataları sayısal olarak kalibre edilebilse de [5,6]; dinamik hata mekanizmalarının çoğu henüz çözüm bulmamıştır. Bu sebeple bahsedilen direnç dizesi DAC'lar yüksek frekanslı işaretlerin üretimine uygun olmamaktadır. Bu araştırmanın motivasyonu, direnç dizesi DAC'ların daha yüksek frekanslarda daha az doğrusallık hatasıyla çalışmasını sağlayacak teknikleri geliştirmektir.



Şekil 1.2: Akım yönlendirmeli DAC genel mimarisi.



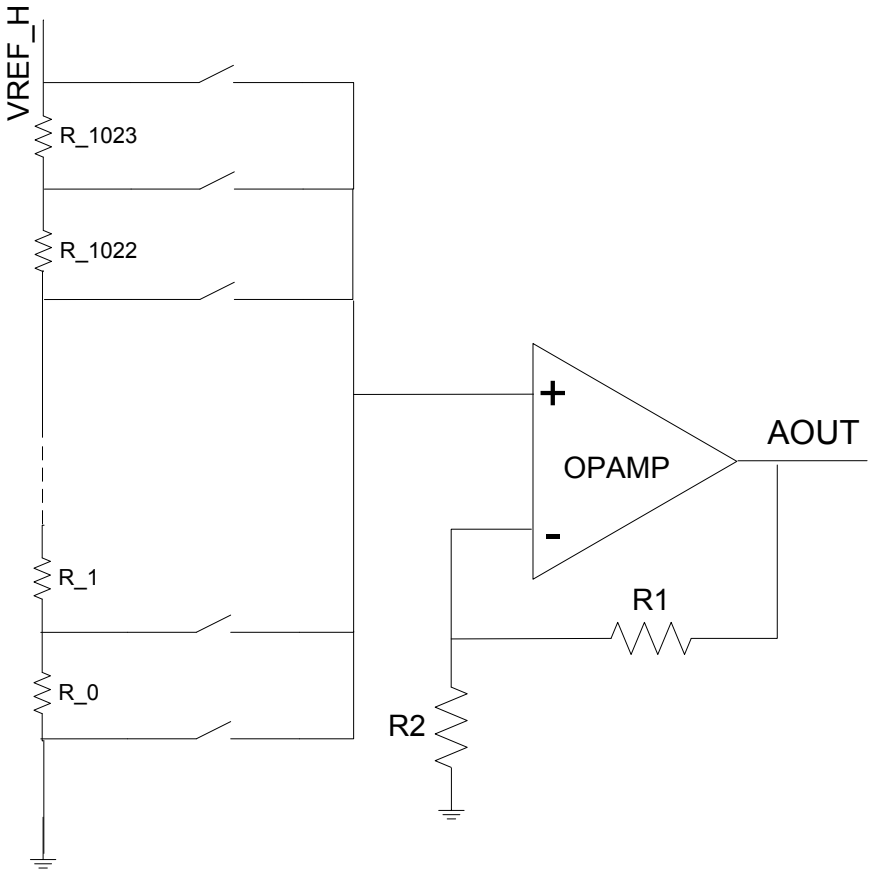
Şekil 1.3: Gerilim çıkışlı direnç dizesi DAC genel mimarisi.

1.3. Genel Direnç Dizesi DAC Mimarisi

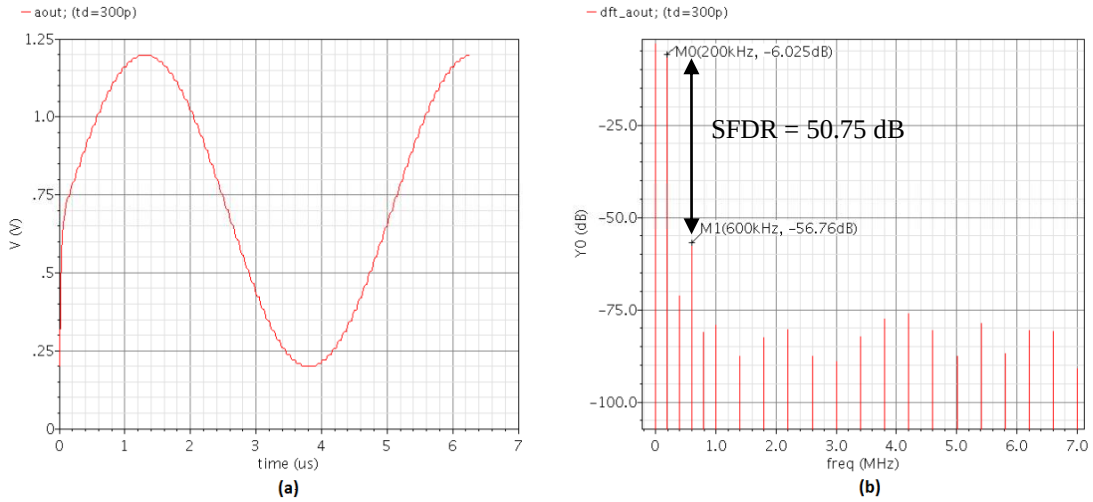
En basit DAC mimarisi dirençlerden oluşturulmuş bir yapıdır. Şekil 1.4'de 10-bit direnç dizisi DAC (Resistor String DAC) yapısı gösterilmiştir.

10-bit çözünürlükteki yapıları sadece bir R-String DAC ile tasarlamak günümüz teknolojisinde sıklıkla görülmekte ve kolayca gerçeklenebilmektedir [1,7]. Lazer kırpma (laser trimming), sayısal kalibrasyon gibi teknikler kullanılarak 12-bit çözünürlükte R-String DAC tasarımı yapılabilmektedir [8,9].

Şekil 1.4'deki R-String DAC mimarisi monoton ve hassas yerleşme karakteristiklerine sahip olsa da oldukça yavaş bir mimaridir. Bu mimari kurularak dinamik davranışı incelenmiştir. Direnç değerleri 1V'luk referans için 1 mA akıtacak şekilde 10 Ω seçilmiştir. Anahtar NMOS ve boyutları minimuma çok yakın 1um/0.35um olarak tasarlanmış, çıkıştaki OPAMP yerine ideal modeli kullanılmıştır. Opamp giriş kapasitesi ise 640 fF olarak modellenmiştir. 640 fF kapasite 640um/0.35um OPAMP giriş transistorlerinin kapasitesine karşılık gelir. 200 KHz çıkış frenkansına ilişkin SFDR performansı ve çıkış işareti Şekil 1.5'de, 1 MHz çıkış frekansına ilişkin SFDR performansı ve çıkış işareti Şekil 1.6'de gösterilmiştir.



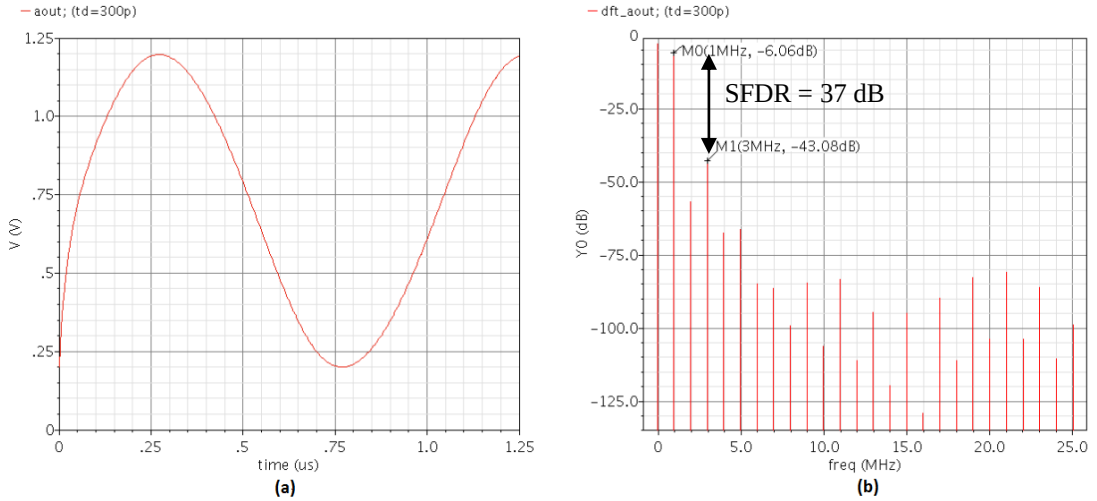
Şekil 1.4: Basit bir 10-bit R-String DAC mimarisi.



Şekil 1.5: Şekil 1.4'deki mimarinin 200 KHz çıkış işareti ve çıkış işaretinin SFDR grafiği.

Şekil 1.5b'de DAC'ın saat işareti 12.8 MHz alındığında, DAC tarafından üretilen, 1V tepeden tepeye genliğe sahip, 200 KHz frekansında bir işaretin frekans cevabı görülmektedir. 65536 noktalı fast fourier transform (FFT) alınmış ve FFT'nin mutlak değerinin 20 logaritması gösterilmiştir. Bununla birlikte şeklin karışmaması için FFT noktalarından sadece 35 tanesi çizilmiştir. Çubukların arası tanımlı değildir. İlk

çubuk DC değerini, ikinci çubuk temek sıklığı, üçüncü çubuk ikinci doğuşkanı (harmonik), dördüncü çubuk ise üçüncü doğuşkanı gösterir. SFDR ise temel sıklığı gösteren büyüklük ile en büyük harmoniğe ait büyüklüğün farkı alınarak hesaplanır.



Şekil 1.6: Şekil 1.4'deki mimarinin 1 MHz çıkış işareti ve çıkış işaretinin SFDR grafiği.

Şekil 1.5 ve Şekil 1.6'de görüldüğü gibi, Şekil 1.4 mimarisinin 200 KHz'de 50 dB, 1 Mhz'de 37 dB SFDR performansıyla çalışmaktadır. Bu mimari 200 KHz'de bile 10-bit çözünürlükle çalışamamaktadır.

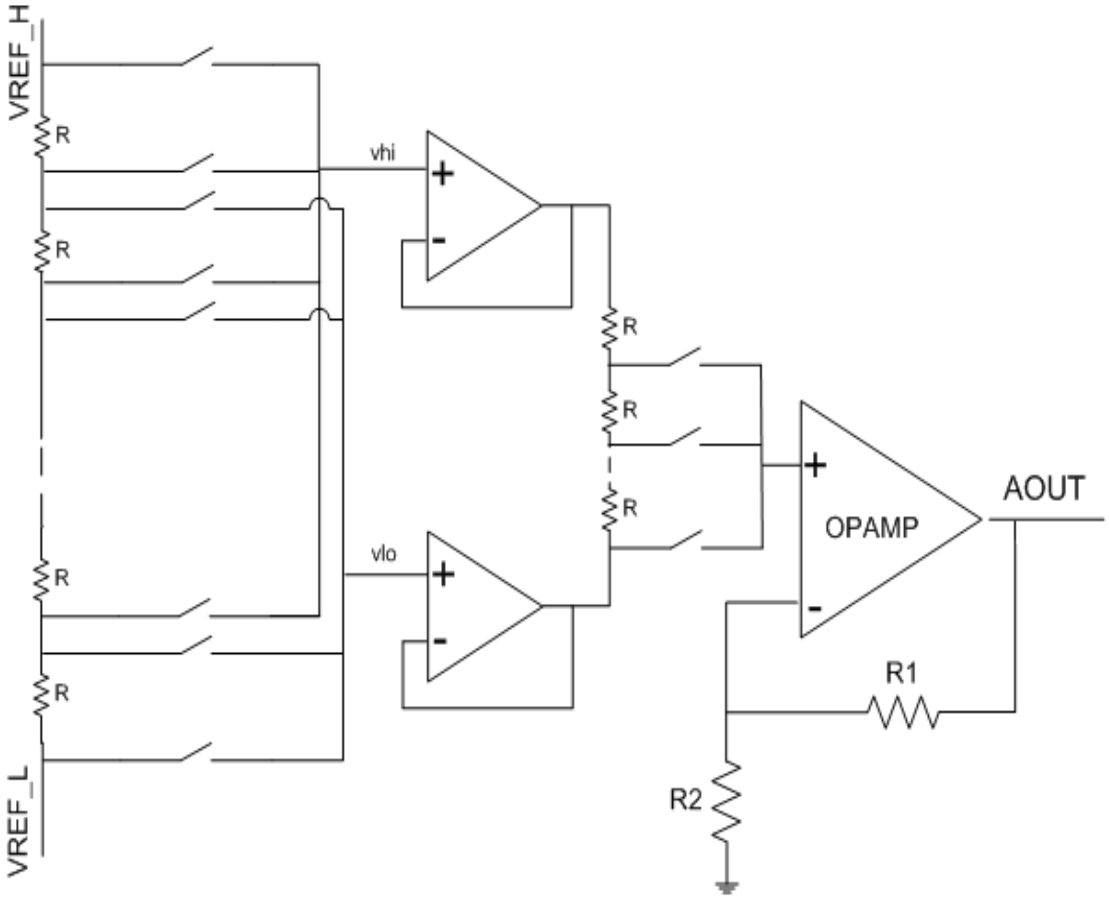
1.4. Yüksek Hızlı, Yüksek Çözünürlüklü DAC Mimarileri

Şekil 1.4'deki gibi, tek bir direnç dizesi kullanılan mimarisiyle üretim sırasındaki benzeşme problemleri sebebiyle 10-bit'den daha yüksek çözünürlükte DAC tasarlamak oldukça zordur. Daha yüksek çözünürlük elde edebilmek için Şekil 1.7'deki gibi bir yapı önerilmiştir ve bu yapı Kelvin-Varley bölücü olarak bilinmektedir.

Şekil 1.7'deki mimari çözünürlük problemini bir miktar çözse de ikinci direnç dizisini süren OPAMP'ların üretim sırasındaki benzeşme problemleri sebebiyle bu mimarinin monotonluk problemi vardır. Bununla birlikte Şekil 1.4'deki mimariye benzer şekilde hız problemi vardır ve yüksek frenkanslarda dinamik performansı kötüdür. Ayrıca mimaride 1 yerine 3 OPAMP gerekmektedir.

Şekil 1.4 ve Şekil 1.7'deki mimarilerde direnç dizesi çok küçük dirençlerle tasarlansa bile 10-bit çözünürlükteki bir DAC için 1024 direnç seri olarak kullanılmaktadır ve bu direnç dizesinden görülen eşdeğer direncin büyük olması sebebiyle bu mimari

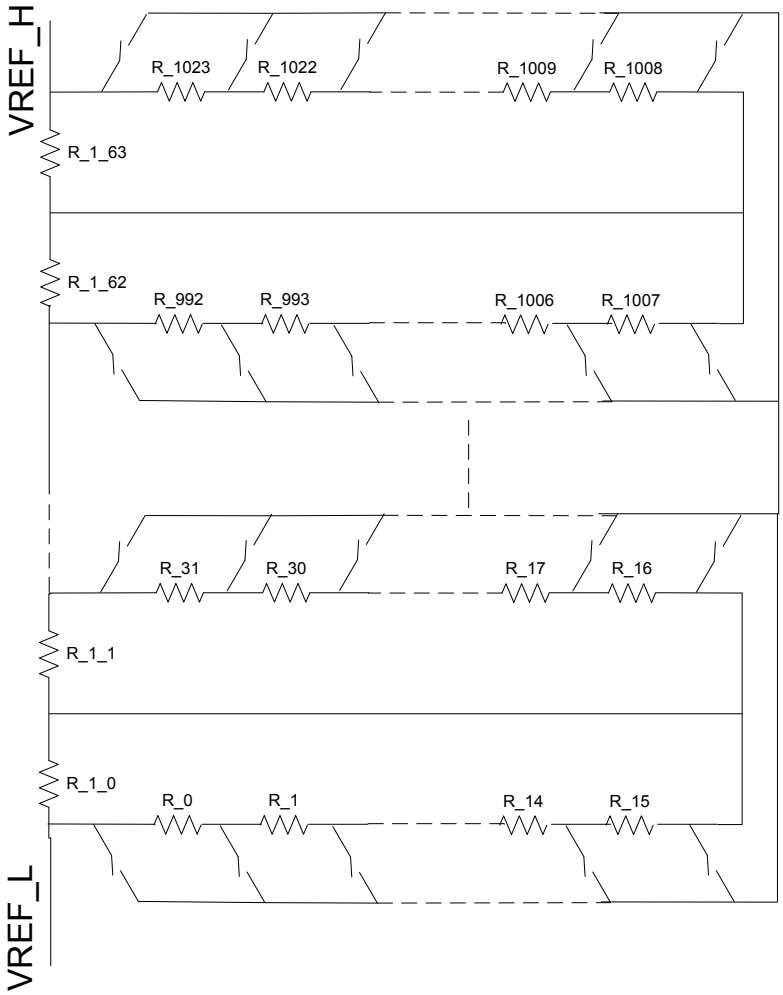
oldukça yavaş çalışmaktadır. Bu problemin çözümü için direnç dizesi üzerinde çeşitli düşük empedans düğümleri oluşturularak daha hızlı bir mimari elde edilmiştir[7]. Bu mimari Şekil 1.8'da gösterilmiştir.



Şekil 1.7: İkinci bir direnç dizisi ile yüksek çözünürlüklü DAC mimarisi.

Şekil 1.8 mimarisiyle birlikte direnç dizesi DAC mimarisi daha yüksek hızlarda çalışabilecek şekilde tasarlanabilmiştir. Bu hızlandırma direnç dizesinden gelen eş değer direncin azaltılmasıyla elde edilmiştir.

Bu mimaride DAC hızına etki eden bir başka etken ise birbirine bağlı 1024 anahtarın parazitik kapasiteleridir. Anahtarların katmanlı, matris şeklinde bir mimari ile birbirine bağlanması durumunda bir düğümdeki toplam parazitik kapasite miktarı ciddi bir şekilde azaltılabilmiştir. Bununla birlikte koda bağlı olarak iletimdeki anahtarın farklı V_{GS} değerine sahip olması sebebiyle kod bağımlı iletim direnci DAC'ın dinamik performansını düşürmektedir. V_{GS} gerilimleri farklı bir direnç dizesinden alınarak sabit V_{GS} yapısı (sonraki bölümlerde detaylı incelenecektir) elde edilmiştir. Bu şekilde daha doğrusal bir DAC mimarisi elde edilmiştir [1]. Bu mimari Şekil 1.9'de gösterilmiştir.

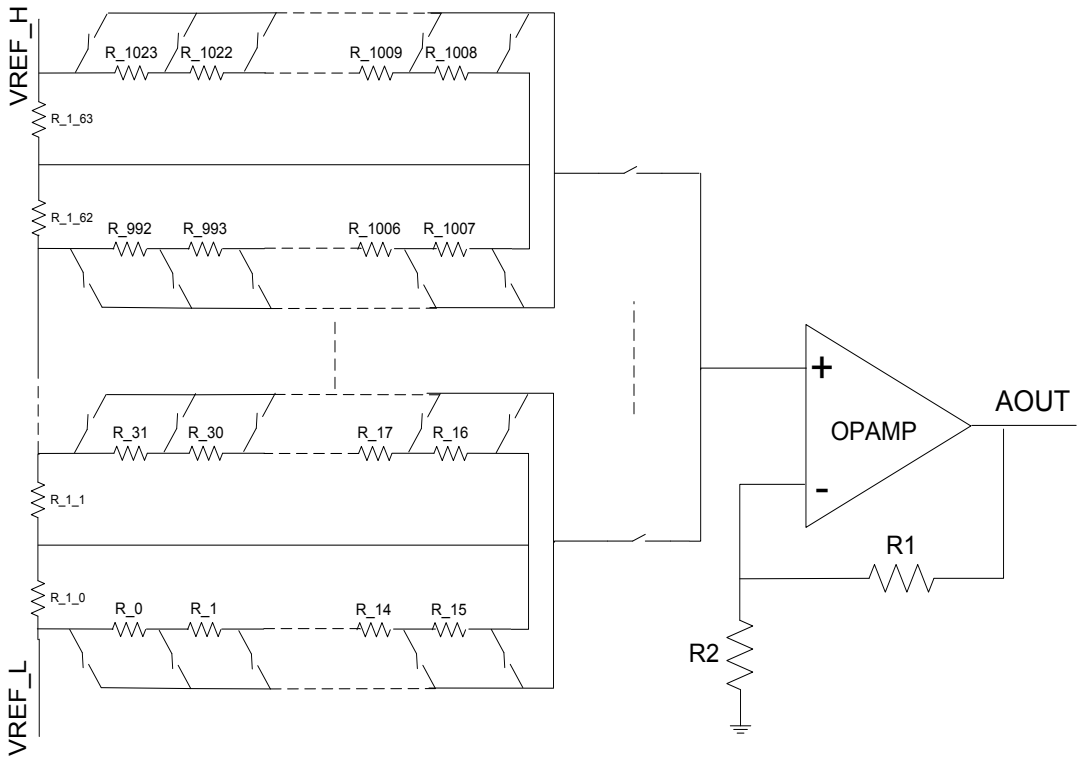


Şekil 1.8: Yüksek hızlı direnç dizesi mimarisi.

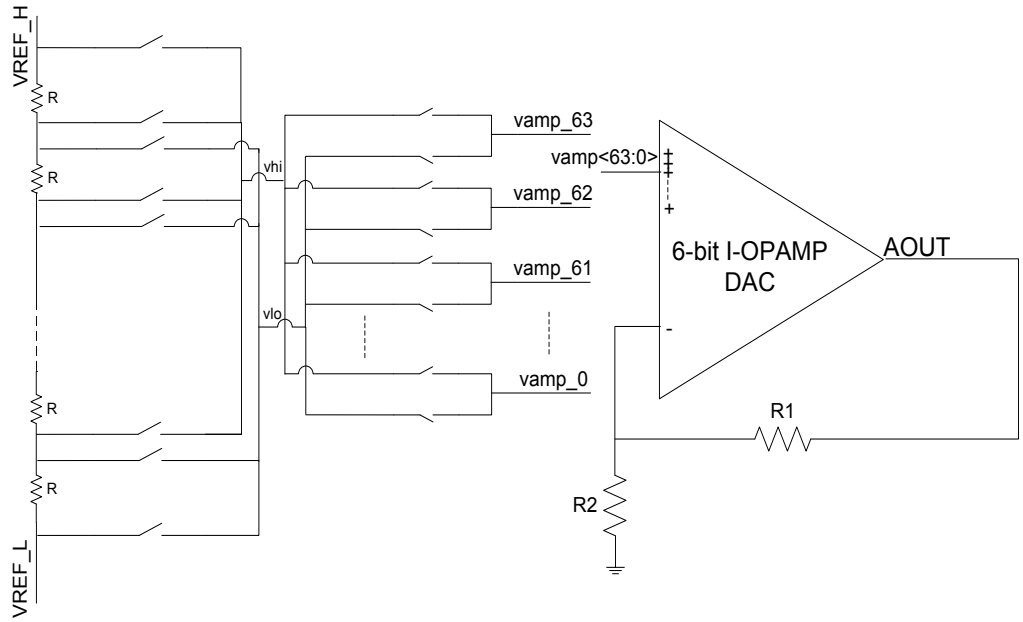
Şekil 1.9'deki mimari ile birlikte direnç dizesi gerilim çıkışlı DAC mimarilerindeki hız problemli bir miktar çözüm bulmuştur. Ancak bu mimarilerle daha yüksek çözünürlüklü DAC elde edilememektedir.

Ara değer bulan OPAMP (Interpolation OPAMP) mimarisinin bulunmasıyla birlikte 16-bit çözünürlükte DAC mimarileri tasarlanmaya başlanmıştır. Şekil 1.8'deki mimaride R-String DAC kullanılarak 10-bit çözünürlükte ardışıl iki gerilim seviyesi üretilir; vhi (yüksek analog gerilim seviyesi) ve vlo (düşük analog gerilim seviyesi). Bu vhi ve vlo gerilimleri 6-bitlik çözünürlük oluşturacak şekilde 64'er anahtar kullanılarak OPAMP'ın girişine çoğullanır. I-OPAMP ise girişlerine gelen çoğul vhi ve vlo gerilim seviyelerinin ortalamasını alarak bir analog çıkış üretir [2,10].

Şekil 1.10'da görüldüğü gibi I-OPAMP (Interpolation OPAMP) DAC ile birlikte direnç dizesi gerilim çıkışlı DAC'lar için çözünürlük problemi bir miktar çözülmüş ve 16-bit DAC tasarlanabilmiştir.



Şekil 1.9: 10-bit yüksek hızlı DAC mimarisi.

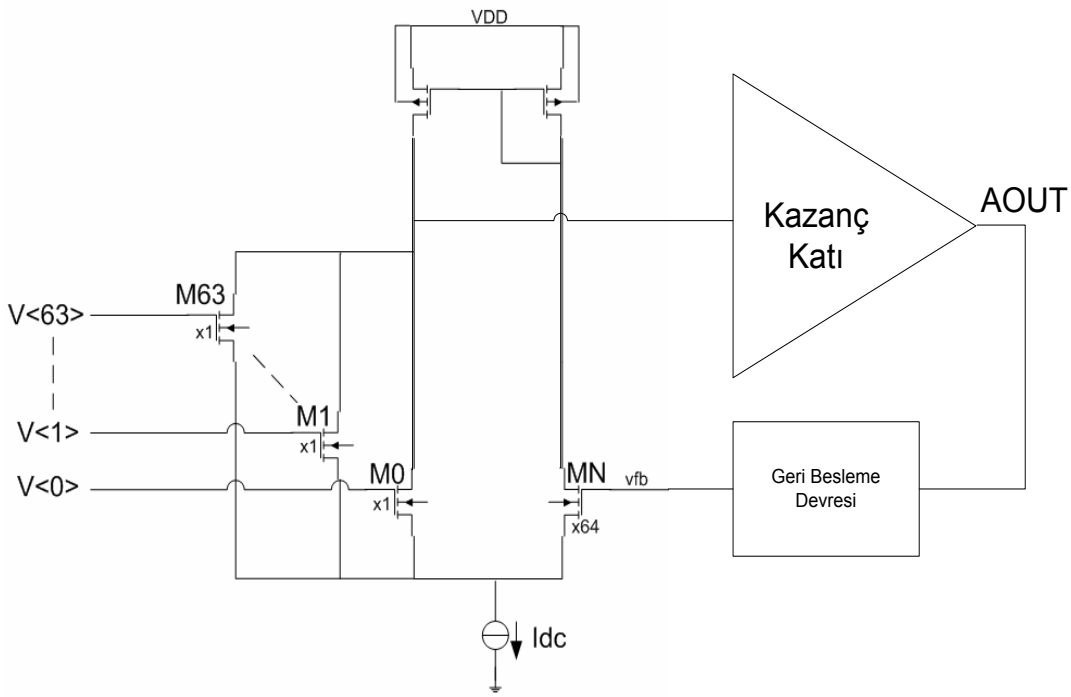


Şekil 1.10: 10-bit direnç dizesi ve 6-bit I-OPAMP ile birlikte 16-bit DAC mimarisi.

Şekil 11'de ara dolduran OPAMP mimarisi görülmektedir. Geri besleme voltajı giriş voltajlarının ortalamasıdır.

Yüksek hız ve yüksek çözünürlüklü DAC mimarisi için Şekil 1.9 ve Şekil 1.10 mimarileri birleştirilerek Şekil 1.12'daki mimari elde edilmiştir [3-4,11].

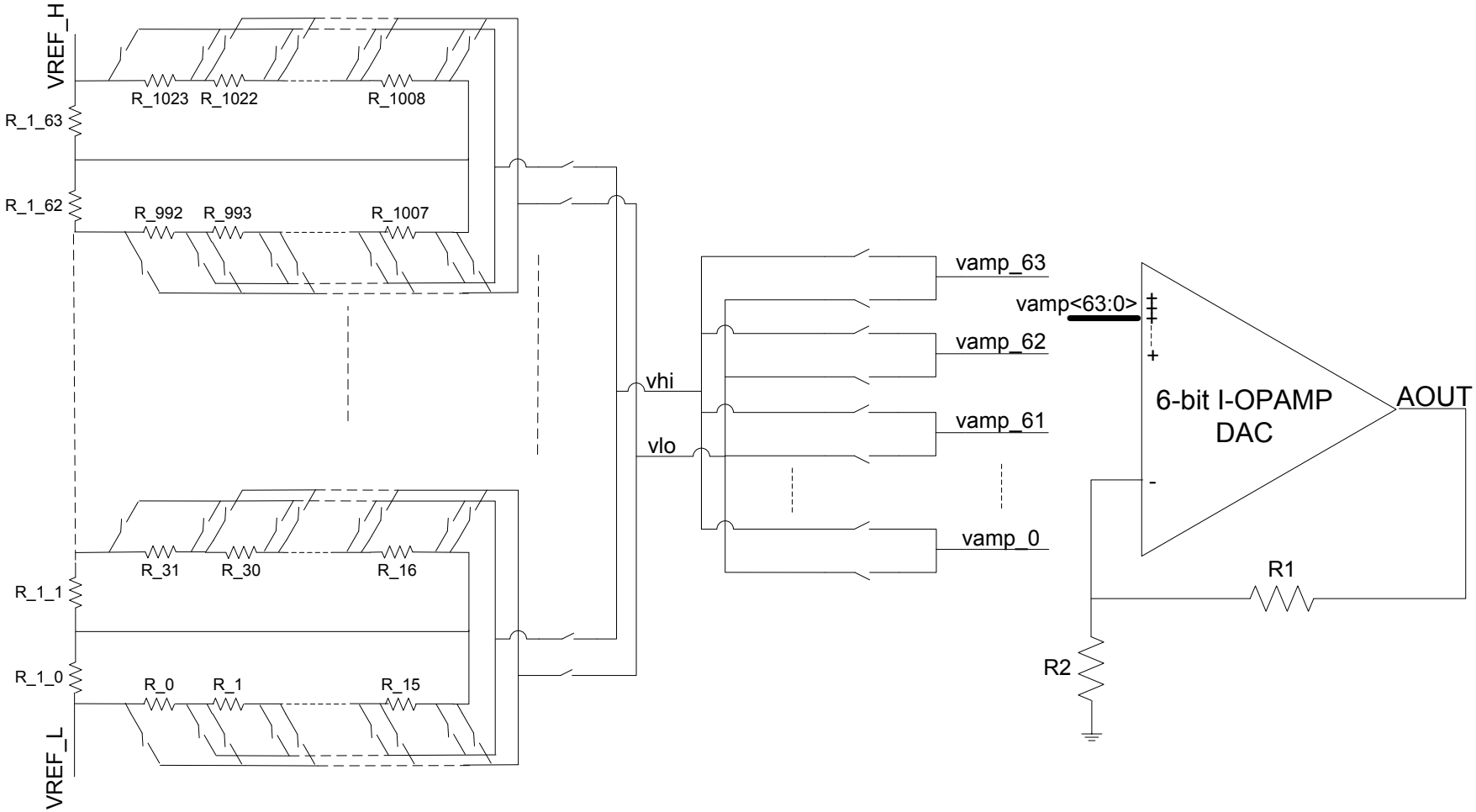
Şekil 1.12'deki mimari yüksek hız ve yüksek çözünürlük özelliklerine sahiptir ve sabit V_{GS} yapısı uygulanarak dinamik performansı da iyileştirilmiştir. Bu mimariye sahip DAC8580 ürününün 200 KHz'deki SFDR performansı 62 dB'dir [3,4].



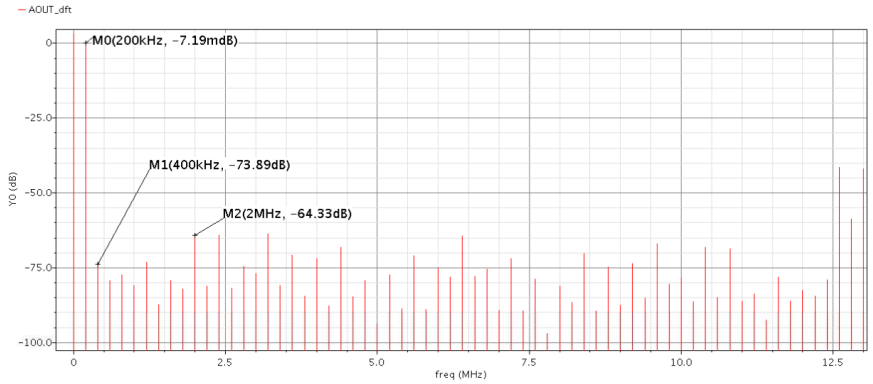
Şekil 1.11: Ara Dolduran OPAMP (I-OPAMP) mimarisi.

Bu tez çalışmasında Şekil 1.12 mimarisi temel olarak alınarak dinamik hata mekanizmaları incelenerek DAC'ın dinamik performansı iyileştirilmeye çalışılacaktır. Bu bağlamda bu mimari tez çalışmasının yapıldığı teknolojide kurulmuş ve tasarım optimize edilmiştir. Direnç dizesi 10-bit çözünürlükte yüksek hızlı, düşük empedanslı mimari ile tasarlanmıştır [7]. Direnç değerleri DAC hızını olabildiğince arttırabilmek için 16 Ω olarak seçilmiştir. İki katmanlı anahtar mimarisi kullanılmış, kod bağımsız iletim direnci elde edebilmek içinse sabit V_{GS} yapısı kurulmuştur [1]. Anahtar boyutları en iyi performansı verecek şekilde 4um/0.35um olarak seçilmiştir. Birinci kat anahtarlar için ön yükleme (pre-charge) yöntemi uygulanarak DAC hızının bir miktar da olsa arttırılması hedeflenmiştir. Çıkıştaki I-OPAMP için verilogA ideal modeli kullanılmış, OPAMP giriş kapasitesi ise 640 fF olarak modellenmiştir. Saat frekansı çıkış frekansının 64 katı olacak şekilde seçilmiştir.

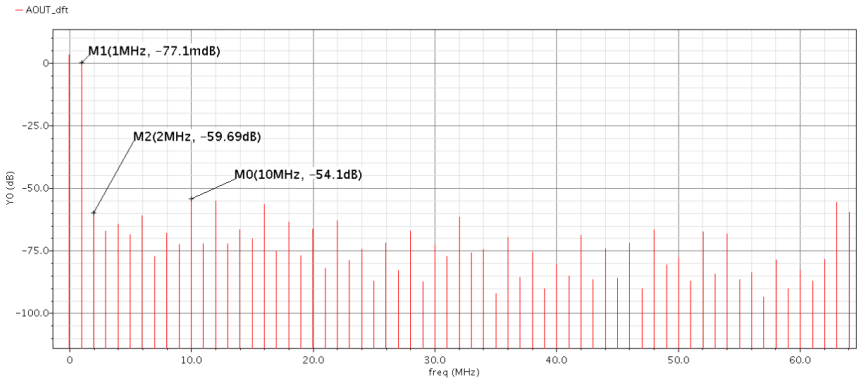
Şekil 1.12'deki mimariye ilişkin 200 KHz çıkış işareti için spektrum Şekil 1.13'de, 1 MHz çıkış işareti içinse Şekil 1.14'de gösterilmiştir.



Şekil 1.12: 16-bit gerilim çıkışlı DAC mimarisi.

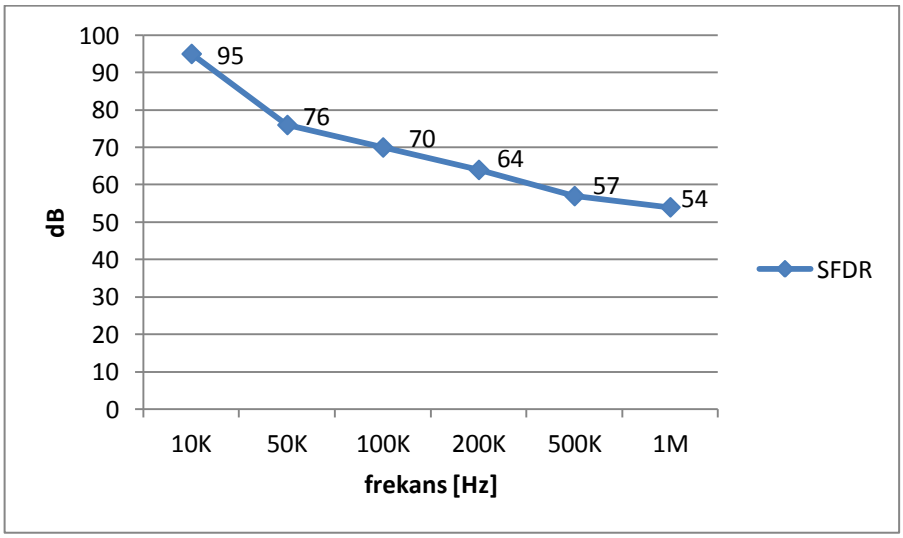


Şekil 1.13: 200 KHz çıkış işareti için Şekil 1.12 mimarisinin spektrumu.



Şekil 1.14: 1 MHz çıkış işareti için Şekil 1.12 mimarisinin spektrumu.

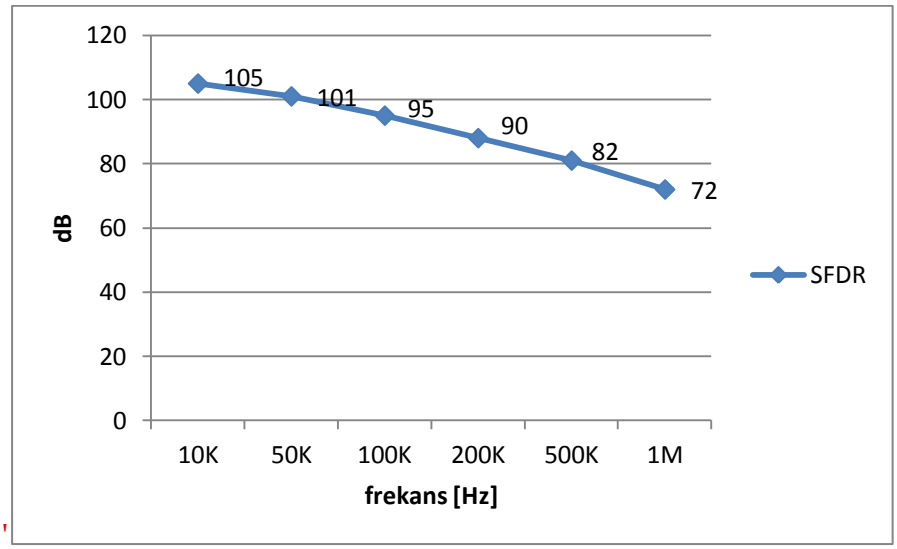
Bu mimarinin 6 farklı çıkış frekansı için SFDR performans grafiği Şekil 1.15'de gösterilmiştir.



Şekil 1.15: Şekil 1.12 mimarisinin çıkış frenaksına bağlı SFDR performans grafiği.

Şekil 1.13 ve Şekil 1.14'de görüldüğü gibi, Şekil 1.12 mimarisiyle yukarıda detayları verilen tasarıma ilişkin SFDR performansı 200 KHz'de 64 dB, 1 MHz'de 54 dB'dir. Bu tez çalışmasında bu mimarinin dinamik hata mekanizmaları araştırılarak ve çeşitli

yeni tasarım teknikleri önerilerek SFDR performansı 200 KHz'de 90 dB'ye, 1 MHz'de 72 dB'ye çıkarılmıştır. Bu çalışmada tasarlanan DAC'ın 6 farklı çıkış frekansı için SFDR performansı Şekil 1.16'de gösterilmiştir.



Şekil 1.16: Bu çalışma sonucunda tasarlanan DAC'ın çıkış frekansına bağlı SFDR performans grafiği.

1.5. Tez Organizasyonu

Bölüm 1'de DAC mimarileri hakkında genel bilgi verilerek akım yönlendirmeli ve gerilim çıkışlı DAC'ların birbirlerine göre avantaj ve dezavantajları anlatılmış; gerilim çıkışlı yüksek hız ve çözünürlüklü mimarinin detaylı incelemesi yapılmıştır.

Bölüm 2'de bu tez çalışmasında kullanılan test düzenekleri anlatılarak simulasyonlar sırasında dikkat edilmesi gereken noktalar belirtilecektir. Bununla birlikte herbir hata mekanizmasının nasıl tek tek analiz edildiği ve zaman kazanımının sağlandığı anlatılacaktır.

Bölüm 3'de gerilim çıkışlı DAC mimarisinin dinamik hata mekanizmaları teker teker incelenerek çeşitli yeni mimariler önerilecektir.

Bölüm 4'de ise dinamik hata mekanizmaları için önerilen mimariler bir araya getirilecek ve birbirleri üzerindeki etkileri göz önüne alınarak bir DAC tasarımı gerçekleştirilecektir.

Bölüm 5'de bu tez çalışmasında çıkan sonuçlar verilerek gelecek çalışmalar konusunda önerilerde bulunulacaktır.

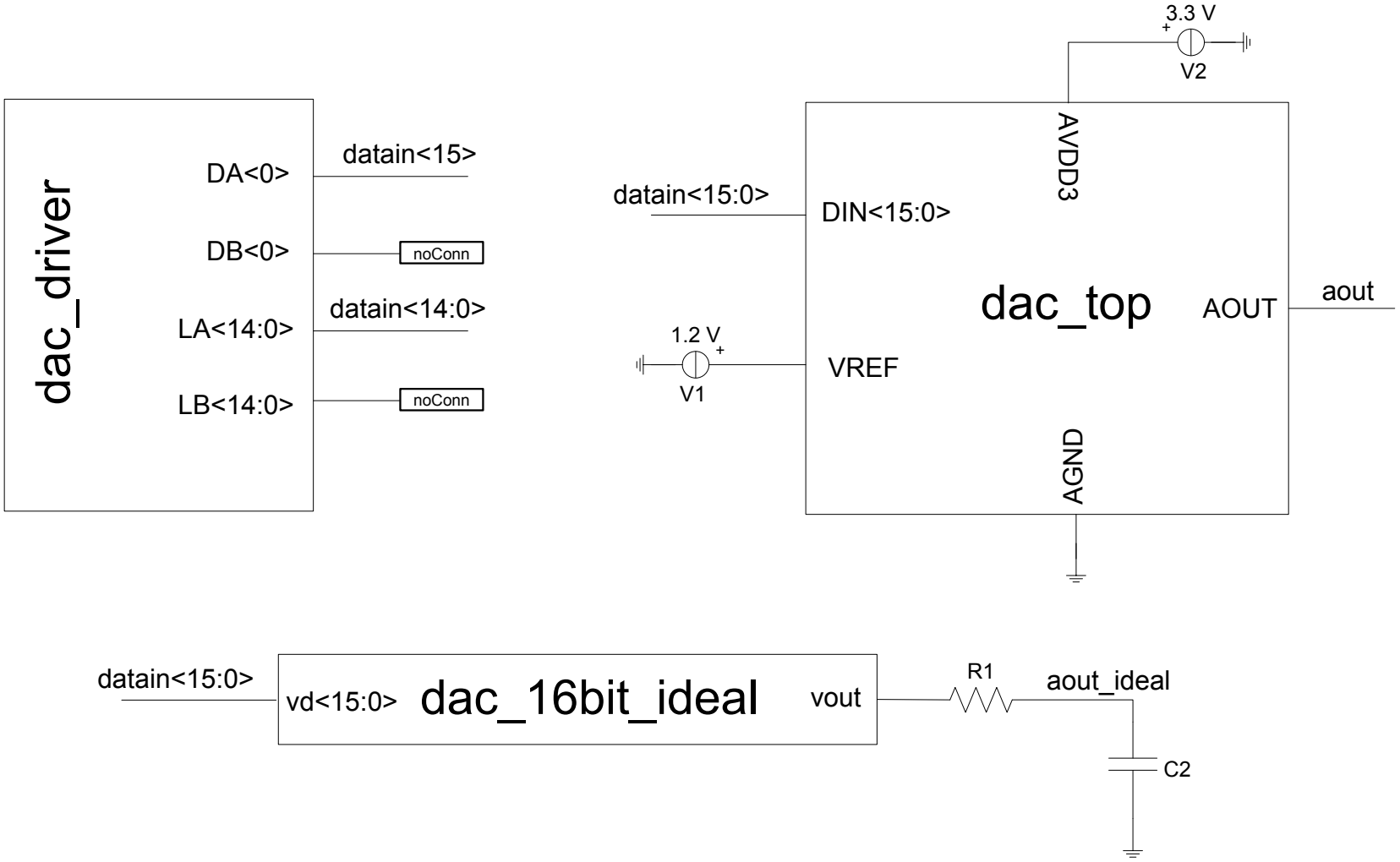
2. TEST DÜZENEĞİ

2.1. Genel Bilgiler

Test düzeneği Cadence platformunda, BSIM 3.3 modelleri ve 0.15um 1.8V – 3.3V CMOS teknolojisi kullanılarak oluşturulmuştur. Bu tez çalışmasında DAC'ın dinamik doğrusallığını incelemek üzere SFDR analizleri yapılacaktır. Bu analizlerde girişe saf sinüs işareti verilerek çıkışın DFT'si (ayrık zamanlı Fourier dönüşümü) hesaplanır ve en büyük harmoniğin ana işarete göre ne kadar bastırıldığına bakılır. SFDR analizlerinin yapıldığı temel test devresi Şekil 2.1'de gösterilmiştir.

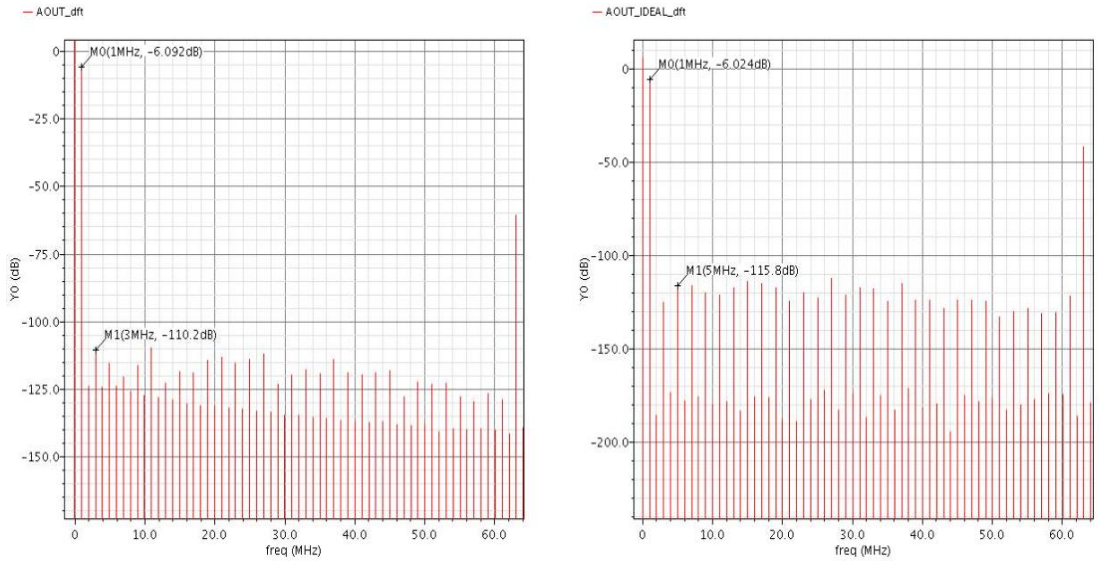
SFDR analizinde DFT hesaplarken analog veri üzerinde kullanılacak noktaların simülatör tarafından doğru hesaplanması oldukça önemlidir. Bu sebeple simülasyon ortamının uygun şekilde konfigüre edilmesi gerekmektedir. Bu tez çalışmasında simülatör olarak AMS (Analog Mixed Signal) kullanılmıştır. Bu simülatör analog devre çözücü (solver) olarak spectre, sayısal devre çözücü olarak da ncsim kullanmaktadır. Spectre SPICE sınıfı bir devre çözücüdür, devreyi tek bir büyük matris şeklinde çözer. Ncsim ise vhdl, verilog, systemC gibi farklı dillerde yazılmış kodları bir arada simüle edebilmektedir. Simülatörün hassaslık seviyesi en yükseğe (conservative) alınarak SFDR analizleri yapılmıştır. Bununla birlikte analog çözücünün RELTOL parametresi eğrilerin daha düzgün çizilebilmesi ve DFT veri noktalarının doğru çözülebilmesi için "1e-6" değerine ayarlanmıştır. Aksi halde normalde devrede varolmayan, simülatör kaynaklı bazı hatalar SFDR analizinde yanıltıcı sonuçlar oluşabilmektedir.

Bunlarla birlikte DFT hesabı yapılırken alınan örnek sayısı da önemlidir. Yüksek frekanslardaki ayna harmoniklerin ana harmonikler üzerine binmesinin engellenmesi için fazla sayıda nokta kullanılarak DFT hesaplanmalıdır. Bu tez çalışmasında 65536 nokta alınarak DFT hesaplanmıştır. Bu noktaların düzgün olarak hesaplandığının garanti altına alınabilmesi içinse strobe periyot parametresi kullanılmıştır. Bu parametre ile belirlenen noktalar direkt olarak hesaplanır, herhangi bir interpolasyon yöntemiyle bulunmaz.



Şekil 2.1: SFDR analizi için test devresi.

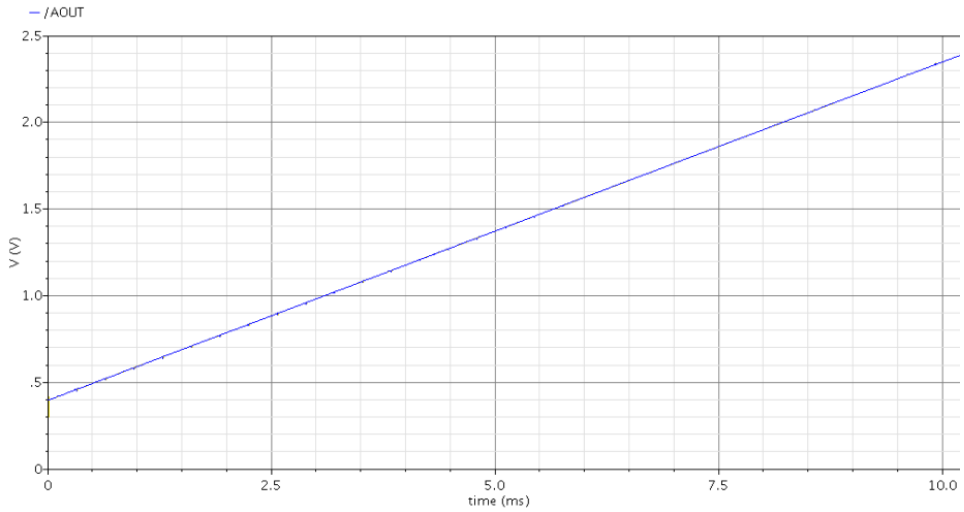
Şekil 2.1'deki "dac_driver" bloğu SFDR analizi için gerekli 16-bit çözünürlükte ve belirli bir frekansta sinüs verisi üretmektedir. Bu bloğa ait herhangi bir şematik çizim yoktur. Sinüs verisi bir C programı yardımıyla SPICE kodu şeklinde üretilmektedir. "DA" çıkışı sayısal verinin en yüksek anlamlı bitini, "LA" ise düşük anlamlı 15 bitini temsil etmektedir. Şekil 2.1'de görüldüğü gibi test devresinde 2 farklı DAC tanımlanmıştır. "dac_top" bloğu bundan sonraki bölümlerde sıklıkla bahsedeceğimiz gerçek DAC tasarımını temsil etmektedir. "dac_16bit_ideal" bloğu ise VerilogAMS dilinde yazılmış 16-bitlik bir DAC modelidir. Bu bloğun çıkışı referans olarak kabul edilerek simülasyon ortamının, bütün ayarların doğru yapıldığını ve sağlıklı bir şekilde DFT alınabildiği gösterilmektedir. Herbir analiz sonunda bu ideal DAC çıkışında 105 dB ve üzeri SFDR alındığı görülmüştür. Örnek olarak Şekil 2.5'deki konfigüre edilmiş "dac_top" çıkışının ve ideal DAC modeline ait birer spektrum çizimi Şekil 2.2'de gösterilmiştir.



Şekil 2.2: Şekil 2.1'deki "dac_top" ve "dac_16bit_ideal" bloklarına ait spektrum grafikleri.

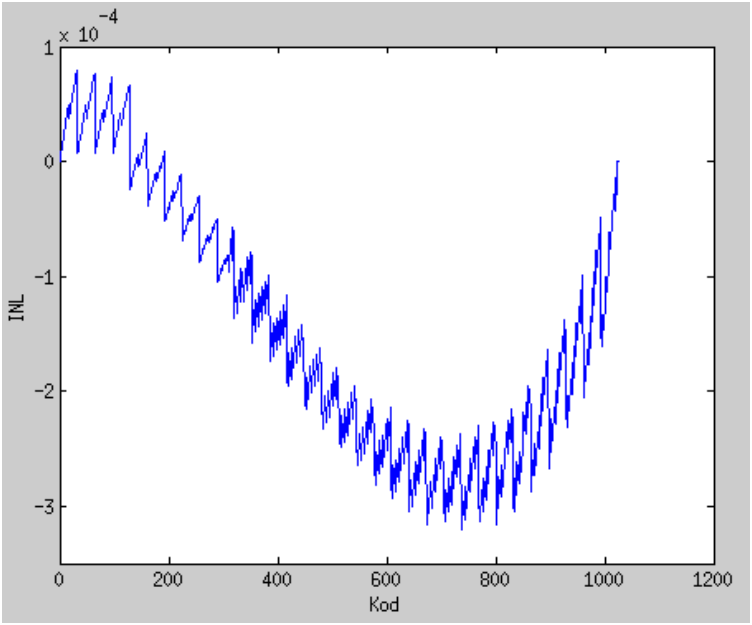
Bu tez çalışmasında genel olarak SFDR performansı inceleniyor olsa da önerilen her yeni mimari sonrası öncelikle INL (Integral Non-Linearity) ve DNL (Differential Non-Linearity) hesabı da yapılmaktadır. Bu şekilde yeni mimarilerin DAC'ın statik davranışında bir hataya sebep olup olmadığı, bağlantıların doğru olup olmadığı tamamen kontrol edilerek olası hatalı tasarımların önüne geçilmiştir.

Örnek olarak 1024 noktalık INL simülasyon sonucu Şekil 2.3'de gösterilmiştir. Bu çıkış bir MATLAB kodu ile işlenerek INL hesaplanmaktadır.



Şekil 2.3: 1024 nokta için örnek bir INL simülasyon sonucu.

Şekil 2.3'de gösterilen INL simulasyonuna ilişkin INL grafiği Şekil 2.4'de gösterilmiştir. Kullanılan elemanlar arasında herhangi bir benzeşme problemi olmadığından INL 0 LSB (Least Significant Bit) olarak hesaplanmıştır.



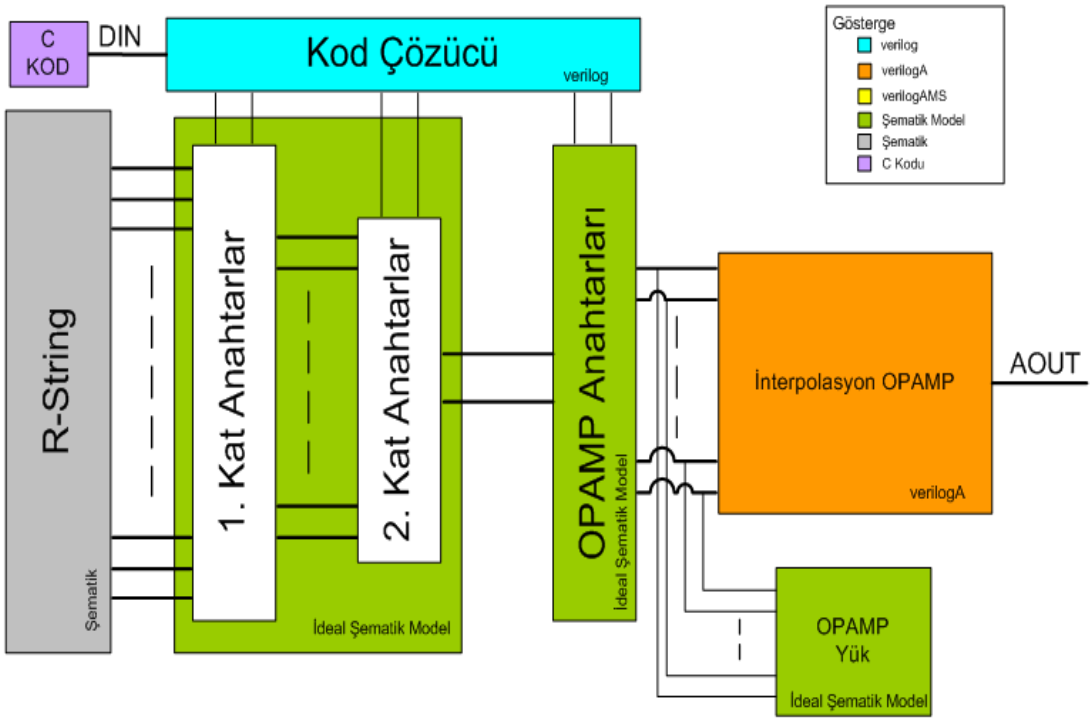
Şekil 2.4: Şekil 2.3'de gösterilen DAC çıkışına ait INL grafiği.

2.2. Analog – Sayısal Birlikte Test Düzeneği

Test düzeneği analog – sayısal birlikte (AMS) simüle edilebilecek şekilde oluşturulmuştur. Bu test düzeneğinde analog transistör seviyesi tasarımlar, verilog veya vhdl ile tasarlanmış sayısal devreler ve verilogA, verilogAMS gibi farklı dillerde yazılmış modeller bir arada simüle edilebilmektedir. Disiplinler arası dönüşümleri yapmak üzere simülatör tarafından bağlantı elemanları kullanılmaktadır.

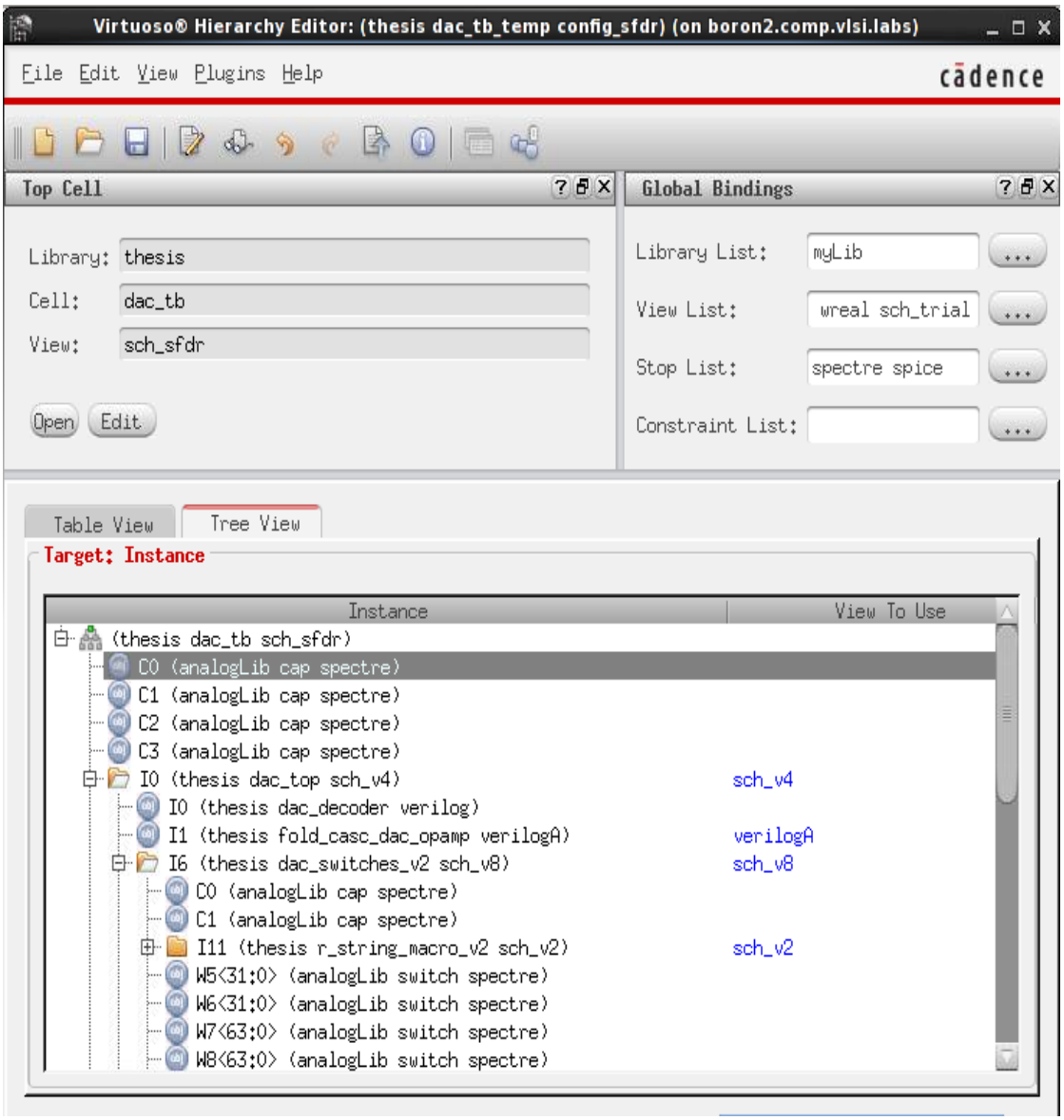
Örneğin; kod çözücüden lojik seviye olarak üretilen işaret, transistorün geçidinde anlamlı olabilmesi için lojik işareti elektriksel işarete çeviren elemanlar kullanılmaktadır.

DAC içerisindeki her bloğun tranzistör, direnç, kapasite seviyesi tasarımı yapıldığı gibi aynı zamanda ideal elemanlar kulanılarak şematik modelleri, verilogA veya verilogAMS ideal modelleri de oluşturulmuştur. Şematik modeller gerilim kontrollü gerilim kaynağı, ideal gerilim kaynakları gibi elemanlar kullanılarak oluşturulmuştur. VerilogA sadece analog davranışın varolduğu bloklar için kullanılmakta, verilogAMS ise analog ve sayısal davranışın birlikte modellenmesi amacıyla kullanılmaktadır. İdeal ile gerçek devrelerin bu şekilde beraber kullanılmasında sadece bir hata mekanizmasının devrede olduğunu garanti edebilmek hedeflenmiştir. VerilogA ve verilog kullanımı ise simülasyon hızını arttırmayı hedeflemektedir. Şekil 2.5'de örnek bir konfigürasyon gösterilmiştir.



Şekil 2.5: R-String hata mekanizması analiz konfigürasyonu.

Burada, Şekil 2.5'de görüldüğü gibi, R-String için gerçek şematik tasarım kullanılmış, diğer bloklar içinse farklı metodlarla oluşturulmuş ideal modeller kullanılmıştır. Bu konfigürasyon hiyerarşi editör yardımıyla yapılmıştır. Hiyerarşi editör test düzeneğinde bulunan bütün bloklar için farklı tasarımların kullanılmasına olanak sağlar ve örnek bir hiyerarşi editör görüntüsü Şekil 2.6'de gösterilmiştir.

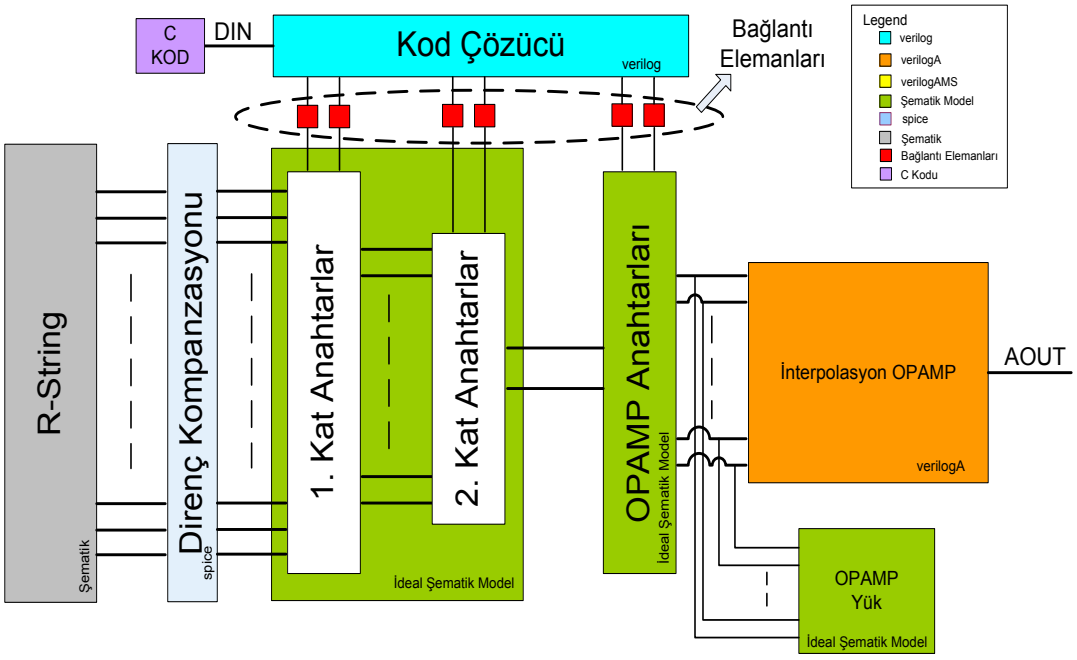


Şekil 2.6: Hiyerarşi editör örnek görüntüsü.

Daha önce de değinildiği gibi AMS tasarım aracı sayısal düzlemdeki lojik 1 ve lojik 0 işaretlerin analog düzlemde hangi gerilim seviyelerine karşılık geldiğini tanımlayabilmek için sayısal düzlemdeki işaretlerle analog düzlemdeki işaretler arasına Şekil 2.7'de gösterildiği gibi bağlantı elemanları (Interface Element / IE) koymaktadır. Bu bağlantı elemanları lojik işaretlerin hangi gerilim seviyelerine karşılık geldiğini tanımlarken yükselme zamanı, düşme zamanı, gecikme zamanı gibi tanımlamaları (Connect Rules) da bünyesinde barındırmaktadır. Bu her tanımlamanın varsayılan bir değeri vardır.

Yüksek frekanslı (500KHz – 1MHz) işaretlerin SFDR analizinin oldukça hassas yapılması gerekmektedir. Bağlantı elemanlarının yükselme ve düşme süreleri tanımlaması da bu bağlamda dikkat edilmesi gereken bir konudur. Bu süreler test

düzeneğinde varsayılan değer olarak 0.4 ns olarak tanımlanmıştır. Bu durumda DAC içerisindeki bütün bloklar için ideal modelleri konulduğunda bile 1MHz'lik çıkış işareti için 74 dB SFDR hesaplanmaktadır. Yükselme ve düşme süreleri 20 ps olarak değiştirildiğinde ise aynı çıkış frekansı ve test düzeneği için SFDR 107 dB olmaktadır. R-String'den gerilim seçen anahtarların iletime geçme süreleri koda bağlı bir şekilde değiştiği için böyle bir bozucu etki gözlemlemekteyiz.

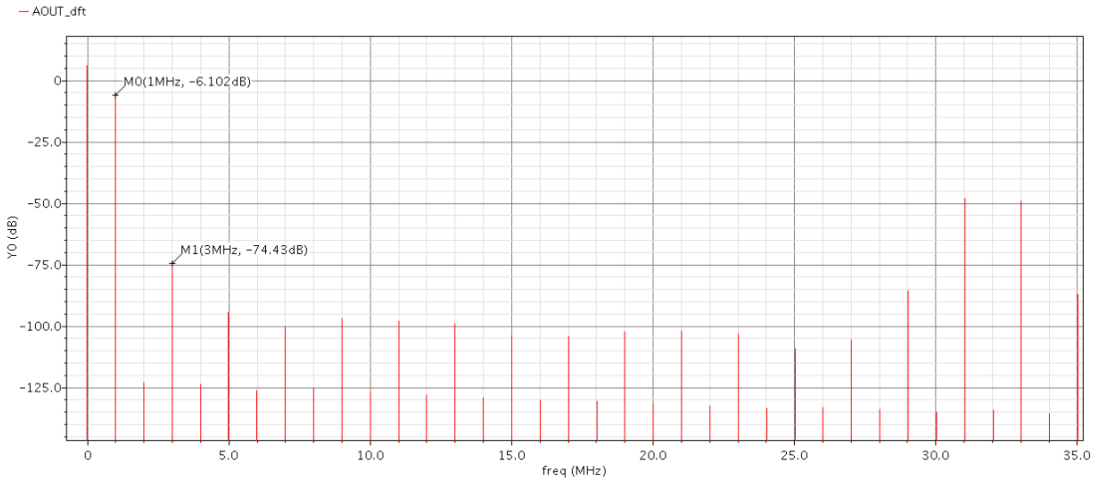


Şekil 2.7: Analog – sayısal düzlemler arasına konulan bağlantı elemanları.

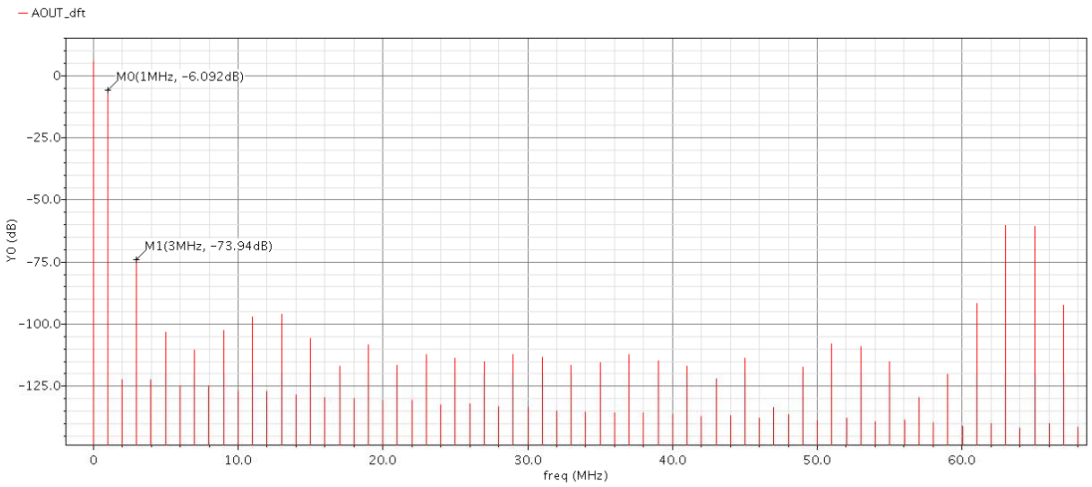
2.3. Saat Frekansı Etkisi

Herbir hata mekanizması incelenirken SFDR'ın çıkış frekansına göre nasıl değiştiği de incelenmiştir. Yapılan analizler sonucu SFDR'ın çıkış frekansına bağlı olduğu, saat frekansına bağlı olmadığı gözlenmiştir. Sonraki bölümlerde anlatılacak olan kod bağımlı eşdeğer direnç hata mekanizması devredeyken, 1 MHz çıkış işaretinin 32 MHz saat işaretiyle hesaplanan DFT Şekil 2.8'da gösterilmiştir. Aynı devre ve çıkış işareti için 64 MHz saat işareti kullanılması durumunda hesaplanan DFT Şekil 2.9'de gösterilmiştir.

Şekil 2.8 ve Şekil 2.9'de görüldüğü gibi SFDR saat frenaksına bağlı değildir. Çıkış frekansına bağlı olduğu bundan sonraki bölümlerde gösterilecektir. Bu sebeple 6 farklı frekans için giriş verisi oluşturulmuş ve herbiri için ayrı ayrı testler tanımlanmıştır. Saat frekansı ise her giriş frekansının 64 katı olacak şekilde seçilmiş, farklı saat frekansına göre parametrik analiz yapılmamıştır.



Şekil 2.8: 1 MHz'lik işaretin 32 MHz saat işareti kullanılması durumdaki DFT görüntüsü.



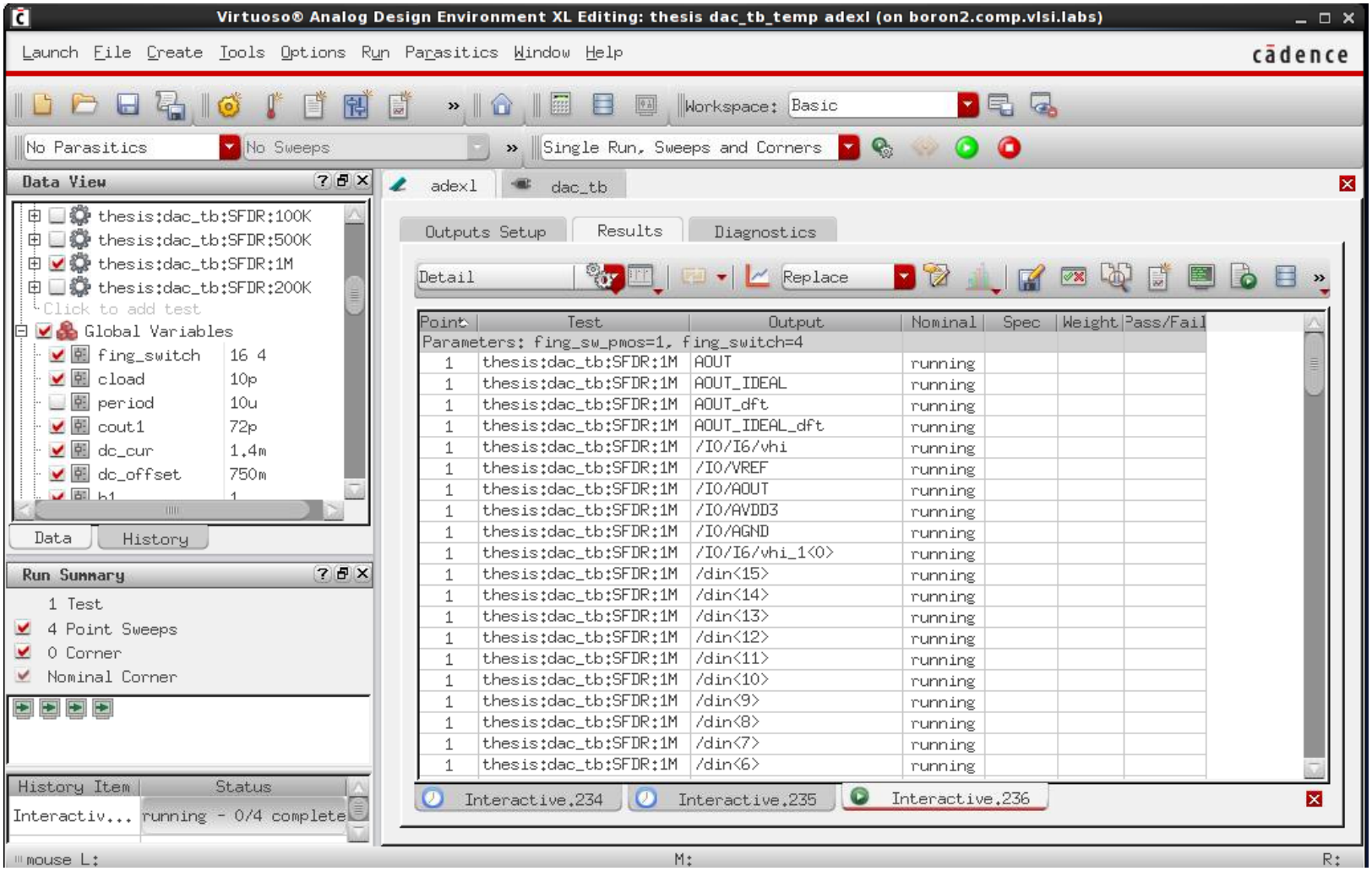
Şekil 2.9: 1 MHz'lik işaretin 64 MHz saat işareti kullanılması durumdaki DFT görüntüsü.

2.4. ADEXL Çalışma Ortamı

Bütün test ve test düzenekleri, parametreler vs. Cadence ADEXL (Analog Design Environment XL) ortamında oluşturulmuştur. Örnek bir ADEXL çalışma ortamı Şekil 2.10'de gösterilmiştir.

Sol üstte tanımlanmış 4 farklı test düzeneği görülmektedir. Bu örnekte bir tane test düzeneği için simülasyon koşturuluyor olsa da aynı anda birden fazla test düzeneği kolayca seçilerek koşturulabilmektedir. Bu bölümün hemen altında ise global değişkenler yer almaktadır. Tasarımda yer alan parametreler buradan kontrol edilerek parametrik analiz yapılabilmektedir. Şekil 2.10'de görüldüğü gibi "fing_switch" ve "fing_sw_pmos" parametrelerinin 2 farklı değeri için simülasyon koşturulmaktadır.

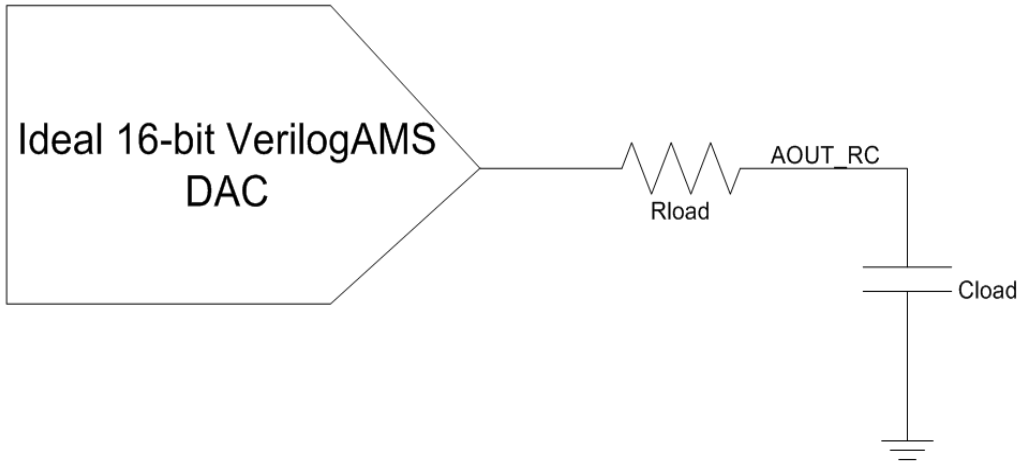
Sol alttaki 4 tane sağa yeşil ok, 4 kaynak kullanılarak simülasyonların paralel koşturulduğu gösterilmektedir. Paralel simülasyonlar "seçenekler" (Options) sekmesinde "görev prensipleri" menüsünden paralel kullanılması istenilen kaynak sayısı belirtilerek koşturulabilmektedir. Simülasyonlar olabildiğince paralel koşturularak verimli bir çalışma ortamı kurmak amaçlanmıştır.



Şekil 2.10: ADEXL çalışma ortamı.

3. DAC DİNAMİK HATA MEKANİZMALARI

Bu bölümde gerilim çıkışlı direnç dizesi tipi DAC mimarisinin dinamik hata mekanizmaları incelenmiş ve bu hata mekanizmalarını ortadan kaldıracak tasarım teknikleri önerilmiştir. RC zaman sabitinin büyüklüğünün lineerliği bozucu bir etken olmadığı, bu zaman sabitinin koda bağlı olarak sabit tutulması durumunda SFDR'ın 100 dB'den fazla olduğu görülmektedir. İdeal DAC çıkışına Şekil 3.1'deki gibi RC devresi konularak yapılan SFDR analiz sonuçları Çizelge 3.1'de gösterilmiştir.



Şekil 3.1: İdeal DAC ve RC devresi.

Çizelge 3.1: SFDR'ın RC zaman sabitine göre değişimi.

C_{load}\frekans	10K	50K	100K	200K	500K	1M
10 fF	107 dB	107 dB	107 dB	107 dB	107 dB	107 dB
100 fF	107 dB	107 dB	107 dB	107 dB	107 dB	107 dB
500 fF	107 dB	107 dB	107 dB	107 dB	107 dB	107 dB

RC zaman sabitinin koda bağlı olarak değişmesi DAC mimarisinin lineerliğini bozan dominant bir etkidir. Bu bağlamda referans alınan [4] mimarisi incelendiğinde bazı dinamik hata mekanizmaları belirlenmiştir. Şekil 1.15'de görüldüğü gibi Şekil 1.12'daki DAC mimarisinin 1 MHz'deki SFDR performansı 54 dB'dir. Bu tez çalışmasında dinamik hata mekanizmaları teker teker incelenerek SFDR çok daha yüksek seviyelere çıkarılmaya çalışılacaktır.

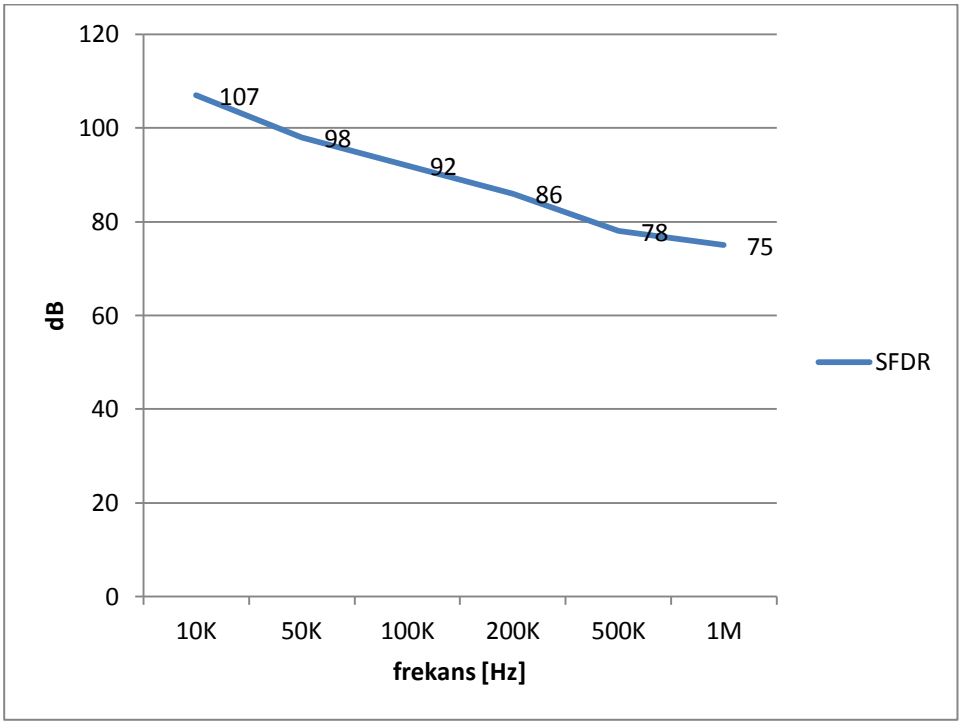
Bu incelemeler sırasında sadece incelenen hata mekanizması devrede olacak şekilde, hata mekanizmasını oluşturan yapı için gerçek devre, diğer bütün yapılar için ideal

modelleri konularak konfigürasyon yapılır. Bu yapının SFDR performansı hesaplanır. Hata mekanizmasını oluşturan yapı değiştirilerek iyileştirme yapılr ve en iyi sonuç bulunur. Hata mekanizmaları birbirlerine karıştırılarak performans arttırım yoluna gidilmez.

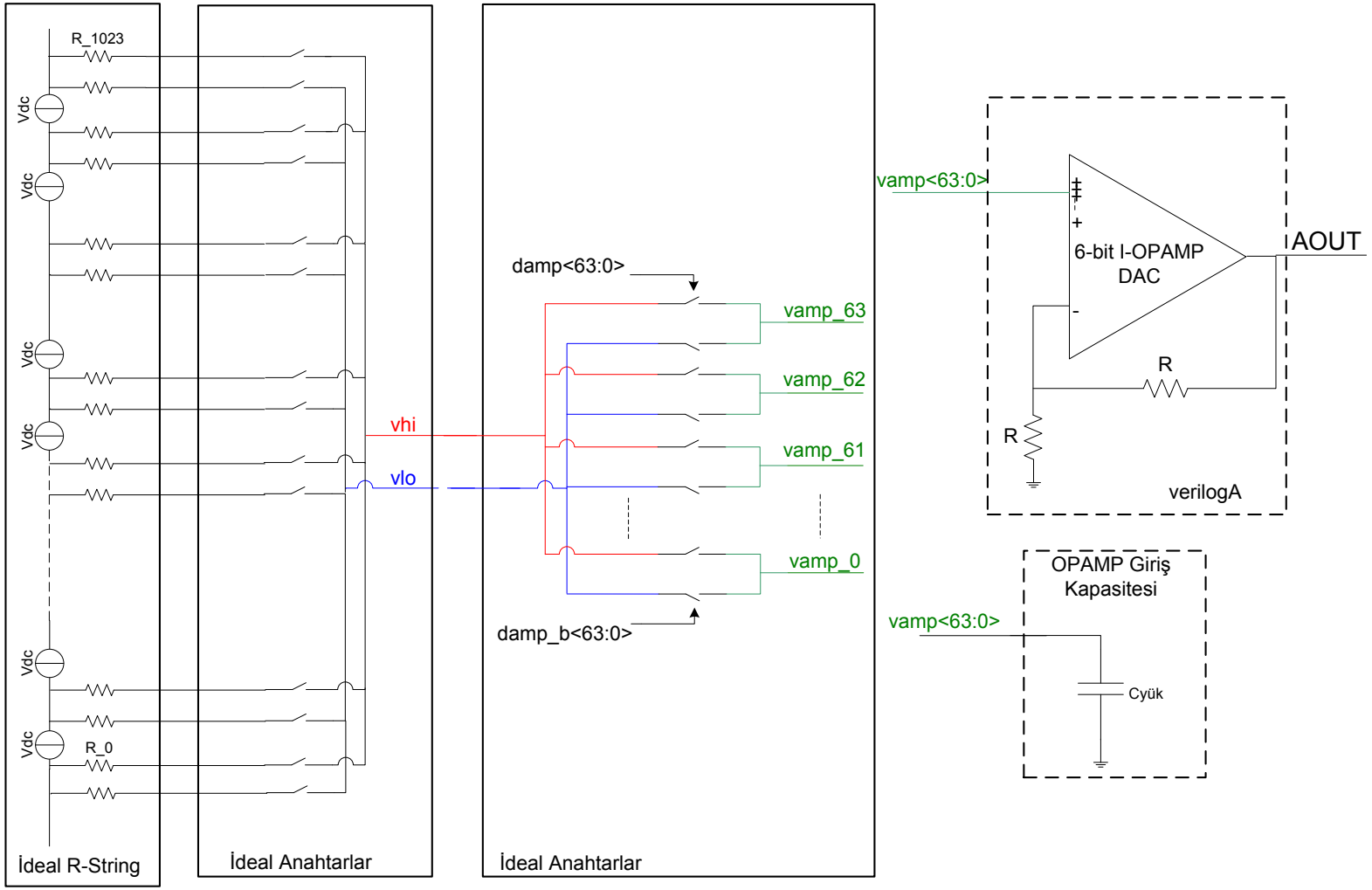
3.1. Hata Mekanizması 1: Koda Bağlı OPAMP Giriş Kapasitesi Etkisi

Şekil 1.12'de gösterildiği gibi [4] mimarisinde girişte bir R-String DAC arkasında da ara değer bulan OPAMP ile 16-bitlik DAC tasarımı yapılmıştır. OPAMP'ın girişlerine bağlanacak vhi veya vlo sayısını OPAMP girişlerindeki anahtarlar berlirlemektedir. Bu durumda iki farklı sinyal (vhi ve vlo) hattı bulunmaktadır ve koda bağlı olarak OPAMP girişinde görüdükleri kapasite değişmektedir. Bu hata mekanizmasının SFDR üzerindeki etkisini araştırmak üzere Şekil 3.3'teki gibi bir konfigürasyon oluşturulmuş, DAC içerisindeki bütün bloklar model olarak kullanılmıştır.

Şekil 3.3'de görüldüğü gibi koda bağlı olarak vhi ve vlo sinyal hattı üzerindeki toplam direnç sabitken çıkışta görülen kapasite koda bağlıdır. OPAMP için verilogA ideal modeli kullanıldığı için OPAMP giriş kapasitesi için de bir model konulmuştur. Bu konfigürasyondaki SFDR performansı Şekil 3.2'de gösterilmiştir.

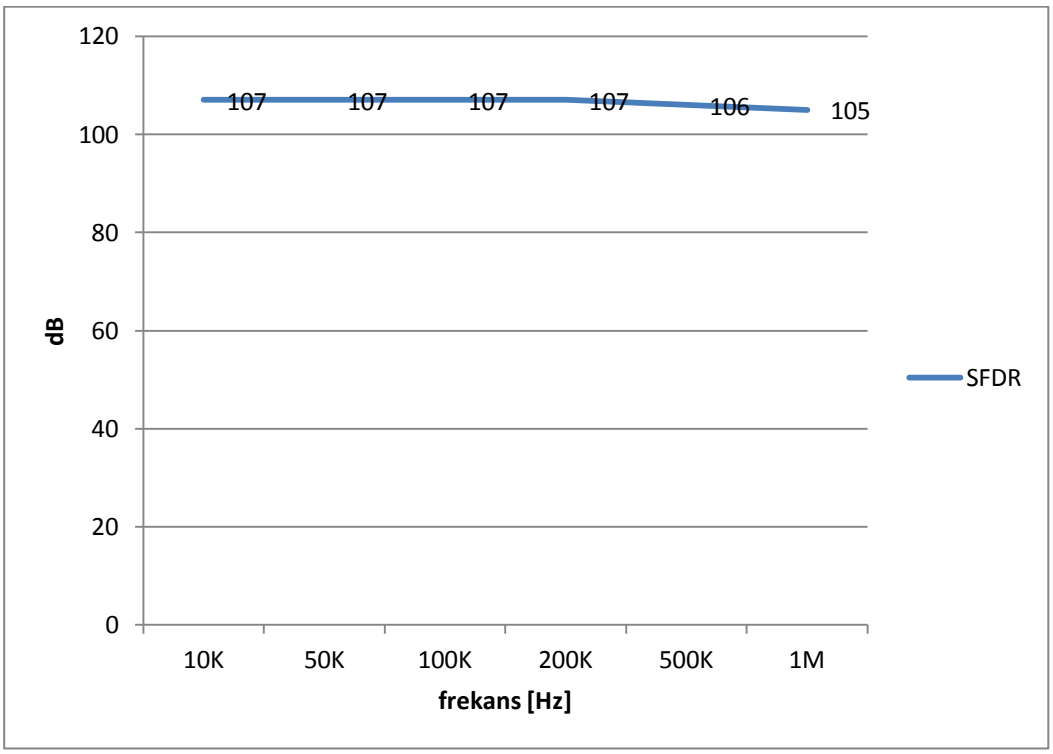


Şekil 3.2: Şekil 3.3'deki koda bağlı OPAMP giriş kapasitesinin SFDR'a etkisi.



Şekil 3.3: Koda bağlı OPAMP giriş kapasitesi analiz konfigürasyonu.

Şekil 3.3'de görüldüğü gibi, bütün bloklar ideal model olarak konfigürasyon yapılsa bile SFDR performansı 1 MHz'de 75 dB'dir. Sinyal hattı üzerindeki opamp giriş kapasitesini kod bağımsız hale getirmek için buradaki seçme anahtarlarına ters şekilde davranacak, koda bağlı olarak sinyal hattına ek kapasiteler bağlayacak bir mimari tasarlanmıştır. Bu yeni tasarım tekniğiyle 1 MHz'de 75 dB'lerde olan SFDR performansını 106 dB'lere çıkmaktadır. Önerilen DAC mimarisi Şekil 3.5'de, SFDR performansı sonuçları ise Şekil 3.4'da gösterilmiştir.

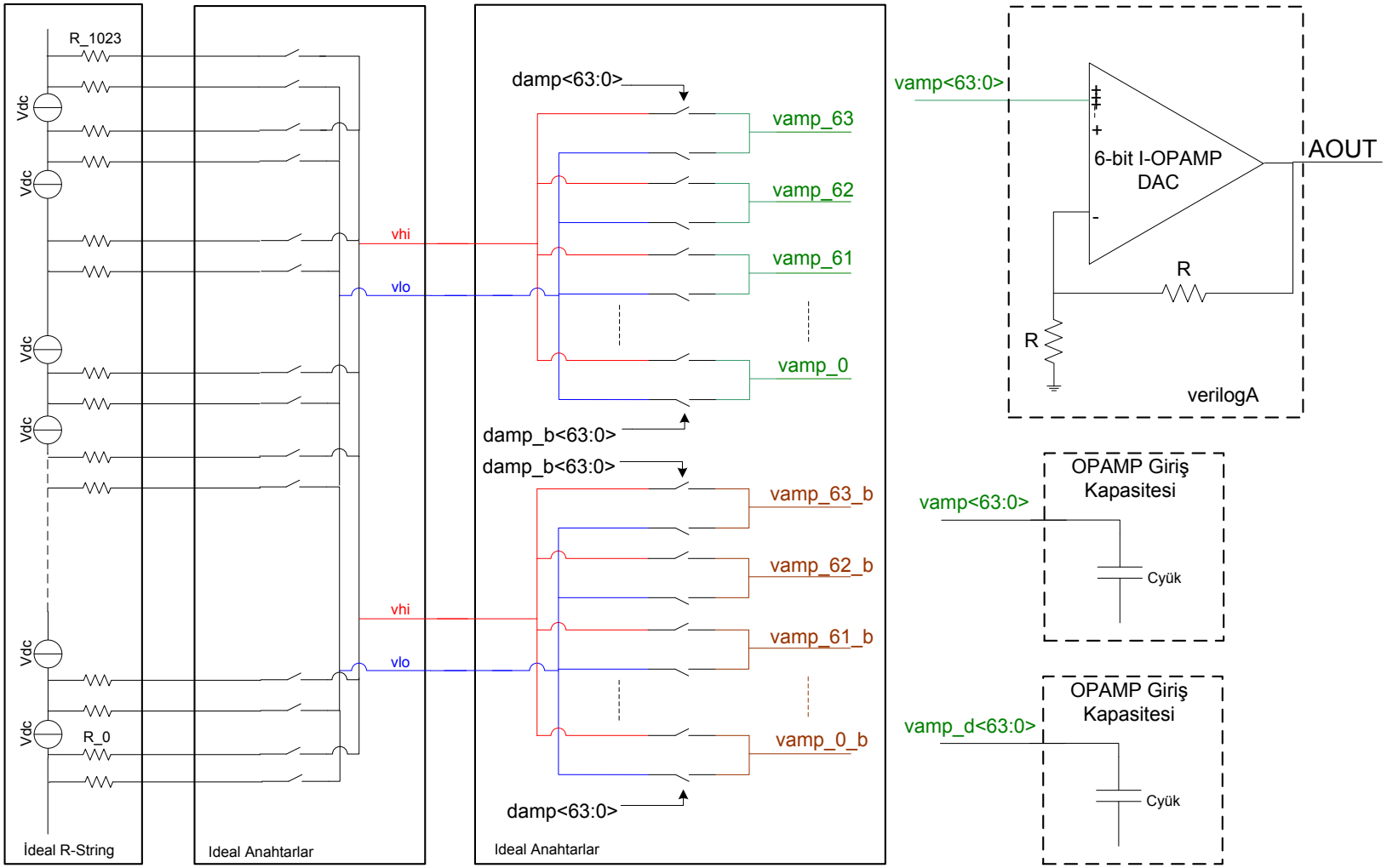


Şekil 3.4: Kod bağımsız DAC mimarisinin SFDR performansı.

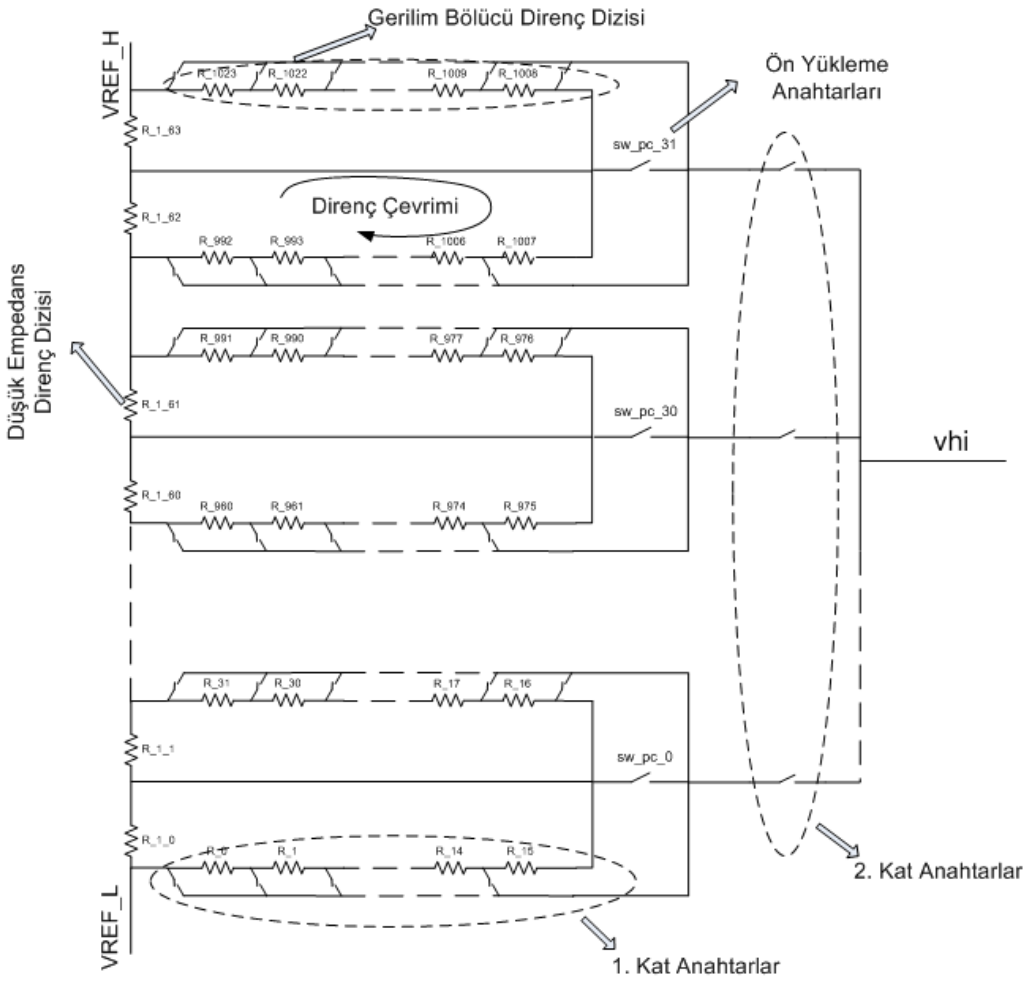
Bu analizden anlaşılacağı gibi yüksek frekanslarda yüksek SFDR için böyle bir yapının mutlaka DAC mimarisi içerinde olması gerekmektedir.

3.2. Hata Mekanizması 2: Koda Bağlı Eşdeğer Direnç Etkisi

R-String DAC mimarisi bilindiği gibi temel bir direnç serisinden anahtarlarla çeşitli gerilim seviyeleri seçme esasına dayanır. Bu tez çalışmasında yüksek hızlarda çalışabilecek, çeşitli düşük empedans noktaları oluşturma esasına dayanan direnç dizesi mimarisi kullanılmış ve vhi gerilim seviyesi için örnek mimari Şekil 3.6'de gösterilmiştir.



Şekil 3.5: Kod bağımsız OPAMP giriş kapasitesi ile DAC mimarisi.



Şekil 3.6: Yüksek hızlı R-String mimarisi.

R-String 10-bit çözünürlükte tasarlanmıştır. 16-bit çözünürlükte bir DAC hedeflenmektedir ve 6-bit çözünürlük ise I-OPAMP DAC mimarisinden alınacaktır. Bu tasarım kararının sebebine kısaca değinmek gerekirse, I-OPAMP DAC mimarisi girişindeki çoklayıcı anahtarları tek bir düğüme bağlanmaktadır. Buradaki anahtar sayısı 2^n'dir (n bit çözünürlük için). Bu sebeple I-OPAMP DAC çözünürlüğü arttıkça birbirine bağlı anahtar sayısının artması sonucu anahtarlardan gelen hata mekanizmaları baskın olmakta, bununla birlikte parazitik kapasiteler sebebiyle de sistem yavaşlamaktadır. Yine bu bağlamda, R-String'den gerilim seçen anahtarlar 2 katmanlı olacak şekilde tasarlanmıştır ve 32'şer anahtar birbirine bağlı olacak şekilde mimari kurulmuştur.

Şekil 3.6'da her bir direnç çevrimi içerisinde 16 ardışıl kod için gerilim seviyesi üretilmektedir. Bu direnç çevrimlerinden toplamda 64 tane vardır ve birbirlerine düşük empedanslı birer düğümle bağlanmıştır. Ardışıl her iki direnç çevriminin çıkışı ise birbirine bağlanmış, bu düğümler ikinci kattaki 32 anahtarla birlikte R-String

DAC'ın çıkışını oluşturmaktadır. İkinci kattaki 32 anahtardan herbir kod için sadece biri iletimde olduğundan kapalı 31 anahtara ait 31 çift direnç çevrimi için düşük empedans noktasından ön yükleme (pre-charge) yapılarak R-String daha da hızlandırılmıştır.

DAC'ın olabildiğince hızlı olması SFDR performansını arttırmaktadır. Çünkü RC zaman sabiti süresince sistemde varolan hata mekanizmaları, RC küçük tutulduğunda DFT penceresinde daha az baskın olacaktır. Bu sebeple direnç değerleri küçük seçilmeye çalışılmıştır. Ancak daha küçük direnç değerleri için üretim hatalarının kontrolü oldukça zor olacaktır. Bu sebeplerle Şekil 3.6 mimarisinde kullanılan bütün dirençlerin değeri 16 Ω olarak seçilmiş ve bu durumda DC (Doğru Akım) olarak kaynaktan yaklaşık 1 mA çekilmektedir.

İlk bakışta da görülebileceği gibi Şekil 3.6'deki mimariye göre her kod için R-String'den gelecek eşdeğer direnç farklı olacaktır. Koda bağlı eşdeğer direncin değişmesi RC zaman sabitinin dinamik olarak değişmesine sebep olacağından bu efekt SFDR performansını ciddi miktarda bozan bir hata mekanizmasıdır. Koda bağlı eşdeğer direnç R-String'in Thevenin eşdeğerine göre MATLAB'de modellenmiştir. R-String'in basitleştirilmiş eşdeğer devresi Şekil 3.7a'da, akım çevrimleri ise Şekil 3.7b'de gösterilmiştir.

k numaralı kod için direnç değerleri aşağıdaki denklemler ile hesaplanmıştır;

$$R_1 = (64 - \lceil k/16 \rceil) \times [R \,//\, (16 \times R)] \quad \textbf{(4.1)}$$

$$R_2 = mod(k, 16) \times R \quad \textbf{(4.2)}$$

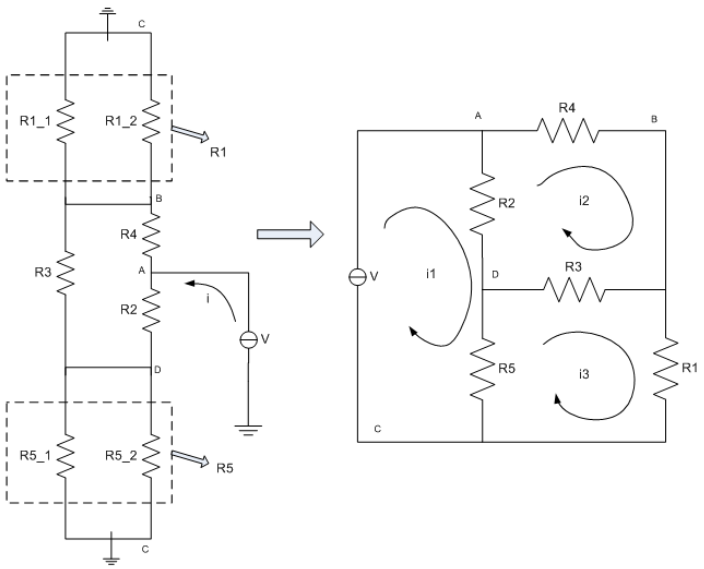
$$R_3 = R \quad \textbf{(4.3)}$$

$$R_4 = 16 - mod(k, 16) \quad \textbf{(4.4)}$$

$$R_5 = \lfloor k/16 \rfloor \times [R \,//\, (16 \times R)] \quad \textbf{(4.5)}$$

Şekil 3.7b'deki eşdeğer devrenin Kirchoff'un gerilimler yasasına ilişkin eşitlikler matris formatında **(4.6)**'da gösterilmiştir.

$$\begin{bmatrix} V \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} (R_2 + R_5) & -R_2 & -R_5 \\ -R_2 & (R_2 + R_3 + R_4) & -R_3 \\ -R_5 & -R_3 & (R_1 + R_3 + R_5) \end{bmatrix} \times \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} \quad \textbf{(4.6)}$$



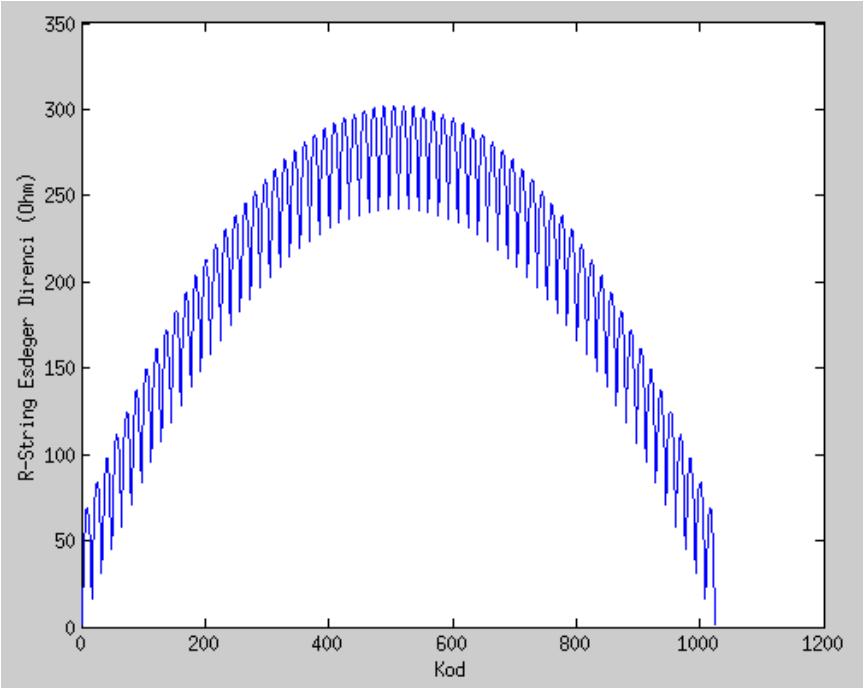
(a) (b)

Şekil 3.7: R-String eşdeğer devresi.

(4.6) denkleminden yola çıkarak her kod için iletime geçen anahtar tarafından görülen eşdeğer direnç hesaplanmıştır. Her kod için görülen eşdeğer direnç R_k **(4.6)** eşitliği kullanılarak **(4.7)**'deki gibi bulunmuştur.

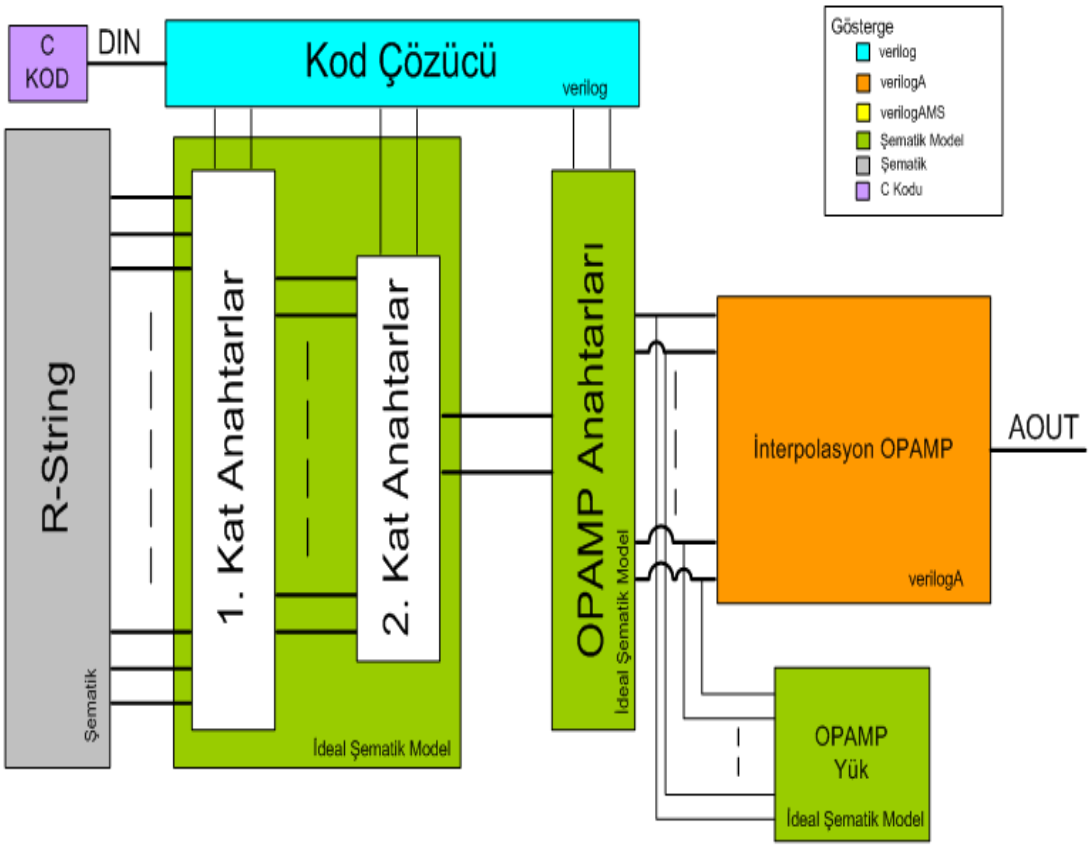
$$R_k = \frac{V}{i_1} \qquad \textbf{(4.7)}$$

R_k'nın 1024 kod için değişimi MATLAB ile hesaplanmış ve Şekil 3.8'da gösterilmiştir [Ek A].



Şekil 3.8: Koda bağlı eşdeğer direncin değişimi.

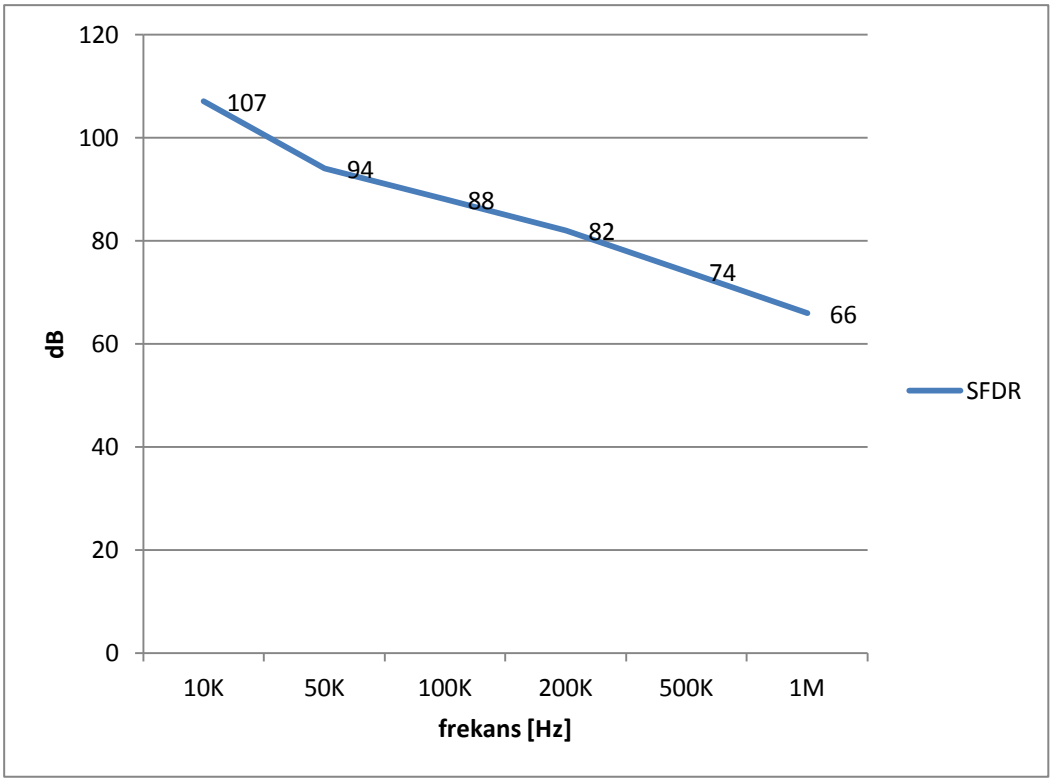
Sadece bu hata mekanizması devrede olacak şekilde, R-String gerçek şematik, anahtarlar ve diğer bütün diğer bloklar ideal modelleriyle kullanılarak Şekil 3.9'daki gibi bir konfigürasyon kurulmuş ve SFDR analizi yapılmıştır. Bu analiz sonuçları Şekil 3.10'da gösterilmiştir.



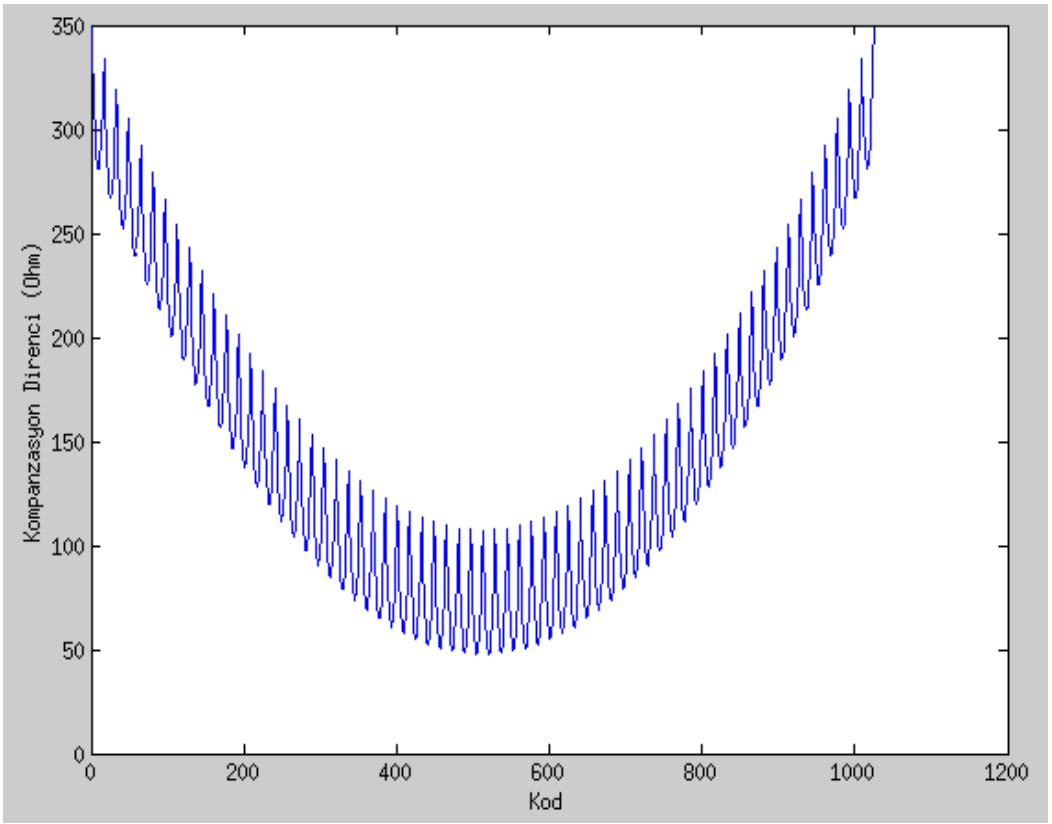
Şekil 3.9: R-String koda bağlı eşdeğer direnç analiz konfigürasyonu.

Şekil 3.10'de görüldüğü gibi sadece bu hata mekanizması 1MHz'de 106 dB'de olan SFDR'ı 66 dB'ye düşürmektedir.

Bu tez çalışmasında koda bağlı eşdeğer direnci kod bağımsız hale getirebilmek için seri direnç ekleme metodu önerilmiştir. Şekil 3.8'da gösterilen mevcut eşdeğer direnç paternine ters olacak şekilde ve her kod için eşdeğer dirence seri olarak, yani ilk kattaki 1024 anahtarın her birinin önüne, farklı büyüklükte bir direnç eklenerek kompanzansyon yapılabileceği ve bu hata mekanizmasının ortadan kaldırılabileceği düşünülmektedir. Eklenecek direnç değerleri MATLAB ortamında hesaplanmıştır ve Şekil 3.11'deki gibi bir paterne sahip olmalıdır. Bu direnç kompanzasyon devresi yine MATLAB kullanılarak SPICE kodu şeklinde bir dosyaya yazdırılmış ve DAC mimarisi içerisinde kullanılmıştır. Kompanzasyon mekanizmasıyla birlikte SFDR analizi için oluşturulan konfigürasyon Şekil 3.12'de gösterilmiştir.

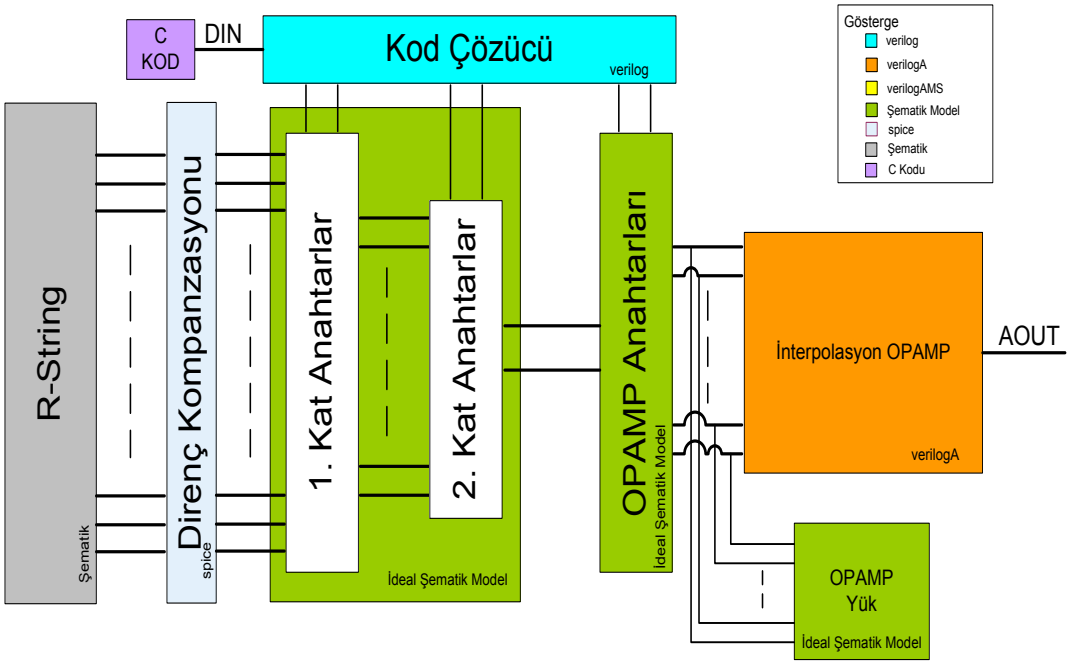


Şekil 3.10: Koda bağlı eşdeğer direnç hata mekanizmasının SFDR üzerindeki etkisi.

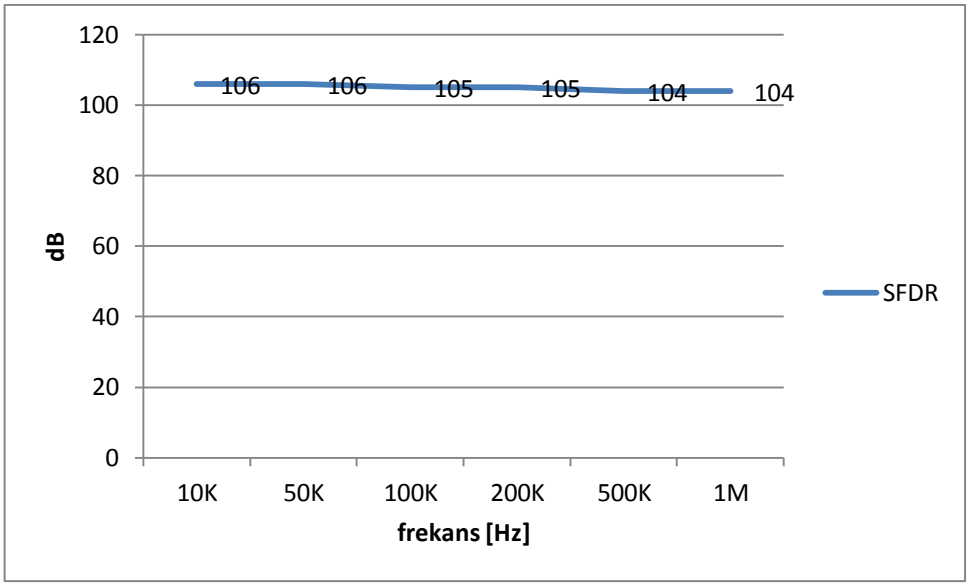


Şekil 3.11: Kod bağımsız eşdeğer direnç için kompanzasyon direnç paterni.

Eşdeğer direnç kompanzasyonu yapılarak ve Şekil 3.12'deki gibi bir konfigürasyon kullanılarak elde edilen SFDR performans sonuçları Şekil 3.13'de gösterilmiştir.



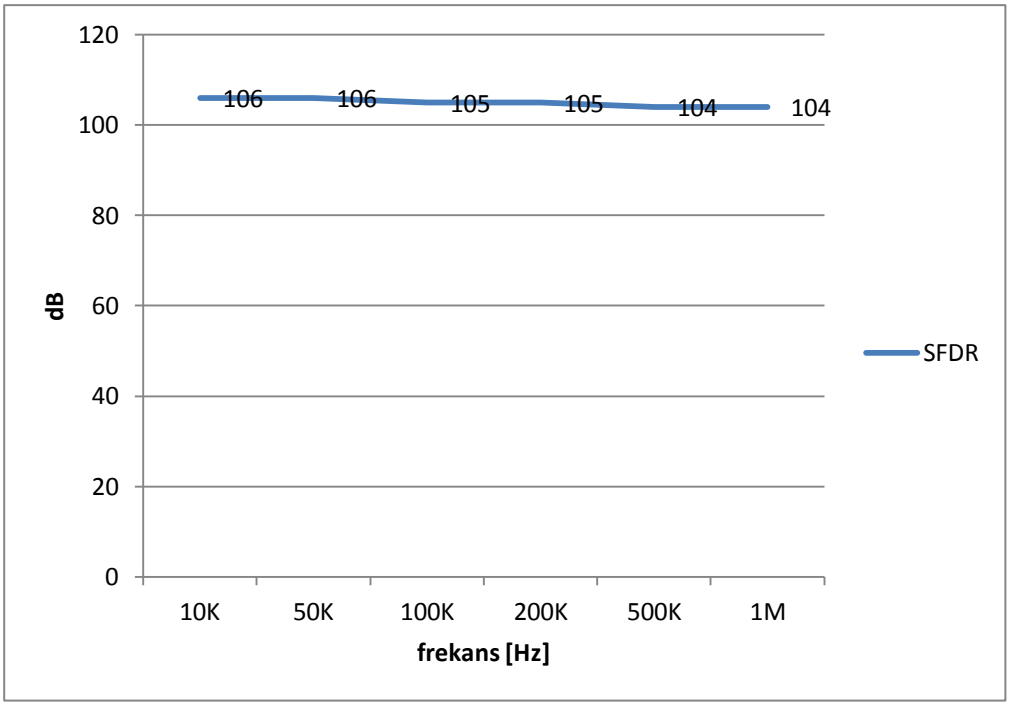
Şekil 3.12: Kod bağımsız eşdeğer direnç SFDR analiz konfigürasyonu.



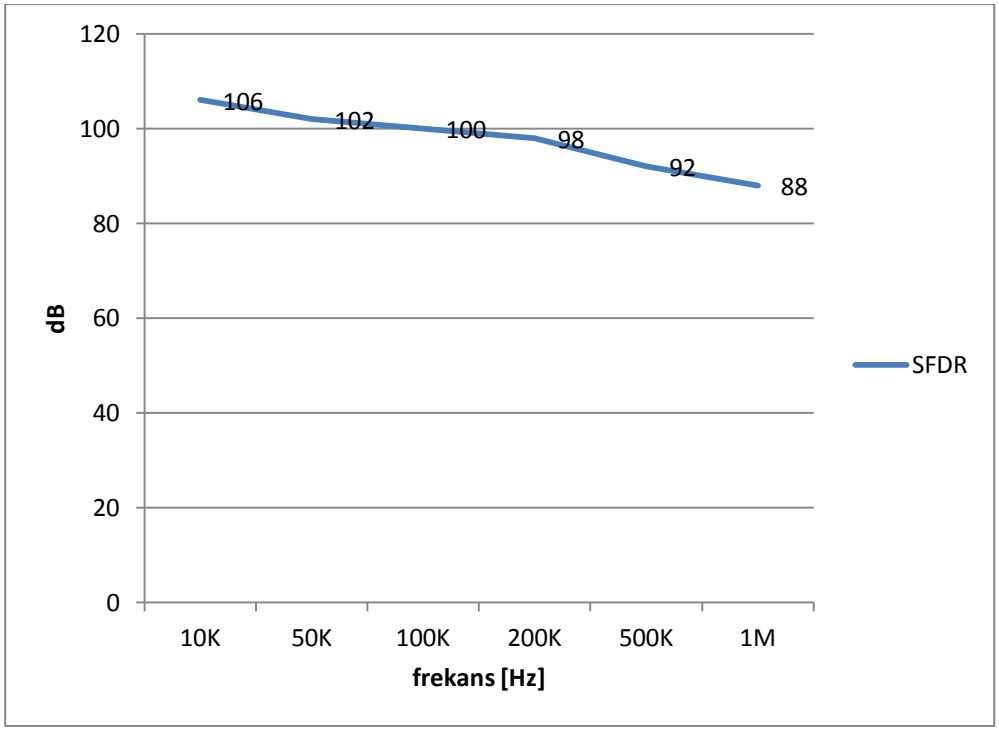
Şekil 3.13: Eşdeğer direnç kompanzasyonuyla birlikte SFDR performası.

Şekil 3.13'de görüldüğü gibi seri direnç ekleme metoduyla 1MHz'de 66 dB'deki SFDR performansı 106 dB'ye kadar çıkarılabilmiştir. Yüksek hızlarda yüksek SFDR için böyle bir yapının da mutlaka gerçeklenmesi gerekmektedir.

Şekil 3.11'de gösterilen direnç kompanzasyon paterni 1 Ω hassasiyetle hesaplanmıştır. Ancak serim sırasında bu kadar hassas direnç değerleri elde etmek oldukça zordur. 20 Ω hassasiyetle yapılan kompanzasyona ilişkin SFDR performansı Şekil 3.14'de, 100 Ω hassasiyet içinse Şekil 3.15'de gösterilmiştir.



Şekil 3.14: 20 Ω hassasiyetle yapılan direnç kompanzasyonuyla birlikte SFDR performansı.



Şekil 3.15: 100 Ω hassasiyetle yapılan direnç kompanzasyonuyla birlikte SFDR performansı.

Şekil 3.14'de görüldüğü gibi 20 Ω hassasiyetle bile R-String neredeyse tamamen doğrusallaştırılabilmekte ve 1MHz'de 104 dB SFDR performansı vermektedir. Şekil 3.15'da 100 Ω hassasitle yapılan tasarımda 1MHz'de SFDR performansı 88 dB'te düşmektedir.

3.3. Anahtar Hata Mekanizmaları

Daha önce bahsedildiği gibi R-String DAC 1.2 Volt (V) – 0.2 Volt arasında 10-bitlik çözünürlükte çalışacak şekilde tasarlanmıştır. Bu çalışma aralığında NMOS anahtarlar kullanılmıştır. Çalışmalar sonucunda SFDR üzerinde baskın etkiye sahip hata mekanizmalarının koda bağlı iletim direnci, gövde etkisi, lineer olmayan overlap (savak veya kaynak ile geçit arasındaki parazitik kapasite) kapasitesi ve anahtarlama sırasındaki yük enjeksiyonu (charge injection) ve clock feedtrough (saat geçiş beslemesi) olduğu tespit edilmiştir. Bu mekanizmaların ne olduğu ve bazılarına ilişkin çözümler bu tez çalışması kapsamında incelenmiştir.

3.3.1. Hata mekanizması 3: sabit V_{GS}

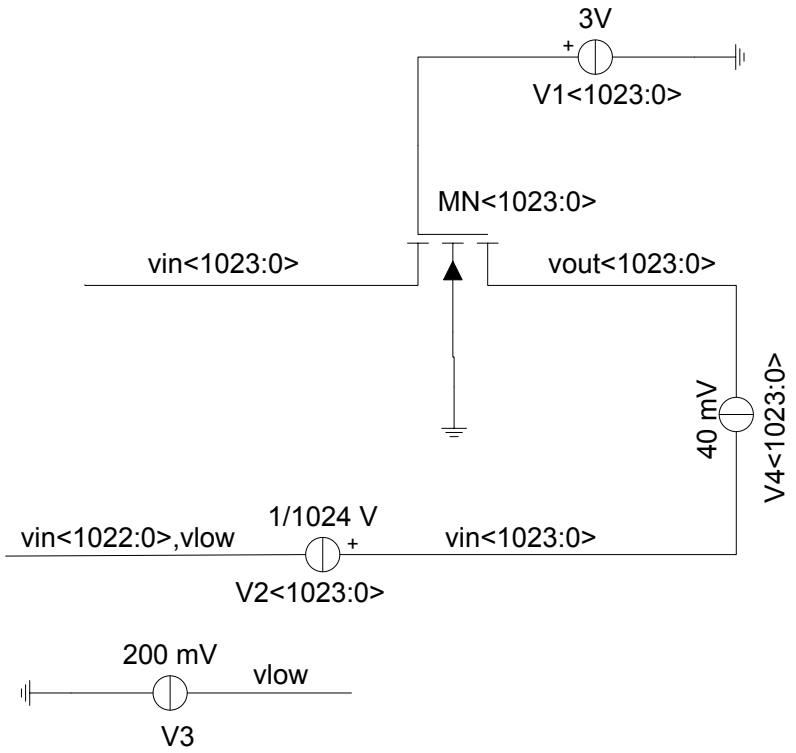
Bir NMOS anahtarın çalışma prensibi oldukça basittir. Geçit gerilimi eşik gerilimini geçince kanal oluşur ve transistör iletime geçer. Bu durumda transistörün bir iletim direnci vardır. Bu tezde kurulan sistemde anahtarlar açıkken V_{GS} (geçit-kaynak gerilim farkı) gerilimleri oldukça büyük olduğundan MOS anahtarlar genellikle doğrusal bölgede çalışırlar. Doğrusal bölgedeki tranzistörün iletim direnci **(4.8)**'de gösterilmiştir.

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \qquad \textbf{(4.8)}$$

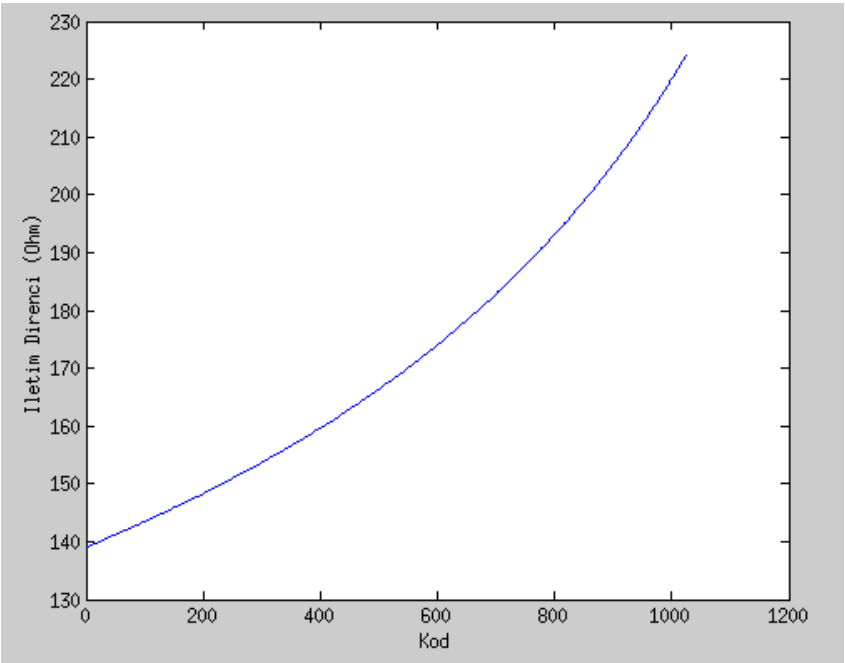
(4.8)'de görüldüğü gibi iletim direnci $V_{GS} - V_{TH}$ değerine direkt olarak bağlıdır. Şekil 3.6'de ilk kattaki anahtar yapısı düşünülürse, bu yapıda 1024 anahtar mevcuttur ve her bir anahtarın girişindeki gerilim seviyesi farklıdır. Bu farklılık sebebiyle her bir transistörün iletimde geçit gerilimi aynı olduğundan transistörlerin V_{GS} gerilimi koda bağlı olarak değişmekte ve herbir transistörün iletim direnci farklı olmaktadır. Koda bağlı iletim direncini hesaplayabilmek için Şekil 3.16'deki gibi bir test düzeneği kullanılmıştır.

Şekil 3.16'de görüldüğü gibi 1024 transistörün kaynak gerilimleri toplamda 1V (0.2V – 1.2V arası) değişecek şekilde ve her bir tranzistörün V_{DS} gerilimi 40mV olacak şekilde DC olarak kutuplanmalar yapılmıştır. Bütün transistörlerin geçitleri 3V'a gövdeleri ise toprağa bağlanmıştır. Tranzistör boyları 16um/0.35um seçilmiştir. Şekil 3.16'deki test düzeneği kullanılarak yapılan DC çalışma bölgesi analizine göre transistörlerin koda bağlı olarak Şekil 3.17'deki gibi değiştiği görülmektedir. Bu

analiz ilk kattaki 1024 anahtar düşünülerek yapılmıştır, ikinci kat 32 anahtar için de benzer davranış vardır.



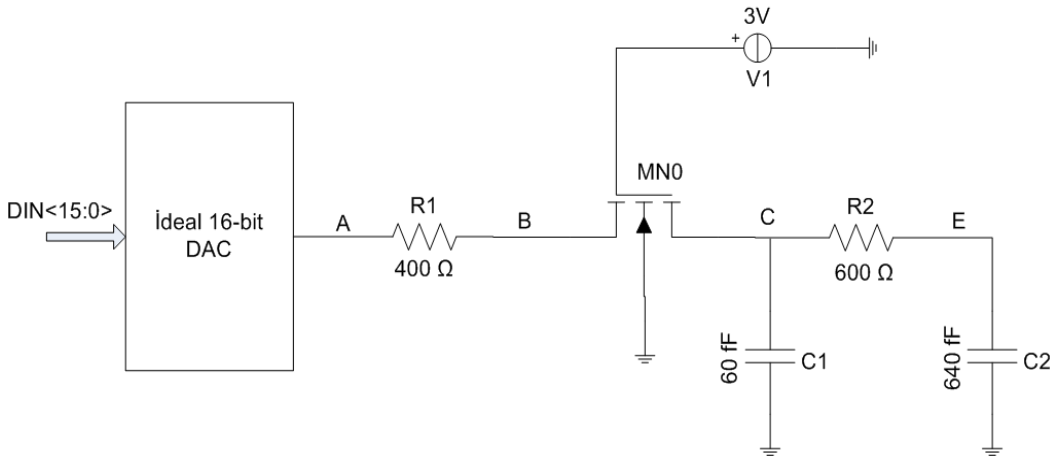
Şekil 3.16: Koda bağlı NMOS iletim direncini hesaplayabilmek için test düzeneği.



Şekil 3.17: Koda bağlı NMOS anahtarların iletim dirençlerinin değişimi.

Şekil 3.17'de görüldüğü gibi NMOS anahtarların iletim direnci koda bağlı olarak %50'ye kadar değişim göstermektedir. Bu efekt sinyal hattı üzerindeki toplam

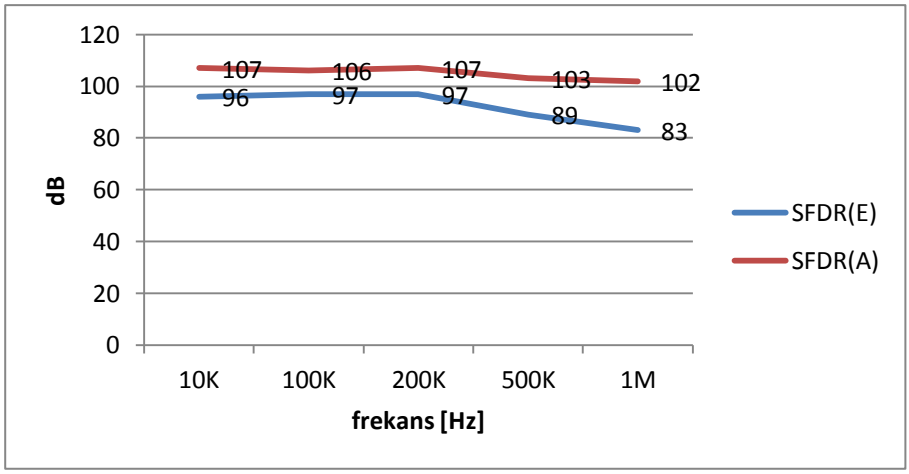
direnci değiştireceğinden ve RC zaman sabiti koda bağlı olacağından baskın bir hata mekanizması oluşturmaktadır. Bu hata mekanizmasının lineerliği ne kadar etkilediğini göstermek adına Şekil 3.18'deki gibi bir test düzeneği kurulmuştur.



Şekil 3.18: Koda bağlı V_{GS} geriliminin SFDR'a etkisini gösteren test düzeneği.

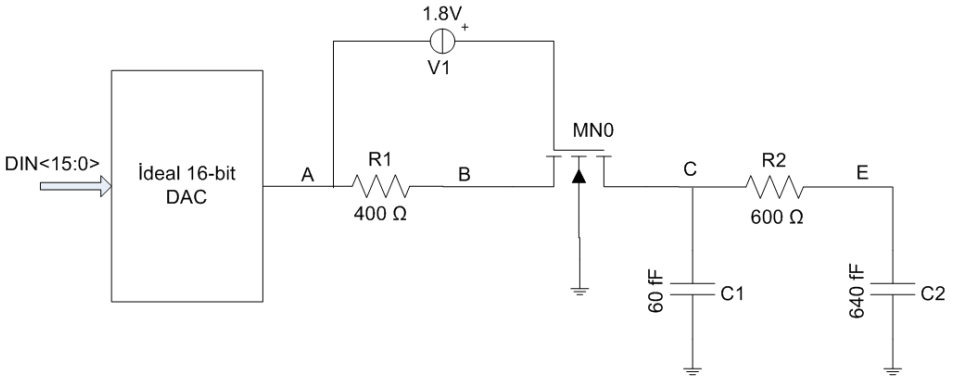
Şekil 3.18'de ideal bir DAC çıkışına seri olarak bir RC devresi ve sürekli açık bir NMOS transistor konulmuştur. Buradaki amaç geçit gerilimi 3V'ta (sürekli açık) olan transistörün kaynağındaki gerilimin değişimine göre değişen iletim direncinin SFDR üzerindeki etkisini hesaplamaktır. Bu test düzeneğinde anahtarlama olmadığı için anahtarın açıldıktan sonraki davranışı modellenmiş ve koda bağlı iletim direnci diğer bütün hata mekanizmalarından izole edilmiştir. R_1 direnci 400 Ω seçilmiş ve R-String'den gelecek eşdeğer direnç modellenmiştir. Şekil 3.18'deki tranzistör ilk kattaki bir anahtar olarak düşünülmüş, boyutu 16um/0.35um olarak seçilmiştir. R_2 direnci ise ikinci kat anahtarların ve OPAMP çoklayıcı anahtarlarının toplam iletim direncini modellemek amacıyla konulmuştur. C_1 kapasitesi iletimde olan anahtara bağlı 31 açık anahtarın parazitik kapasitesini modellemektedir ve değeri 60 fF olarak seçilmiştir. C_2 kapsitesi ise OPAMP giriş kapasitesini modellemekte ve değeri 640 fF olarak seçilmiştir. Şekil 3.18'daki test düzeneğinde A düğümündeki ve E düğümündeki SFDR performansının çeşitli çıkış frekanslarına göre grafiği Şekil 3.19'de gösterilmiştir.

Şekil 3.19'deki grafikte A düğümündeki SFDR değerleri test düzeneğinin doğru hazırlandığını E düğümündeki bozulmanın sürekli açık NMOS transistörden kaynaklandığını göstermek için belirtilmiştir. Bu analizden de anlaşıldığı üzere NMOS anahtarların iletim direncinin koda bağlı değişmesi baskın bir efekt olarak karşımıza çıkmaktadır.



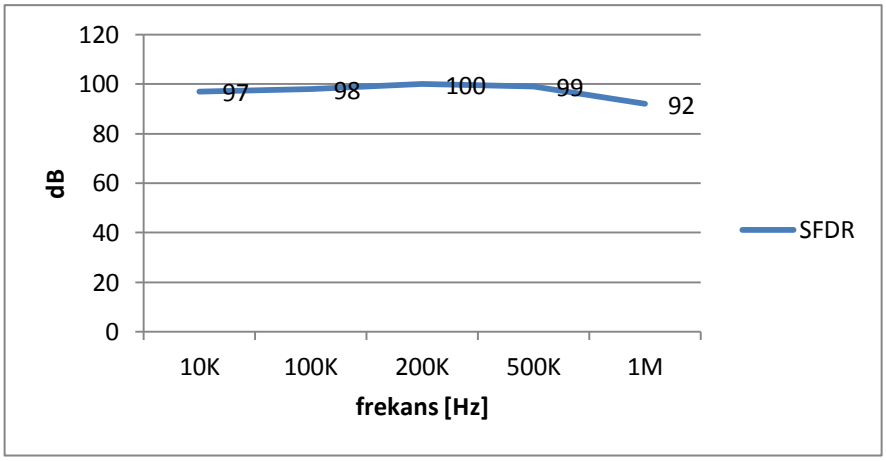
Şekil 3.19: Şekil 3.18'daki A ve E düğümlerinin frekansa göre SFDR performası.

Kod bağımsız iletim direnci yapısı için kod bağımsız V_{GS} oluşturabilecek bir yapı kurmak gereklidir. Bunu sağlayabilmek içinse geçit gerilimlerinin koda bağlı olarak bir direnç dizisinden alınması geçerli bir yapıdır [1,4]. Bu tez çalışmasında 3V – 2V arasında gerilim bölücü 1024 direnç kullanılarak bu yapı gerçeklenmiştir. Bu durumda iletim sırasında bütün NMOS transistörlerin V_{GS} gerilimleri yaklaşık 1.8V olarak ayarlanmaktadır. Bu yaklaşımın SFDR üzerindeki etkisini gösterebilmek adına Şekil 3.16'deki test düzeneğine benzer şekilde Şekil 3.20'deki gibi bir test düzeneği oluşturulmuştur.



Şekil 3.20: Kod bağımsız V_{GS} yapısının SFDR üzerindeki etkisini gösteren test düzeneği.

Şekil 3.20'deki test düzeneğinde yine ideal DAC, seri RC devresi ve sürekli açık NMOS transistor bulunmaktadır. Ancak geçit gerilimi kaynak gerilimi arasına DC gerilim kaynağı konularak kod bağımsız V_{GS} gerilimi elde edilmiştir. Kapasite, direnç değerleri ve tranzistör boyutu Şekil 3.18'deki test düzeneğiyle aynıdır. Şekil 3.20'daki yapıya ilişkin SFDR performansı Şekil 3.21'da gösterilmiştir.

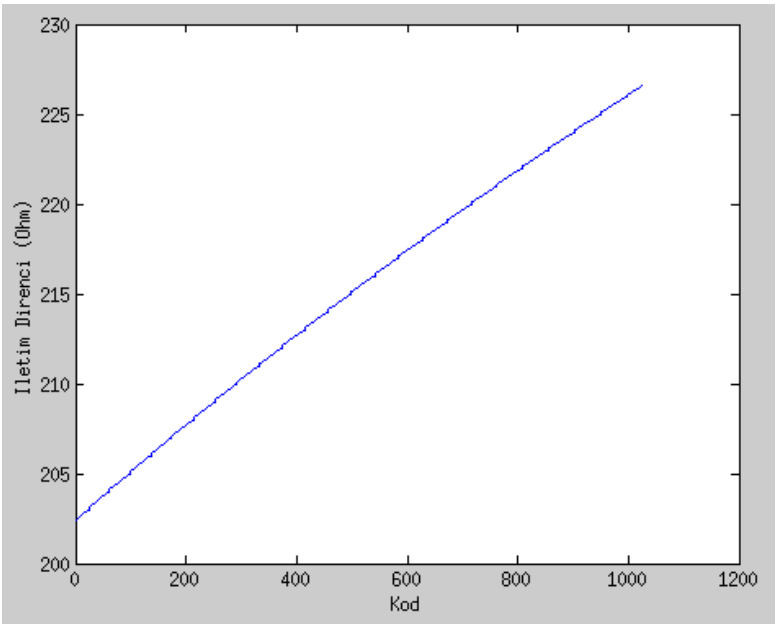


Şekil 3.21: Kod bağımsız V_{GS} yapısının SFDR performansına etkisi.

Şekil 3.21'da görüldüğü gibi kod bağımsız V_{GS} yapısı ile DAC daha lineer bir yapıya sahip. Ancak halen daha bazı hata mekanizmaları SFDR performansını olumsuz etkilemekte, idealde 1MHz'de 100 dB ve üzeri olması gerekirken 92 dB SFDR alınmaktadır bu yapıyla.

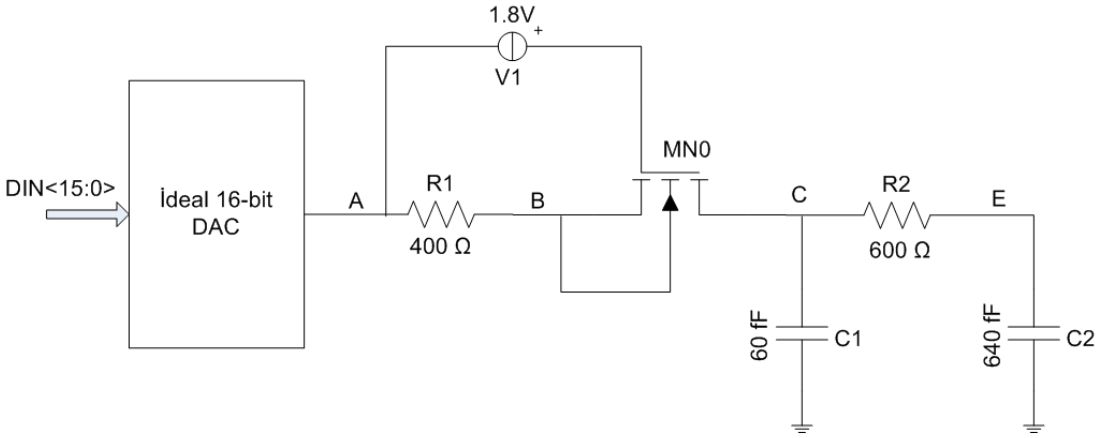
3.3.2. Hata mekanizması 4: sabit V_{BS}

(4.8) denkleminde belirtildiği gibi transistörlerin iletim direnci $V_{GS} - V_{TH}$ terimiyle bağıntılıdır. V_{SB} (kaynak – gövde gerilimi) değeri mevcut yapıdaki her transistör için farklıdır. Gövde etkisinin bir sonucu olarak da bahsedilen 1024 transistörün eşik gerilimi (V_{TH}) birbirinden farklıdır. Sabit V_{GS} yapısı varken gövde etkisi sebebiyle iletim direncinin koda bağlı değişimi Şekil 3.22'de gösterilmiştir.



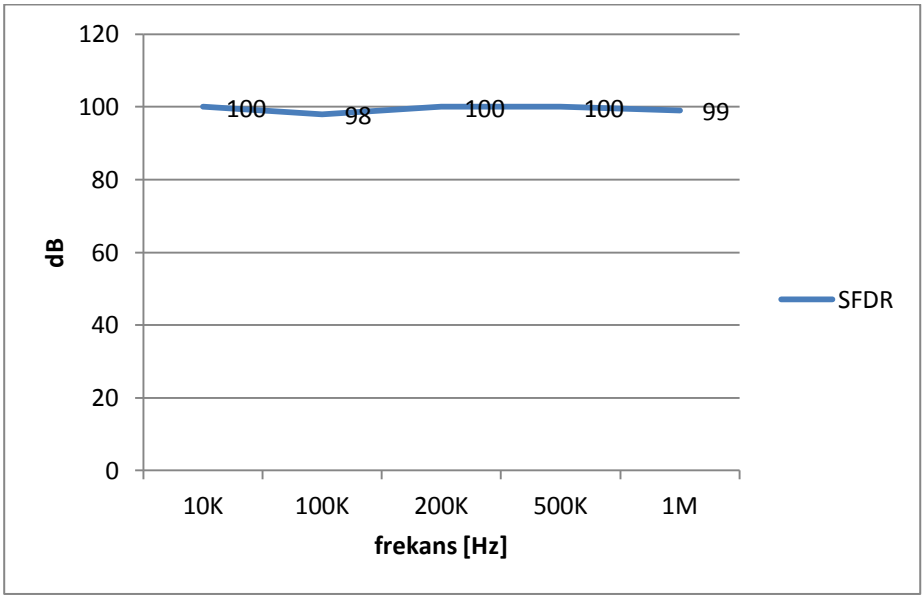
Şekil 3.22: Sabit V_{GS} yapısında gövde etkisi sebebiyle iletim direncinin koda bağlı değişimi.

Görüldüğü gibi gövde etkisi sebebiyle değişen eşik gerilimi anahtarların iletim direncini de koda bağlı olarak oldukça değiştirmektedir. Anahtarlar gövde etkisini ortadan kaldırabilecek şekilde tasarlanabilirse kod bağımsız iletim direnci elde edilebilir. Şekil 3.20'deki test düzeneğinde NMOS anahtarın gövdesi toprak yerine kaynağa bağlanarak Şekil 3.23'deki gibi bir test düzeneği oluşturulmuştur. Tranzistör boyutu ve direnç, kapasite değerleri Şekil 3.18'deki test düzeneğiyle aynıdır.



Şekil 3.23: Sabit V_{GS} ve V_{BS} yapıları ile hazırlanan test düzeneği.

Kod bağımsız V_{GS} ve V_{BS} yapılarının DAC lineerliği için oldukça önemli olduğu görülmektedir. Şekil 3.23'deki test düzeneğine ait SFDR performans sonuçları Şekil 3.24'de gösterilmiştir. Bu sonuçlardan yola çıkılarak yüksek SFDR için kod bağımsız gövde etkisi yani kod bağımsız eşik gerilimi mekanizmasının kurulması gerekmektedir.

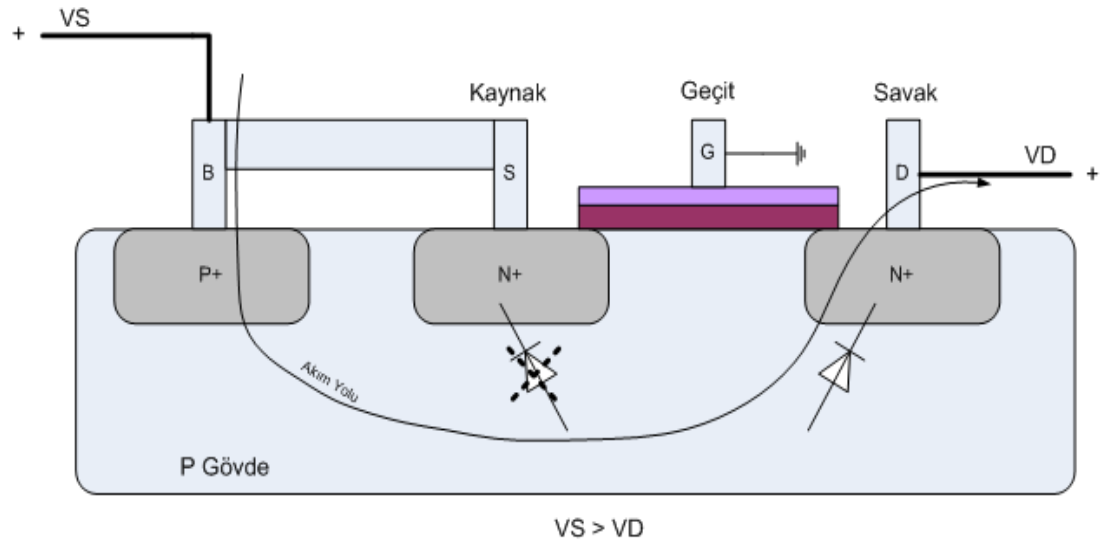


Şekil 3.24: Sabit V_{GS} ve V_{BS} yapısının SFDR performansına etkisi.

3.3.2.1. Gövde – kaynak bağlantı problemi ve sabit V_{BS} mimarisi

Sabit V_{GS} yapısı için nasıl bir mimari kullanılacağı daha önce belirtilmişti [1,4]. Bu tez çalışmasında sabit V_{BS} yapısı, yani gövde etkisinden kaynaklı koda bağlı iletim direnci hata mekanizmasını ortadan kaldırabilmek için öncelikle anahtarlama transistörlerini yalıtılmış NMOS'lar (Isolated NMOS) ile gerçekleyip kaynak ile gövdeyi birbirine bağlamak düşünülmüştür. Bu sayede bütün anahtarlama transistörleri için V_{BS} gerilimi sıfır olacağından böyle bir hata mekanizması varolmayacaktır. Ne yazık ki, bu şekilde bir tasarımda kapalı olan transistorlerin gövdeleri toprakta olmadığından gövde üzerinden akım akmaktadır ve sabit V_{TH} çözümü uygulanamamaktadır.

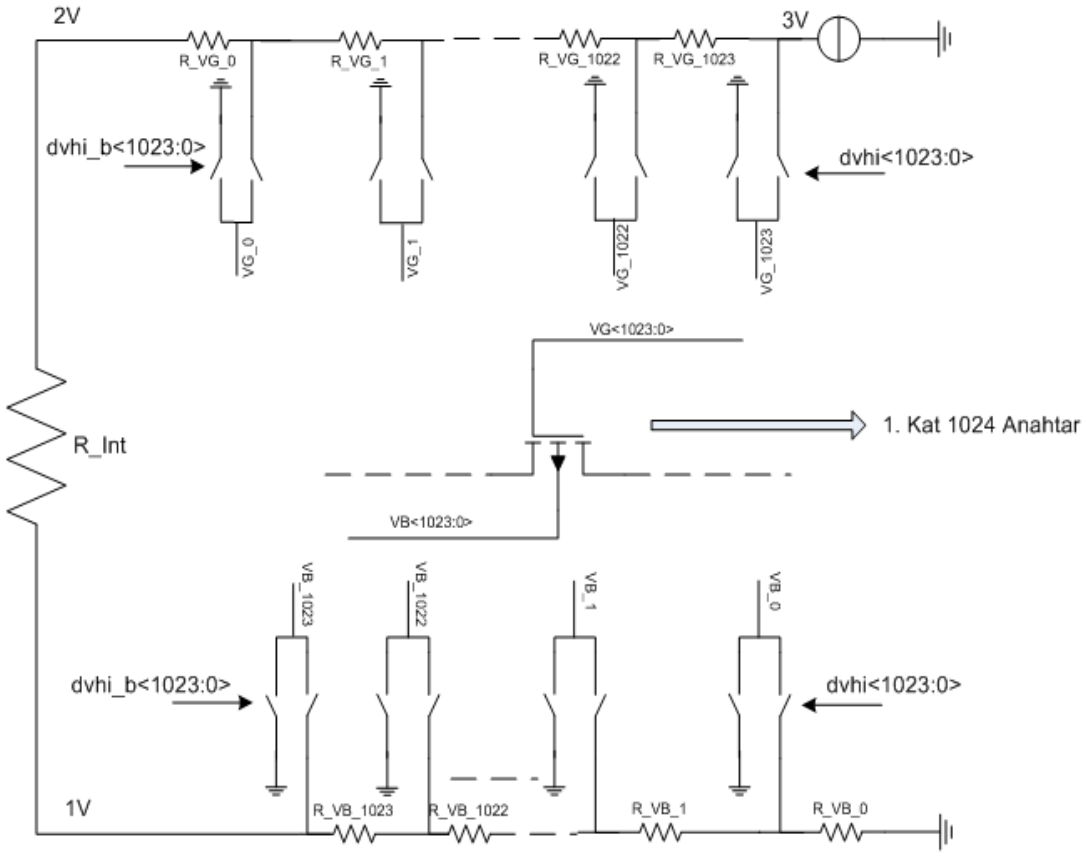
Kapalı transistorler için, Şekil 3.25'de görüldüğü gibi, V_{DS} sıfırdan küçükken (ki bu durumda kaynak ve savak rol değiştirmiş olurlar) aynı zamanda V_{DB} sıfırdan küçük olur. Bu durumda ters kutuplanması gereken gövde – savak arasındaki diyot ileri yönde kutuplanmış olur ve bu diyot üzerinden akım akar. Kapalı durumda çok yüksek direnç göstermesi gereken NMOS transistorler gövde üzerinden akıttıkları akım sebebiyle oldukça düşük direnç gösterirler ve bu şekilde çok büyük bir hata mekanizması meydana gelmektedir. R-String'in alt kısmındaki gerilim seviyeleri bu problem sebebiyle hiç seçilememektedir.



Şekil 3.25: Gövde – kaynak bağlantılı anahtar yapısı.

Bu problem sebebiyle gövde etkisiyle gelen koda bağlı iletim direncini farklı bir yapıyla gerçeklemek daha anlamlı olacaktır. Bu tez çalışmasında bu hata mekanizmasının çözümü için sabit V_{GS} yapısına benzer şekilde gerilim bölücü direnç

dizisi kullanılarak, açık transistorlerin gövdelerini kaynak gerilimiyle orantılı bir değerle süren ve kapalı transistorlerin gövdesini ise toprağa çeken bir yapı önerilmektedir. Bu tasarımla birlikte sabit V_{SB} yapısı elde edilmiş olur ve kod bağımsız iletim direnci yapısı elde edilmiş olur. Şekil 3.26'de önerilen bu yapıya ilişkin bir blok diyagram verilmiştir.

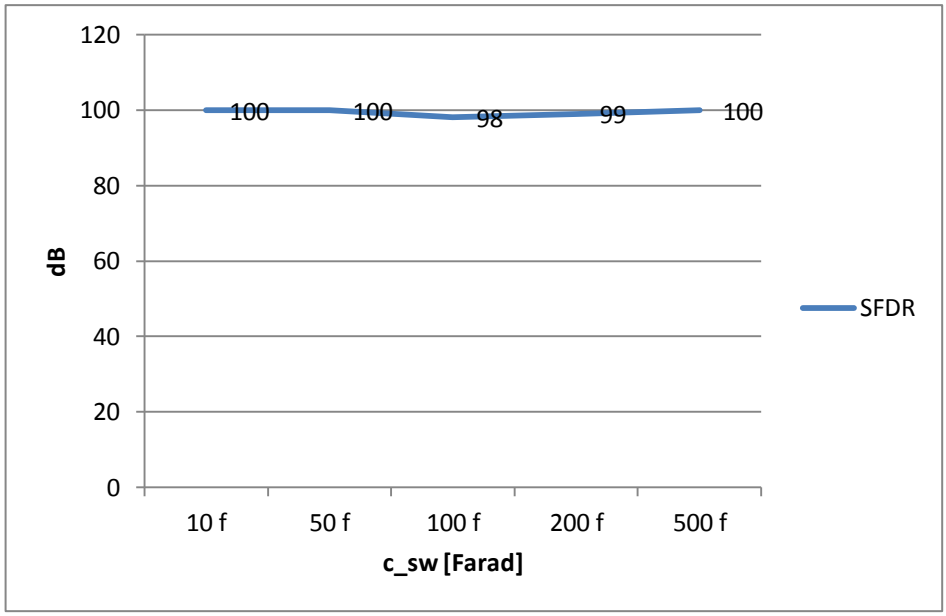


Şekil 3.26: Sabit V_{GS} ve sabit V_{BS} yapıları için blok diyagram.

Şekil 3.26'daki mimarinin de SFDR performansına ne kadar etki ettiği gösterilmek istenmiştir.Ancak bu mimari yük enjeksiyonundan izole edilemediğinden bu analiz değerli sonuç vermemiştir. Bu yapıda ilk olarak koda bağımlı saat ileri beslemesi problemi ortaya çıkmaktadır.

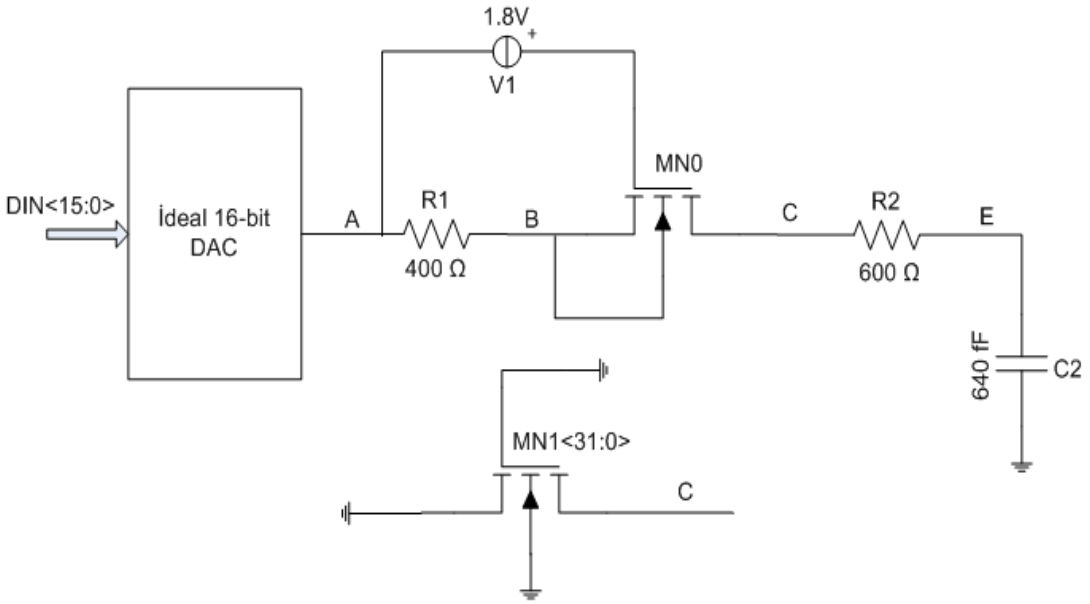
3.3.3. Hata mekanizması 5: lineer olmayan C_{GD} overlap kapasitesi etkisi

Bundan önceki bölümlerde belirtildiği gibi sinyal hattı üzerindeki kapasite ve dirençler kod bağımsız olduğunda RC zaman sabitinin büyük veya küçük olması SFDR problemi oluşturmamaktadır. Şekil 3.23'deki test düzeneği kullanılarak C düğümüne bağlı kapasitenin büyüklüğünün SFDR'a etkisi Şekil 3.27'de gösterilmiştir.

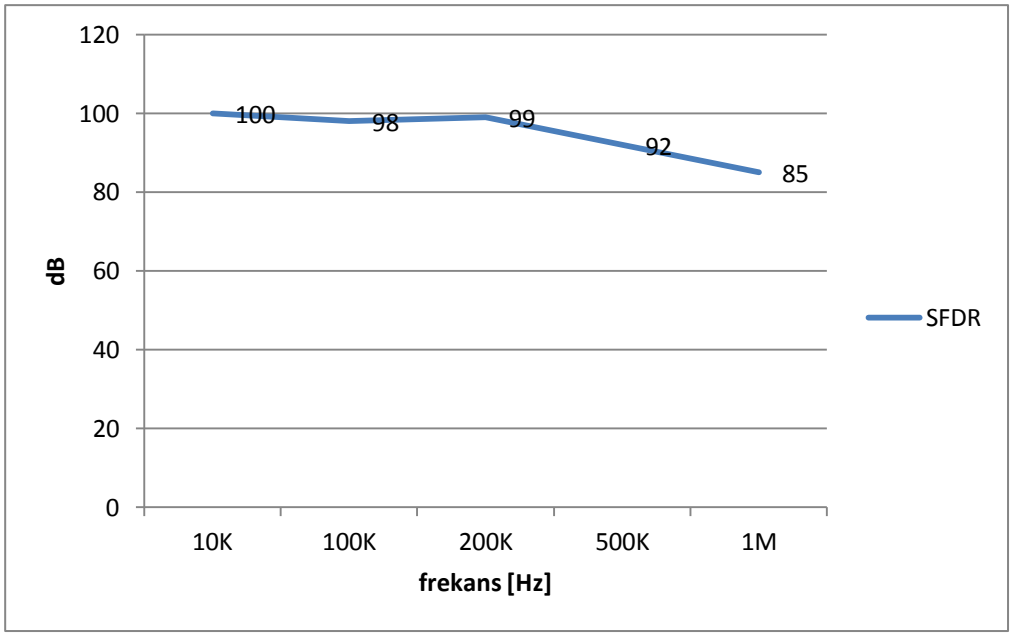


Şekil 3.27: Lineer kapasite büyüklüğünün SFDR performansına etkisi.

Şekil 3.23'deki test düzeneğindeki NMOS transistörün C_{GD} (geçit – savak kapasitesi) overlap kapasitesi yaklaşık olarak 5 fF'dır. Şekil 3.27'de analizi yapılan kapasite ise gerçek DAC sisteminde varolacak 31 açık anahtarın savak terminalindeki kapasiteyi temsilen konulmuştur. Bu kapasitenin lineer olması durumunda kapasitenin büyüklüğünün SFDR problemi oluşturmadığı gösterilmiştir. Ancak Şekil 3.23'de ideal bir kapasite kullanılarak oluşturulan yük yerine Şekil 3.28'daki test düzeneğinde kapalı 31 transistor yük olarak C düğümüne bağlanmıştır. Bu test düzeneğine ait SFDR performansı ise Şekil 3.29'da gösterilmiştir.

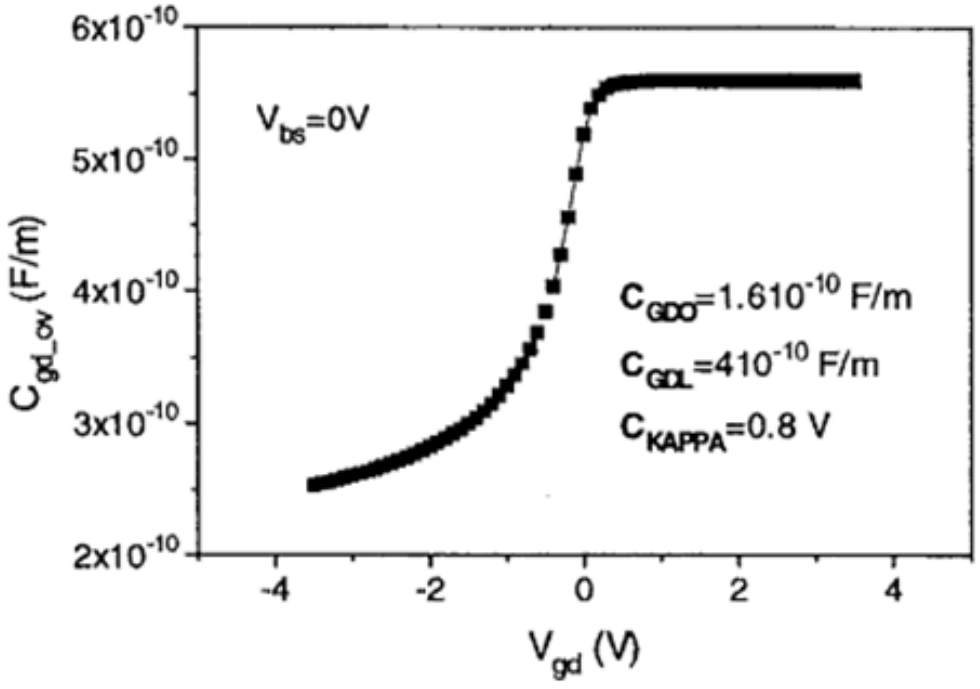


Şekil 3.28: Yük olarak ideal kapasite yerine kapalı anahtar kullanılan test düzeneği.



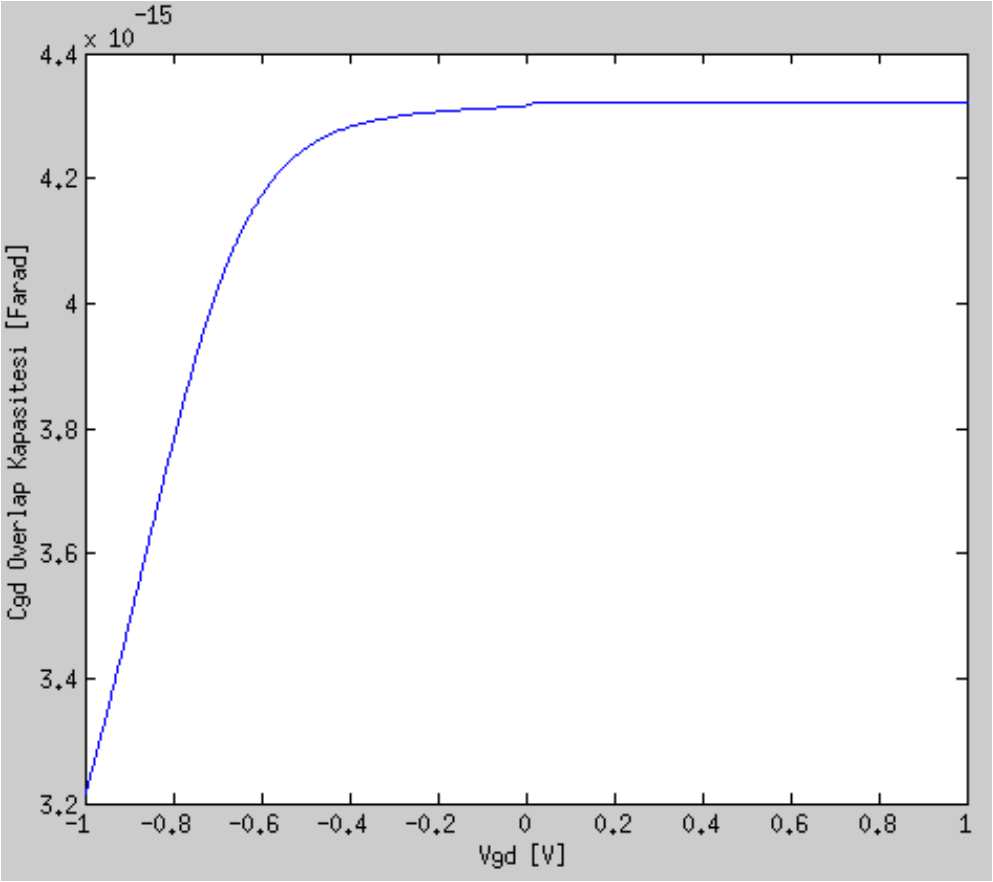
Şekil 3.29: Kapalı 31 transistor yükünün SFDR performansına etkisi.

Şekil 3.29'da görüldüğü gibi sürekli kapalı transistorler yük olarak konulduğunda SFDR performansını oldukça etkileyen bir hata mekanizması ortaya çıkmaktadır. MOS transistörlerin overlap kapasiteleri doğrusal bölgede ve doymada yaklaşık olarak sabit olduğu bilinmektedir. Ancak kesimdeyken savak potansiyelinin geçit potansiyeline göre yüksek olması durumunda C_{GD} ve C_{GS} overlap kapasiteleri lineer olmayan bir davranış göstermektedirler [9,10].



Şekil 3.30: Overlap kapasitesinin V_{GD}'ye göre değişimi [12].

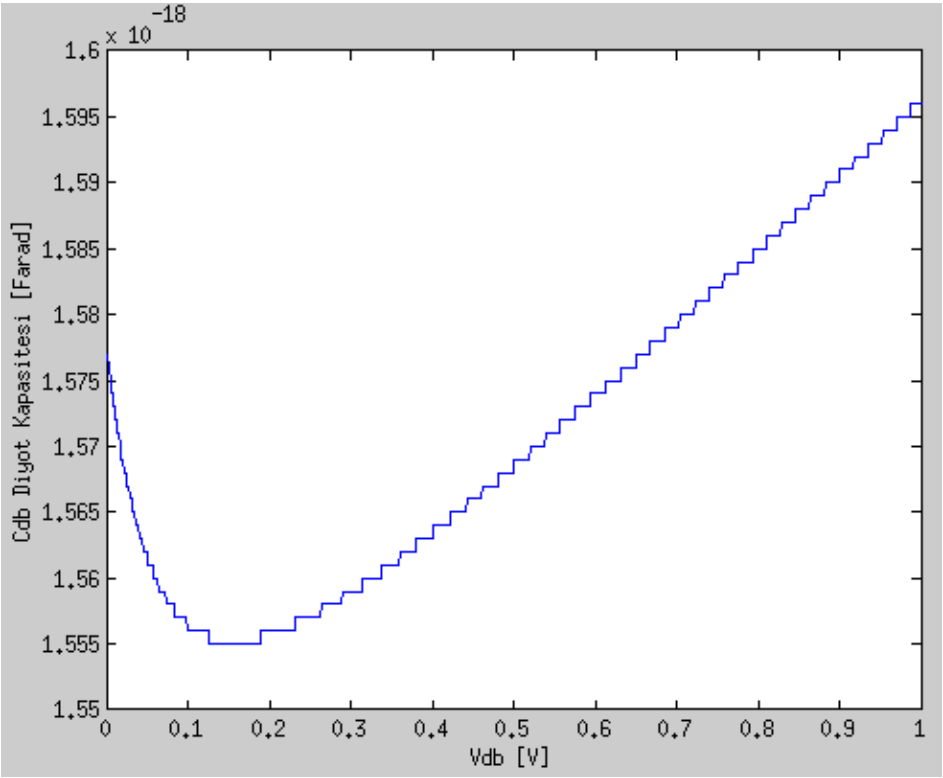
Şekil 3.30'de görüldüğü gibi kapalı transistorler için overlap kapasitesi çıkış gerilimine göre savak ve kaynak yüzeyinin daralması sebebiyle oldukça değişmektedir. Bu tez çalışmasında kullanılan tranzistörün overlap kapasitesinin geçit – kaynak gerilimine göre değişimi ise Şekil 3.32'de gösterilmiştir.



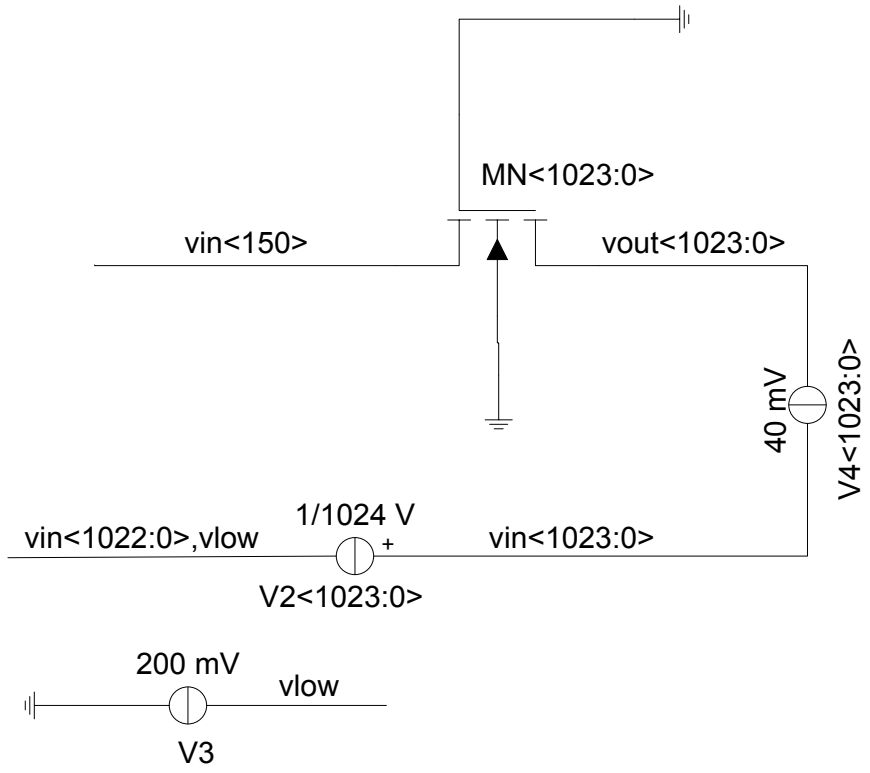
Şekil 3.31: Tez çalışmasında kullanılan tranzistörün overlap kapasitesinin V_{GD}'ye göre değişimi.

Şekil 3.31'de de görüldüğü gibi, anahtar açıkken overlap kapasitesi V_{GD}'ye göre oldukça değişmektedir. 31 tane kapalı NMOS transistor olduğu düşünülürse sinyal hattı üzerindeki kapasite miktarı koda bağlı olarak bir hayli değişecek ve sinyal hattı üzerindeki toplam kapasiteyi değiştireceğinden koda bağlı zaman sabitine sebep olacaktır. Bununla birlikte bir başka lineer olmayan kapasite ise savak – gövde diyot kapasitesidir. Şekil 3.32'de gösterildiği gibi, bu diyot kapasitesinin büyüklüğü overlap kapasitesine göre ihmal edilebilecek düzeydedir.

Parazitik kapasitelerin V_{GD} ve V_{DB}'ye göre (dolayısıyla koda göre) değişimini incelemek amacıyla Şekil 3.33'deki gibi bir test düzeneği kurulmuştur, DC analiz yapılarak tranzistörün DC çalışma noktası sonuçları incelenmiştir.



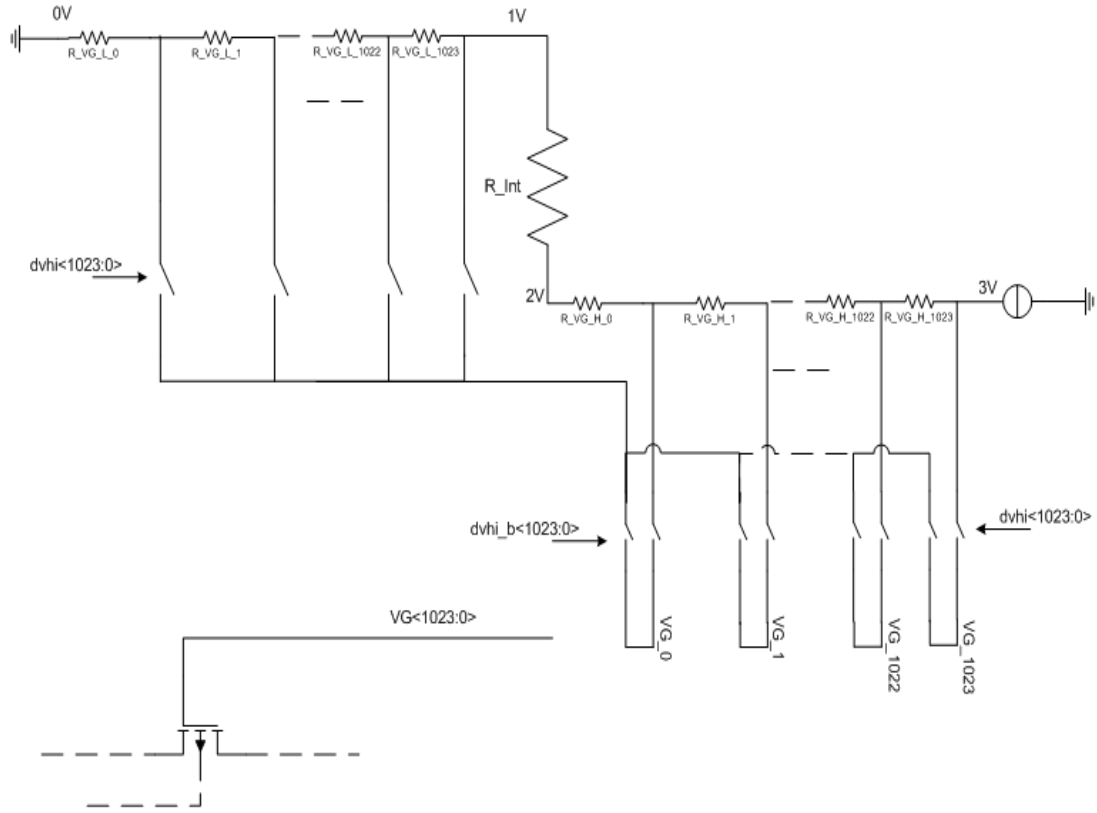
Şekil 3.32: C_{DB} diyot kapasitesinin V_{DB}'ye göre değişimi.



Şekil 3.33: Açık anahtarların parazitik kapasite analizi için test düzeneği.

Koda bağlı overlap kapasitesini lineerleştirmek için bu tez çalışmasında iki farklı yöntem önerilecektir.

Birinci yöntem olarak kapalı transistorlerin geçit gerilimini çıkış geriliminin belli miktar aşağı bir gerilim seviyesine sürmek önerilmiştir. R-String'in çıkış gerilimi daha önce belirtildiği gibi 0.2V – 1.2V arasında değişmektedir. Kapalı transistorlerin geçit gerilimini bu aralıktan daha düşük bir seviye aralığında koda bağlı olarak seçmek gerekmektedir. Örneğin R-String'in çalışma aralığı 1V – 2V arasına çekilip kapalı bütün anahtarların geçidi ise koda bağlı olarak 0V – 1V arasında bir değere sürülmelidir. Şekil 3.34'da bu mimariye ilişkin bir tasarım gösterilmiştir.



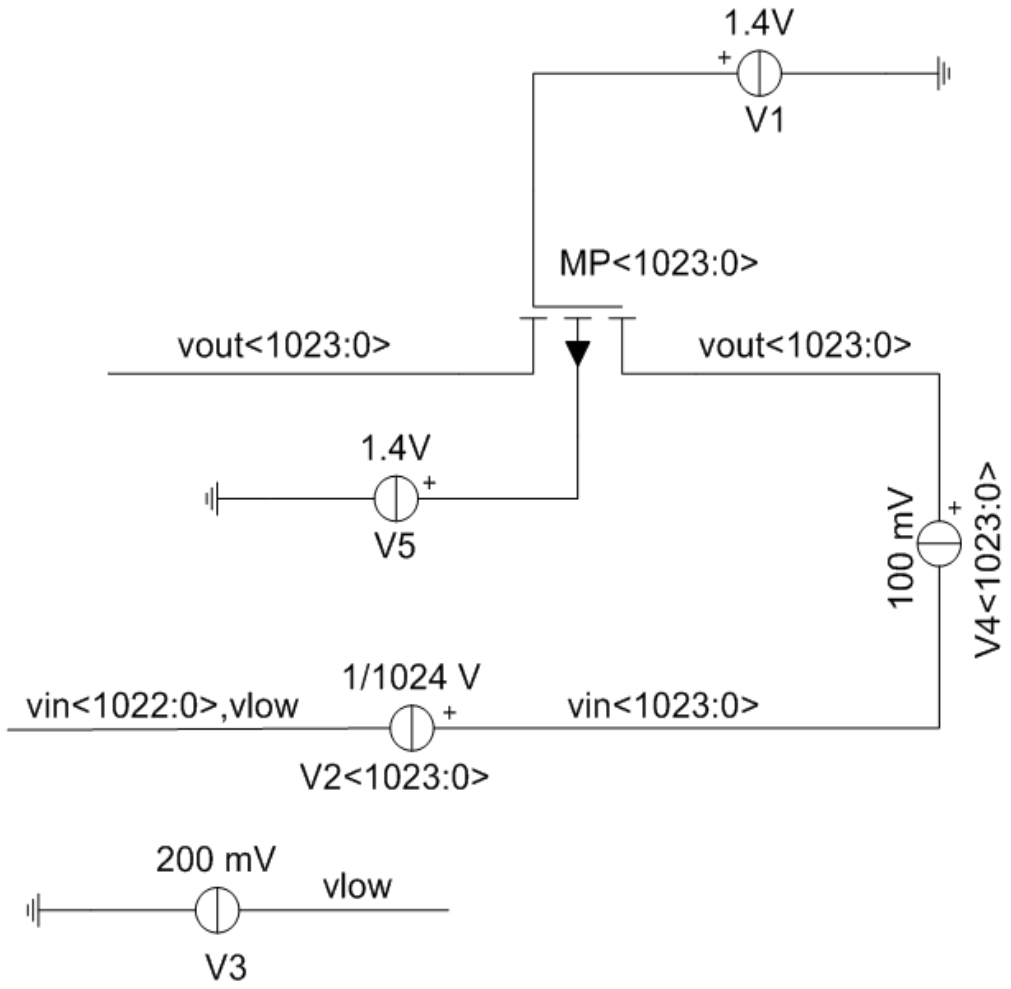
Şekil 3.34: Açık anahtarlar için sabit V_{GD}, kapalı anahtar için sabit V_{GS} mimarisi .

Şekil 3.34'deki mimari teorik olarak kod bağımsız overlap kapasitesi sağlayan bir mimari olduğundan DAC daha lineer çalışmaktadır. Ancak bu mimarinin gerçeklenmesi oldukça güçtür. Öncelikle R-String'in çalışma bölgesini yukarı kaydırmak zorunda kalmaktan dolayı NMOS anahtarların V_{GS} gerilimi düşeceğinden anahtarların iletim dirençleri artmakta, DAC yavaşlamaktadır. Bununla birlikte her kod değiştiğinde kapalı transistorlerin geçitleri belli bir değere sürülmeye çalışılmaktadır.

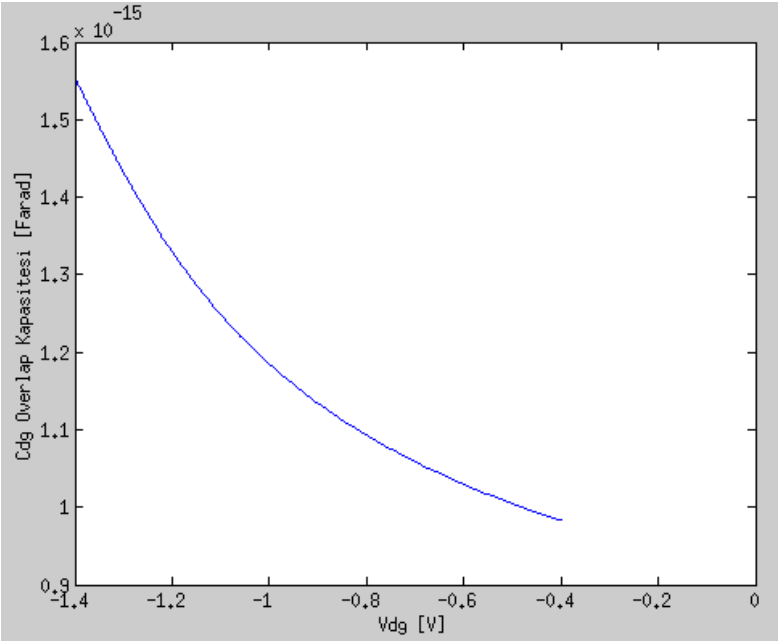
Şekil 1.12'da ilk katta 1024, ikinci katta 32 anahtar vardır ve her kod geçişi için ilk katta sadece bir, ikinci katta da yine bir anahtar iletimdedir. Bu durumda 1000'den

fazla kapalı transistorün geçidi her kod geçişi sürülmelidir. NMOS anahtarların geçit kapasitesi yaklaşık olarak 10 fF'dır. Yani toplamda yaklaşık 10 pF'lık bir kapasitenin gerilim bölücü bir direnç dizisi tarafından sürülmesi gerekmektedir. Böyle bir yapının RC zaman sabiti yüksek hızlarda çalışmaya uygun olmayacağından geçit kapasiteleri giriş kapasitesi düşük olan bir OPAMP ile sürülebilirler. Ancak bu OPAMP'ı tasarlamanın da birçok zorluğu vardır ve hızlı bir yapı olması gerektiğinden güç tüketimi de fazla olacaktır. Tasarım kararları verilirken bu avantaj ve dezavantajlar dikkate alınmalıdır.

Bu tez çalışmasında yapılan analizler sonucunda görülmüştür ki savak ile kaynağı birbirine bağlanmış PMOS transistör uygun bir şekilde kutuplandığı zaman Şekil 3.31'deki lineer olmayan kapasiteye ters şekilde bir davranış sergilemektedir. Şekil 3.35 test düzeneği kurularak yapılan analizler sonucunda koda bağlı olarak PMOS transistörün C_{GD} kapasitesinin değişimi Şekil 3.36'de gösterilmiştir.

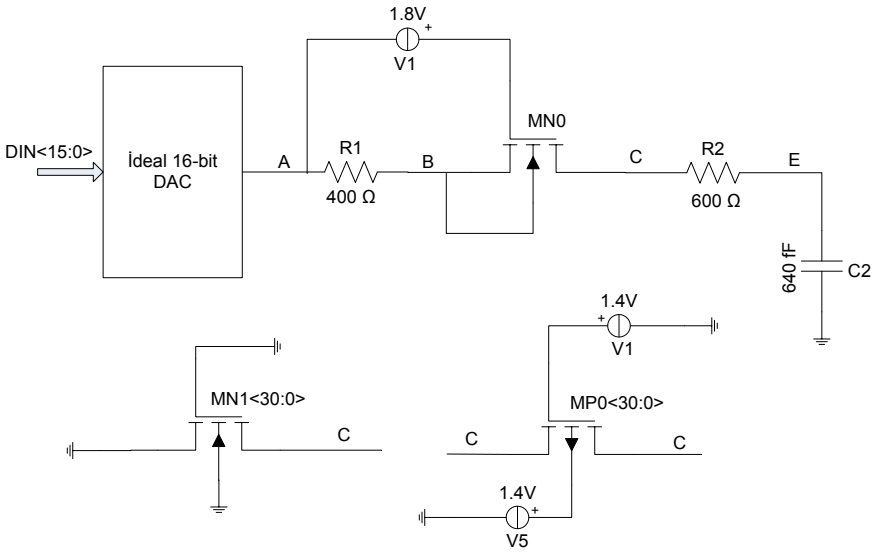


Şekil 3.35: Koda bağlı PMOS transistörün parazitik kapasite analizi için test düzeneği.

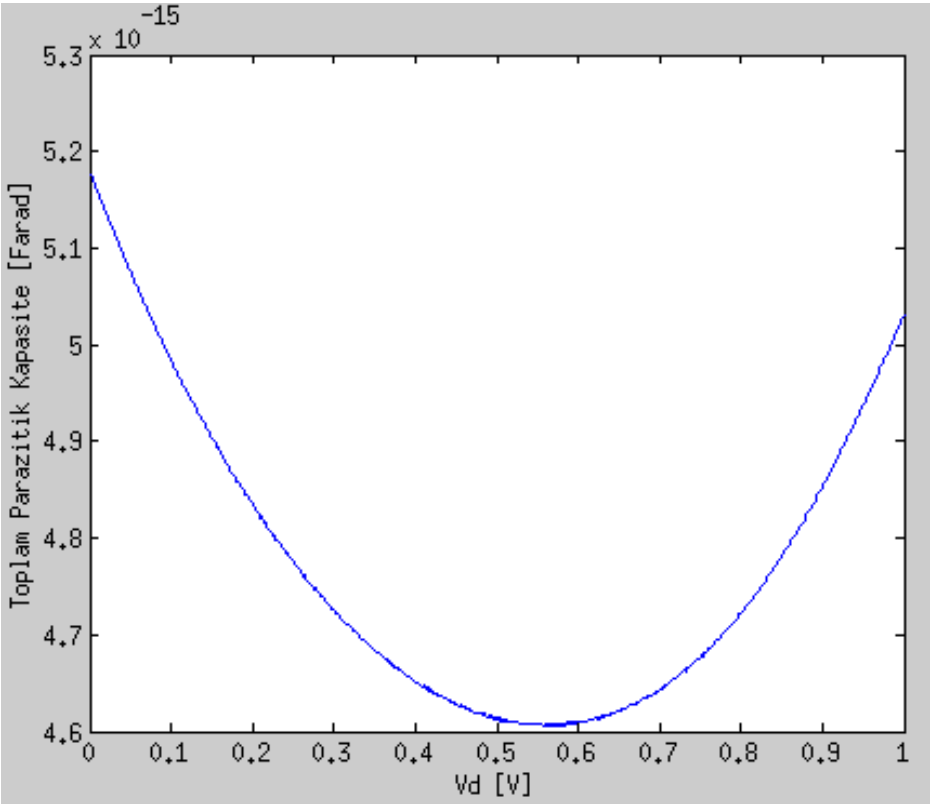


Şekil 3.36: PMOS transistörün C_{DG} overlap kapasitesinin V_{DG}'ye göre değişimi.

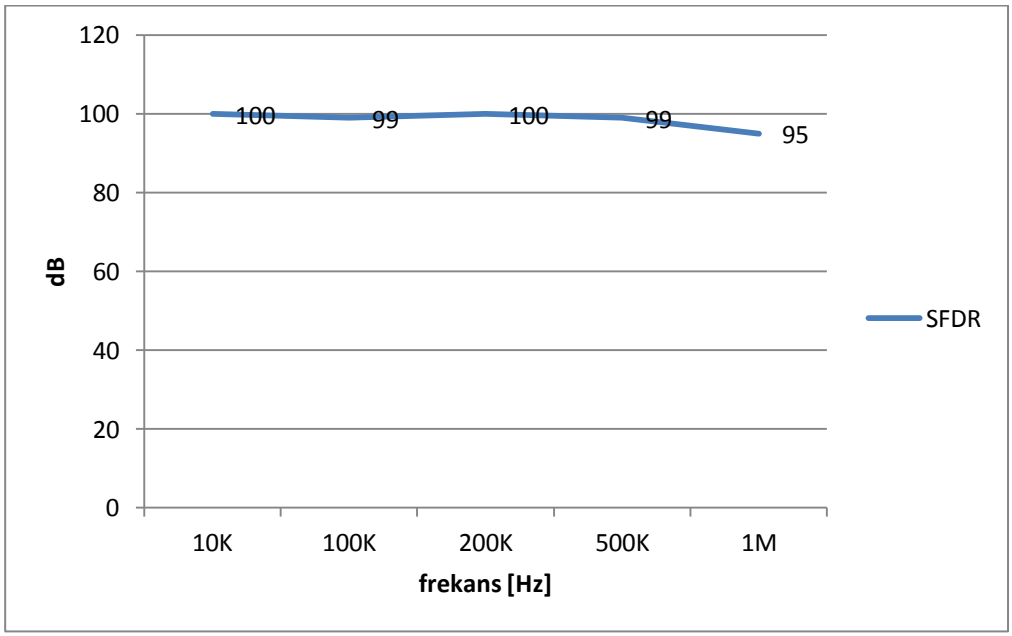
Şekil 3.36'de gösterilen PMOS parazitik kapasite davranışını kullanarak NMOS lineer olmayan C_{DG} kapasitesi lineerleştirilmeye, kod bağımsız hale getirilmeye çalışılmıştır. Bu metod sabit V_{GD} yapısına göre oldukça rahat gerçeklenebilir ve daha az maliyetli bir yöntemdir. Şekil 3.28'daki test düzeneğine PMOS yük ekleme metodunun uygulandığı test düzeneği Şekil 3.37'de gösterilmiştir. PMOS yük transistörlerinin savak ve kaynak terminalleri birbirine bağlanmış ve geçit 1.4V ile kutuplanmıştır. Bu test düzeneğinde C düğümündeki toplam parazitik kapasitenin koda bağlı değişimi Şekil 3.38'de, bu tasarıma ait SFDR performansı Şekil 3.39'de gösterilmiştir.



Şekil 3.37: Kod bağımsız C_{GD} kapasitesi için PMOS yük ekleme test düzeneği.



Şekil 3.38: C düğümündeki toplam parazitik kapasitenin V_D'ye göre değişimi.



Şekil 3.39: PMOS yük ekleme yönteminin SFDR performansına etkisi.

Şekil 3.38'de görüldüğü gibi yük olarak C düğümüne PMOS bağlamak bu düğümdeki parazitik kapasiteyi daha lineer bir hale getirmiştir. Şekil 3.39'da görüldüğü gibi de bu yapıyla DAC SFDR performansını 10-12 dB arttırılabilmektedir. Şekil 3.36'da görüldüğü gibi daha lineer parazitik kapasite elde edilmiş olsa da bu düğümdeki parazitik kapasite miktarını iki katına çıkarmaktadır.

Sistemin yavaşlaması diğer hata mekanizmalarının SFDR performansı üzerinde daha baskın olmasına sebep olabilir. Bu avantaj ve dezavantajlar birlikte düşünülerek tasarım kararı verilmelidir.

3.3.4. Hata mekanizması 6: yük enjeksiyonu ve clock feedthrough etkisi

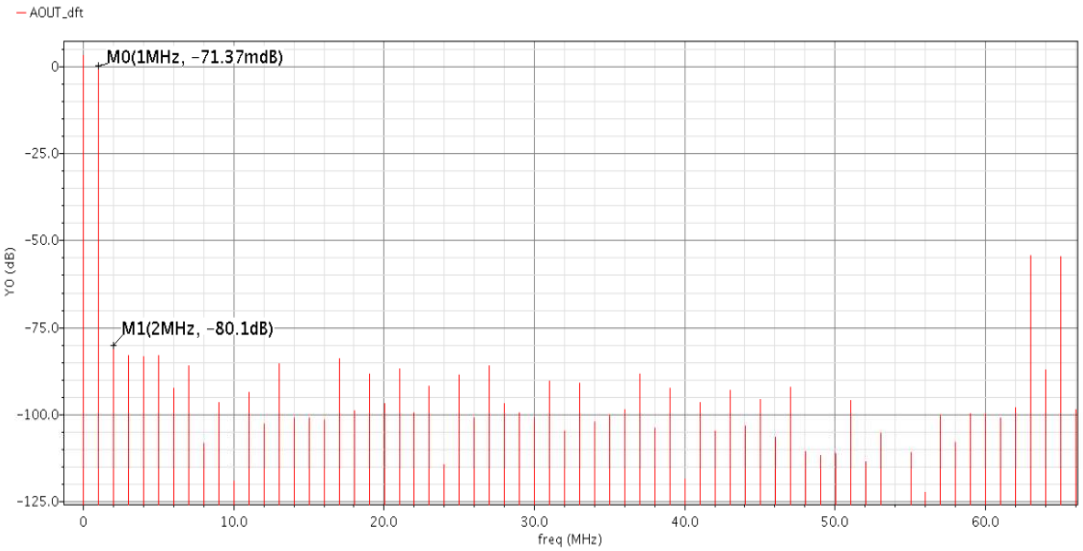
MOS anahtar yapılarında bilinen iki temel efekt vardır. Bunlardan biri anahtar kapalı iken kanalda biriken yükün anahtar açılırken savak ve kaynak terminalleri tarafından paylaşılması esasına dayanan yük enjeksiyonu (charge injection). Diğeri ise anahtar açılırken veya kapanırken çıkışın overlap kapasiteleri üzerinden geçit işaretini izlemesi, saat geçiş beslemesi (clock feedtrough) [13-14].

Clock feedtrough tamamen transistorün overlap kapasitesi sebebiyle oluşan bir efekttir. Bu hata mekanizmasının büyüklüğünün analizini yapabilmek için transistör model parametereleri elle değiştirilerek overlap kapasitesi sıfırlanmıştır. Bu şekilde yapılan analizlerde 3-4 dB SFDR performansı iyileşmektedir. Ancak halen daha baskın hata mekanizması olan yük enjeksiyonu devrededir.

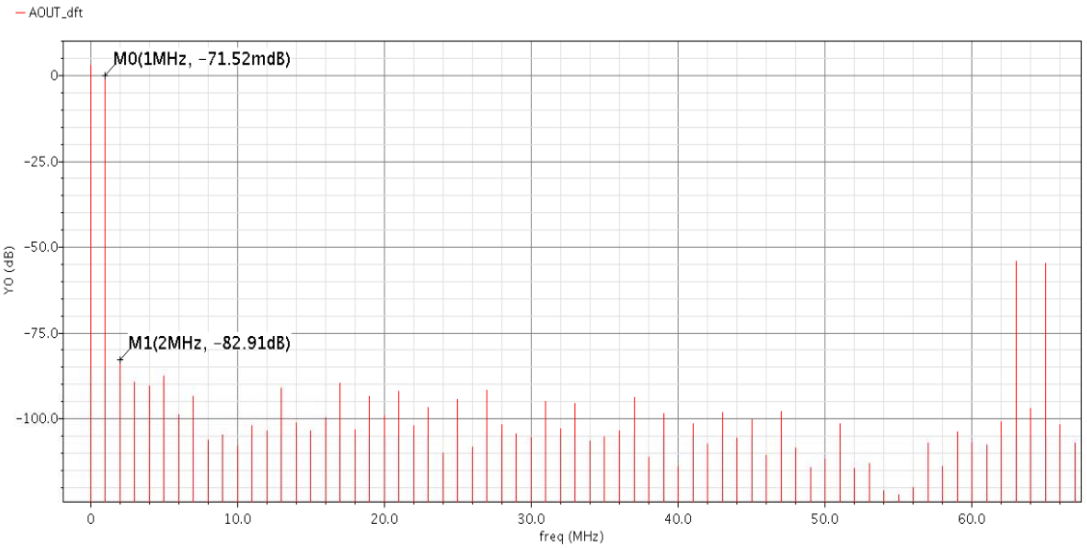
Diğer hata mekanizmalarını çözebilmek üzere önerilen mimarler sebebiyle her kod için kapalı olan MOS anahtarın geçit gerilimi farklıdır. Bu sebeple kapanan her bir anahtar için geçit geriliminin farklı bir değere kadar çıkması clock feedtrough hata mekanizmasının da kod bağımlı olmasına sebep olmaktadır ve bu hata mekanizması da bir SFDR problemini oluşturmaktadır.

Clock feedthrough hata mekanizmasından bağımsız olarak yük enjeksiyonu hata mekanizmasının etkisini göstermek adına BSIM 3.3 model parametrelerinden “cgsl” ve “cgdl” overlap kapasiteleri çok küçük olacak şekilde değiştirilmiştir. Bu parametreler savak ve kaynağın geçitle ne kadar girişimde olduğunu belirler, yani overlap kapasitesinin büyüklüğü bu parametreler tarafından belirlenir.

Bütün blokların ideal model olarak kullanıldığı, sadece ikinci kat anahtarların gerçek transistörlerle tasarlandığı bir konfigürasyonun frekans spektrumu Şekil 3.40’de gösterilmiştir. Bu analizde anahtar boyutları 4um/0.35um olarak seçilmiştir ve sabit V_{GS}, sabit V_{BS}, sabit V_{GD} yapıları da tasarıma eklenmiştir. Yine aynı konfigürasyon kullanılarak, “cgsl” ve “cgdl” model parametreleri bir önceki paragrafta bahsedildiği gibi küçültülerek clock feedthrough ve C_{GD} overlap kapasitesi hata mekanizması izole edilmiştir. Clock feedthrough olmadığı durumdaki frekans spektrumu Şekil 3.41’de gösterilmiştir.



Şekil 3.40: İdeal bloklar ve gerçek ikinci kat anahtarlara oluşturulan konfigürasyona ilişkin frekans spektrumu.



Şekil 3.41: Clock feedthrough'dan izole edilmiş, ideal bloklar ve gerçek ikinci kat anahtarlarla oluşturulan konfigürasyona ilişkin frekans spektrumu.

Şekil 3.41'de görüldüğü gibi, clock feedthrough hata mekanizmasının izole edilmesiyle birlikte SFDR performansı 3 dB artmaktadır, yani clock feedthrough hata mekanizmasını ortadan kaldırsak bile sistemde varolan diğer hata mekanizması (yük enjeksiyonu) baskın bir efekt olarak karşımıza çıkmaktadır. Anahtarın açılıp kapandığı bir test düzeneğinde yük enjeksiyonunun varolmadığı bir durum oluşturulamadığı için yük enjeksiyonu hata mekanizmasının ne kadar baskın olduğu diğer etkilerden ayrıştırılamamaktadır.

Kod bağımsız V_{GS} ve V_{GD} yapılarını içeren mimari göz önüne alınırsa anahtarlama sırasında yük değişimi Çizelge 3.2'de gösterilmiştir.

Çizelge 3.2: R-String çıkışının V_{x1}'den V_{x2}'ye geçerken anahtarlardaki yük değişimi.

	V_{x1} (D1) -> V_{x2} (D2)			
	Açılan Anahtar		Kapanan Anahtar	
	Durum 1 (D1)	Durum 2 (D2)	Durum 1 (D1)	Durum 2 (D2)
V_G	V_{x1} + 2V	V_{x2} - 0.5V	V_{x1} - 0.5V	V_{x2} + 2V
V_S	V_{x1}	V_{x1}	V_{x2}	V_{x2}
V_D	V_{x1}	V_{x2}	V_{x1}	V_{x2}
V_{GS}	2V	V_{x2} -V_{x1} - 0.5V	V_{x1} - V_{x2} - 0.5V	2V
V_{GD}	2V	-0.5V	-0.5V	2V
Q_{GS}	0.5*W*L*Cox* [2V-Vt]		0.5*W*L*Cox* [2V-Vt]	
Q_{GD}	0.5*W*L*Cox* [2V-Vt]		0.5*W*L*Cox* [2V-Vt]	
Q_{GSFark}	**0**			
Q_{GDFark}	**0**			

BSIM modeli açık anahtar için kaynak ve savakta yük öngörmemektedir. Doğrusal bölgede çalışan kapalı anahtar için ise kanal yükünün kaynak ve savak arasında eşit paylaşılacağını öngörmektedir. Bu durumda yapılan basit analiz sonucunda sabit Vgs anahtarlamada açılan ve kapanan anahtarların opamp kısmında kalan kanal yükünün birbirini götüreceği sonucu çıkmakta, aynı zamanda da direnç dizesi kısmında kalan kanal yükünün ise RC devresi üzerine düşeceği ve zamanla oturacağı öngörülmektedir. Ancak bu analiz, çok basitleştirilmiş bir analiz olmaktan öteye gitmez.

Yük enjeksiyonu konusu daha detaylı incelendiğinde, bazı kod geçişleri için transistörlerin kapalı -> satürasyon -> triod geçişi yaptığı, bazı kod geçişleri için ise transistörlerin kapalı -> triod geçişi yaptığı gözlenebilir. Oturmuş bir gerilim düşünüldüğünde, kapanan her transistör ise triod -> kapalı geçişi yapar. Kapanan her transistör kanal yükünün yarısını hem kaynağa hem de savağa bir yükselme zamanı içinde enjekte eder. Kapalıdan trioda geçerek açılan her transistör ise bu yükü Vds ye bağlı olarak, yani gecikmeli olarak toplar [17]. Kapalıdan satürasyona geçerek açılan her transistör ise kanalın yarısından farklı bir yük toplar [17]. Daha sonra, satürasyondan trioda geçilmesi ile kanalın yarısı kadar yük en sonunda dengelenmiş olur, ancak bu işlem, RC zaman sabitinin zorladığı bir gecikme ile yapılmıştır. Kısacası, yükler birbirini en sonunda götürse de, yüklerin dengelenme sürelerinin koda ve zaman sabitine bağımlı olmasından dolayı, önemli bir yük enjeksiyonu mekanizması oluştuğunu iddia etmekteyiz.

Yük enjeksiyonu ve clock feedtrough efektlerini minimize etmek için MOS anahtarları küçük boyutlu tasarlamak gerekmektedir. Ancak bilindiği üzere küçük

boyutlu MOS anahtarlar da iletim direnci yüksek olduğundan yavaştırlar. Bu iki özellik birlikte düşünülerek anahtarların büyüklüğüne karar verilmelidir.

Yük enjeksiyonu ve clock feedthrough hata mekanizmaları işlevsiz (savak ile kaynak birbirine bağlı) olacak şekilde ve ters yönde anahtarlanarak ortadan kaldırılabilir [15,16]. Ancak bu mimari için mevcut anahtar sayısı kadar anahtar gerekmektedir. Bununla birlikte daha önce bahsedildiği gibi açık 31 anahtar için işlevsiz kapalı 31 anahtar olacaktır ve bu anahtarlar iletimde olduğundan overlap kapasitelerine ek olarak oksit kapasiteleri de varolacaktır. Bu durumda birbiririne bağlı 32 anahtarın meydana getirdiği parazitik kapasite büyüklüğü 4-5 katına çıkmaktadır. Sistemdeki bu yavaşlama sebebiyle diğer lineer olmayan davranışların etkisi artarak toplam lineerlik olumsuz yönde etkilenmektedir.

Bunlarla birlikte anahtar kapanırken meydana gelen yük enjeksiyonu sebebiyle bir miktar yük de R-String üzerine kuple olur. Bu sırada direnç dizesinin herbir düğümü farklı miktarda sallanır ve düğümlerde 10mV mertebelerinde hatalar (glitch) oluşabilmektedir. Bu düğümlerin olması gereken değere ulaşması için geçen süre ise 5-6 ns mertebelerinde olabilmektedir. Bu oldukça uzun bir süredir ve bir sonraki üretilecek çıkış üzerinde bozulmaya sebep olmaktadır.

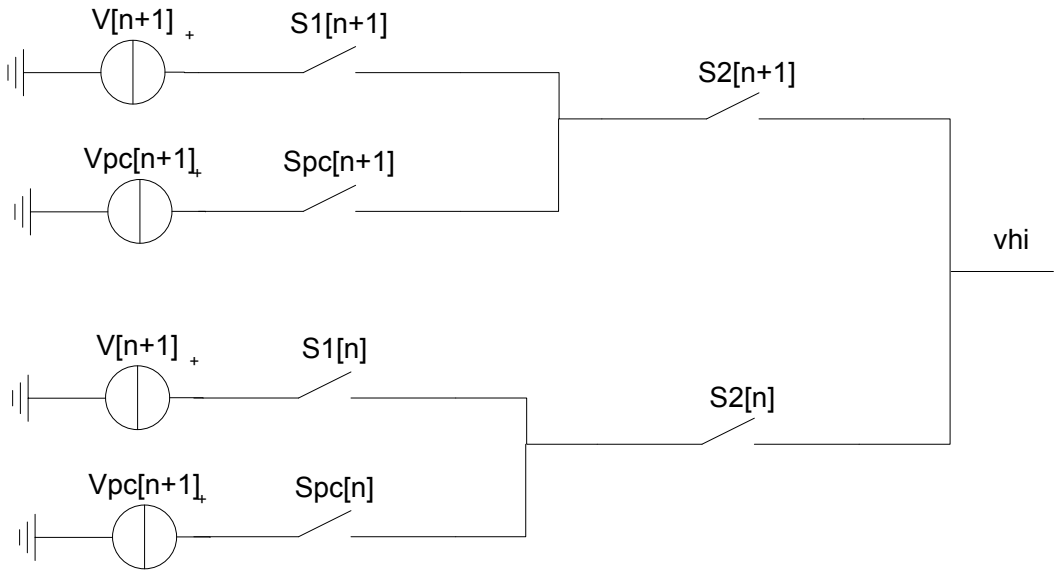
3.3.5. Hata mekanizması 7: anahtar zamanlaması etkileri

Bu tez çalışmasında incelenen mimari göz önüne alınırsa, R-String'den gerilim seçen iki katlı anahtar yapısı ve OPAMP girişinde de çoğullayıcı anahtar yapısı bulunmaktadır. Bununla birlikte ikinci katta açık olan 31 anahtarın girişi ön yükleme anahtarları ile sürülerek sistem hızlandırılmaya çalışılmaktadır. Bütün bu anahtarların bir koddan diğerine geçerken açılıp kapanma zamanlamaları bazı hata mekanizmalarına yol açmaktadır. Bunlardan biri kısa devre etkisi, diğeri ise hafıza etkisidir (inter-symbol interferance).

Şekil 3.42'de örnek olarak iki farklı kod için açılıp kapanacak anahtarlar gösterilmiştir.

n kapalı olan anahtarları n+1 ise bir sonraki kodda kapalı olacak anahtarları göstermektedir. Şekil 3.42'deki yapıda $S_1[n]$ anahtarının $S_2[n]$ anahtarından daha önce açıldığını düşünelim. Bu durumda $S_2[n]$ anahtarı açılırken yük enjeksiyonu sebebiyle $S_1[n]$ ile $S_2[n]$ anahtarları arasında bir miktar yük birikimi olur. Bu hafıza

etkisi sebebiyle burada biriken yük daha sonraki çıkışlara aktarılacak ve yeni bir hata mekanizmasına sebep olacaktır.



Şekil 3.42: İki farklı kod için örnek anahtarlar.

Bununla birlikte $S_2[n+1]$ anahtarının $S_2[n]$ anahtarı açılmadan kapanması durumunda çıkış aynı anda iki kaynak tarafından sürülür ve bu da ayrıca bir hata mekanizması meydana getirir.

Bu iki efektin oluşturacağı hatayı asgariye indirebilmek için anahtarların aynı anda açılıp kapanmaları en uygun zamanlama olacaktır. Bütün devrelerin gerçek sadece sabit VGS yapısını oluşturan yapı ideal olduğu durumda 74 dB SFDR alınmaktadır. Çizelge 3.3'de vhi ve vlo düğümlerinin 40 ps yüksek empedans (floating) bırakılma durumu gösterilmiştir.

Çizelge 3.3: vhi ve vlo düğümlerinde 40 ps süreyle yüksek empedans oluşturacak zamanlama çizelgesi.

Sıra\Anahtar	S1[n]	S2[n]	Spc[n]	S1[n+1]	S2[n+1]	Spc[n+1]
1	Kapalı	Kapalı	Açık	Açık	Açık	Kapalı
2	Açık	Açık	Açık	Açık	Açık	Açık
3	Açık	Açık	Kapalı	Kapalı	Kapalı	Açık

Çizelge 3.3'deki zamanlamaya sahip DAC performansı 74 dB'den 70 dB'ye düşmektedir.

Bir başka durum ise vhi ve vlo düğümlerinin belirli bir süre iki kaynak tarafından sürülmesidir. Bu zamanlama çizelge 3.4'de verilmiştir ve bu zamanlamaya ait DAC performansının 74 dB'den 73 dB'ye düştüğü gözlenmiştir.

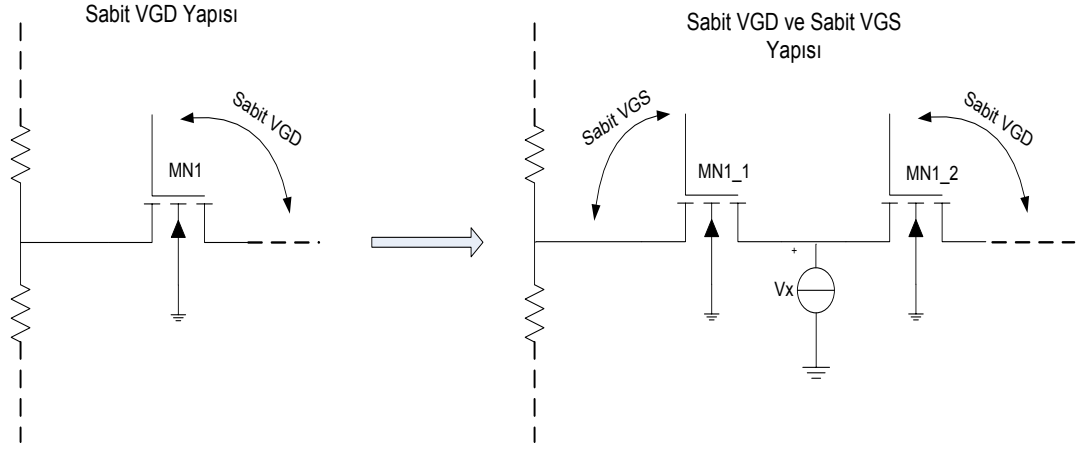
Çizelge 3.4: vhi ve vlo düğümlerinin 40 ps süreyle iki farklı kaynak tarafından sürülmesine sebep olacak zamanlama çizelgesi.

Sıra\Anahtar	S1[n]	S2[n]	Spc[n]	S1[n+1]	S2[n+1]	Spc[n+1]
1	Kapalı	Kapalı	Açık	Açık	Açık	Kapalı
2	Kapalı	Kapalı	Açık	Kapalı	Kapalı	Açık
3	Açık	Açık	Kapalı	Kapalı	Kapalı	Açık

3.3.6. Hata mekanizması 8: açık anahtarlar için lineer olmayan C_{GS} overlap kapasitesi etkisi

Bölüm 3.3.3'de bahsedildiği gibi, kapalı transistorlerin overlap kapasitesi V_{GD} gerilimine göre değişmektedir. Aynı durum kaynak terminalindeki overlap kapasitesi için de geçerlidir ve bu parazitik kapasite de V_{GS}'ye bağlı olarak değişmektedir. İlk kattaki anahtarlar gözönüne alınırsa, 1024 transistorün herbirinin kaynak terminali farklı bir gerilime bağlanmıştır. Bununla birlikte sabit V_{GD} yapısı uygulandığı durumda kod bağımlı ve zamanla değişen V_{GS} gerilimi sebebiyle kaynak terminalindeki overlap kapasite oldukça değişmektedir. Aslında tek bir transistorün parazitik overlap kapasitesi çok küçüktür, ancak direnç dizesi ve bu parazitik kapasiteler düşünüldüğünde burada büyük bir RC ağı olduğu görülmektedir. Hem yük enjeksiyonuyla direnç dizesinin herbir düğümüne kuple olan yük açısından hem de RC zaman sabitinin koda bağlı değişmesinden dolayı büyük bir hata mekanizması varolmaktadır.

Kod bağımsız V_{GD} yapısına ek olarak kod bağımsız V_{GS} yapısı kurabilmek adına Şekil 3.43 önerilebilir. Buradaki kapalı taransistörler için sabit Vgs yapısı bir direnç dizesi üzerinden, sabit Vgd yapısı ise çıkışın sabit bir değer altında tüm kapalı transistörlerin geçitlerini süren bir tampon aracılığı ile sürülebilir.



Şekil 3.43: Birinci kat anahtarlar için sabit V_{GD} yapısı yerine sabit V_{GS} ve sabit V_{GD} mimarisi önerisi.

Bu mimariyle birlikte kod bağımsız V_{GS} ve kod bağımsız V_{GD} yapıları elde edilebilmekte ve parazitik overlap kapasiteleri sabit tutulabilmektedir. Bu mimarinin dezavantajı ise birbirine seri iki transistorün bağlı olması sebebiyle sinyal hattı üzerindeki eşdeğer direnci arttırmasıdır. Direnci düşürmek için transistor boyutları büyük seçilebilir, ancak bu durumda da bu iki transistorden gelecek yük enjeksiyonu etkisi sebebiyle direnç dizesini daha fazla yük kuple olmaktadır. Bu sebeple, bu mimari baskın hata mekanizması olan yük enjeksiyonu problemi çözüldükten sonra uygulanabilir. Aksi halde sistemin lineerliğine olumlu katkı yapmamaktadır.

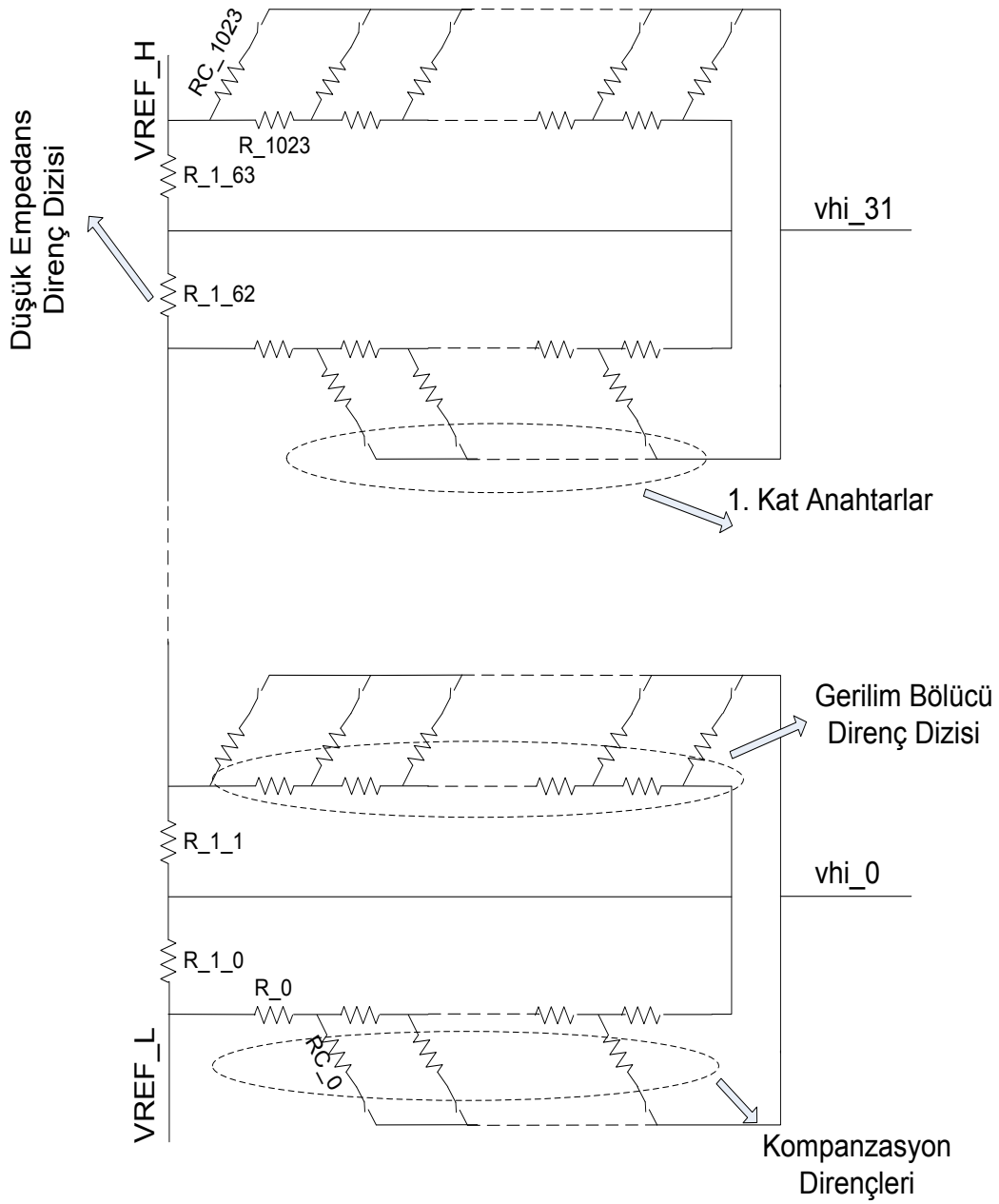
4. DAC TASARIMI

Bölüm 3'de gerilim çıkışlı sayısal – analog dönüştücülerde lineerliği bozan dinamik hata mekanizmaları incelenmiş ve bazı hata mekanizmalarını çözecek mimariler önerilmiştir. Şimdiye kadar ki analizlerde herbir hata mekanizması diğerlerinden izole edilerek incelenmiştir ve önerilen mimarilerin yüksek doğrulukla çalıştığı gösterilmiştir. Bu bölümde önerilen mimariler bir araya getirilerek DAC tasarımı yapılacaktır.

4.1. R-String Tasarımı

10-bitlik çözünürlükte bir direnç dizisi tasarlanacaktır. Yüksek hızlarda çalışabilmesi için Şekil 3.6'daki mimari temel olarak kullanışmıştır [4]. Bu mimaride düşük empedans paralel direnç dizisi kullanılarak R-String hızlandırılmıştır. Mimari dışında direnç değerleri de R-String'in hızını belirleyici bir parametredir. Küçük direnç kullanıldığında R-String'den görülen eş değer direnç değerleri düşmekte ve daha yüksek hızlarda çalışılabilmekte, ancak kaynaktan çekilen akım da artarak güç tüketimini arttırmaktadır. Bu iki özellik dengelenerek tasarım kararları verilmelidir. Bu tez çalışmasında 64 direnç kullanılarak düşük empedans oluşturan direnç dizisi ve 1024 direnç kullanılarak gerilim bölücü bir direnç dizisi olacak şekilde tasarım yapılmıştır. Bu yapıda 64 tane direnç çevrimi vardır ve herbir direnç çevrimi içerisinde 16 gerilim bölücü direnç kullanılmıştır. Direnç değerleri 16 Ω olarak seçilmiştir. Bu durumda kaynaktan çekilen DC akım yaklaşık olarak 1 mA ve R-String'den görülen en yüksek eşdeğer direnç 320 Ω'dur.

Bölüm 3.2'de anlatıldığı gibi bu mimaride koda bağlı eşdeğer direnç sebebiyle bir dinamik hata mekanizması vardır. Bu hata mekanizmasını ortadan kaldırabilmek için 1024 kompanzasyon direnci kullanarak her bir kod için R-String'den görülecek eşdeğer direnci 350 Ω olacak şekilde tasarım yapılmıştır. Bu kompanzasyon mimarisini gerçekleyebilmek için kompanzasyon dirençleri gerilim seçen anahtarlara seri olarak konulmuştur. Şekil 4.1'de tasarlanan R-String mimarisi gösterilmiştir.

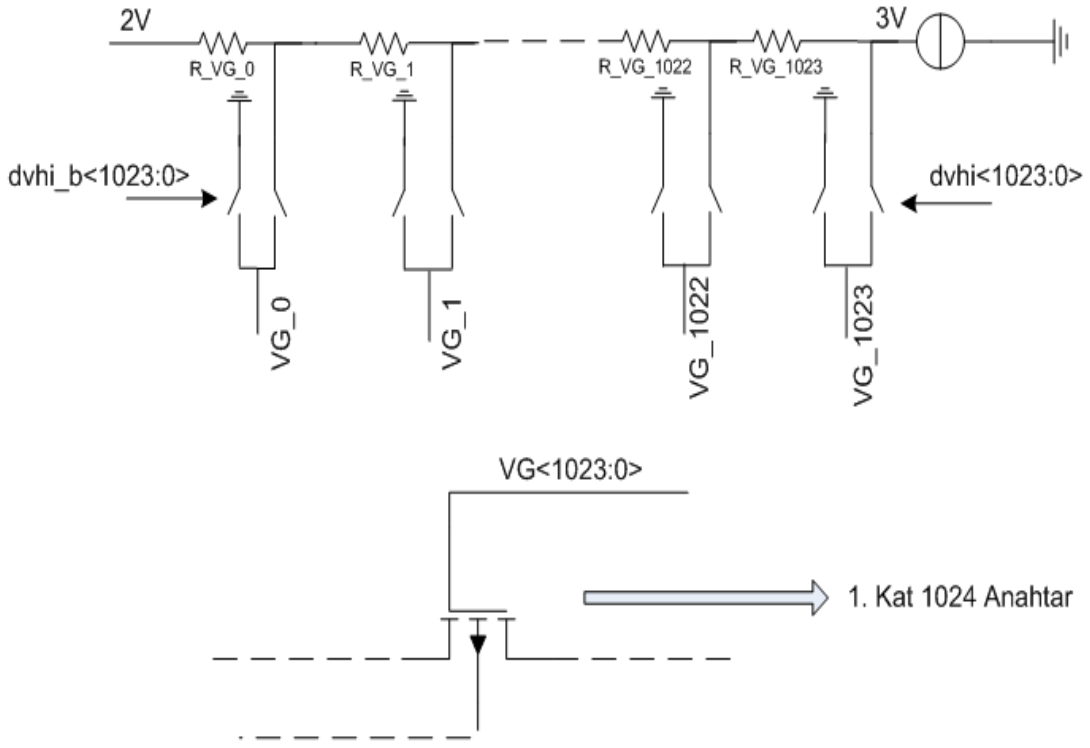


Şekil 4.1: 10-bit R-String DAC tasarımı.

4.2. Birinci ve İkinci Kat Anahtarların Tasarımı

Gerilim çıkışlı DAC mimarisinde NMOS anahtarların lineer olmayan davranışları sebebiyle birçok hata mekanizması vardır. Bu hata mekanizmaları bölüm 3.3'de incelenmiştir ve bazılarını gidermek için çeşitli mimariler önerilmiştir.

NMOS anahtarlar için en dominant hata mekanizması kod bağımlı iletim direncidir. Her kod için V_{GS} gerilimleri farklı olduğundan iletim direnci farklı olmaktadır. Bu hata mekanizması için Şekil 4.2'deki gibi bir yapı önerilmiştir.



Şekil 4.2: Kod bağımsız V_{GS} mimarisi.

Şekil 4.2'deki yapıyla birlikte kod bağımsız iletim direnci elde edilmiş olur. Bu mimaride her kod için farklı bir geçit gerilimi üretilerek anahtar kapanır. Direnç dizesi ile 2V – 3V arası farklı gerilimler üretilerek anahtarlar yardımıyla da 1. kat anahtların geçitleri sürülür. Anahtarların açılırken ve kapanırken sırasıyla yükselme ve düşme süreleri koda bağlı olarak farklı değerler alır. Kod bağımsız V_{GS} gerilimi üreten direnç dizisinden gelen eşdeğer direnç ve seçme anahtarlarının iletim direncinin farklı olması koda bağlı olarak farklı RC zaman sabitleri üretir ve koda bağlı yükselme – düşme süreleri oluşurur. Bu da ayrı bir hata mekanizması oluştursa da kod bağımlı V_{GS} daha dominant bir efekt olduğundan anahtar tasarımında bu yapı gerçeklenecektir. Bu tasarım kararı üç farklı simülasyon senaryosuyla desteklenmiştir. Bu simülasyonlar 1 MHz'lik çıkış frekansı ile yapılmaktadır.

Bütün bloklar için gerçek devreler kullanılarak, direnç dizesi kompanzasyon yöntemiyle doğrusallaştırılmış, OPAMP giriş kapasitesi sabitlenmiş, ilk ve ikinci kat anahtarlar içinse 4um/0.35um transistörler kullanılarak ilk simülasyon senaryosu oluşturulmuştur. Bu tasarımda Şekil 4.2'deki gibi sabit V_{GS} mimarisi yoktur, her transistör aynı gerilim seviyesi ile açılmaktadır. Birinci senaryodaki mimarinin SFDR performansı Çizelge 4.1'de gösterilmiştir.

Çizelge 4.1: Transistör geçit gerilimlerinin sayısal devreden alındığı durumdaki DAC'ın SFDR performası.

Harmonik	2.	3.	4.	5.
Genlik	62 dB	75 dB	74 dB	86 dB

İkinci senaryo olarak birinci senaryodaki mimariye Şekil 4.2'deki sabit V_{GS} yapısı eklenmiş ve bu yapıyı oluşturan geçit gerilimleri bir direnç dizesi üzerinden alınmıştır. İkinci senaryodaki mimariye sahip DAC'ın SFDR performansı Çizelge 4.2'de gösterilmiştir.

Çizelge 4.2: Transistör geçit gerilimleri için sabit VGS yapısının direnç dizesi ile oluşturulması durumdaki DAC'ın SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	72 dB	89 dB	74 dB	87 dB

Çizelge 4.1 ve Çizelge 4.2'de görüldüğü gibi, sabit V_{GS} yapısı ikinci ve üçüncü harmonik üzerinde oldukça etkili olmuştur ve performans getirmiştir. Daha önce bahsedildiği gibi bir başka hata mekanizması da transistörlerin geçit gerilimlerinin direnç dizesinden alınması durumda oluşan RC zaman sabiti farklılıklarıdır. Bu hata mekanizmasının büyüklüğünün anlaşılabilmesi için üçüncü bir senaryo oluşturulmuştur. Bu senaryoda transistör geçit gerilimleri ideal bir model ile sabit RC zaman sabiti oluşturacak şekilde üretilmiştir. Bu üçüncü senaryodaki mimariye ait SFDR performansı Çizelge 4.3'de gösterilmiştir.

Çizelge 4.3: Transistör geçit gerilimleri için sabit V_{GS} yapısının ideal model ile oluşturulması durumundaki DAC'ın SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	74 dB	90 dB	75 dB	87 dB

Bu üç senaryoya bakılırsa sabit V_{GS} yapısı kurmak ciddi miktarda performans getirmekte, sabit V_{GS} mimarisindeki koda bağlı RC zaman sabiti bir hata mekanizması oluştursa da baskın bir efekt olmadığı görülmektedir.

Şekil 4.2'deki mimarinin bir başka problemi ise koda bağlı clock feedthrough etkisidir. Çünkü, her iletime geçecek transistörün geçiti topraktan koda bağlı olarak farklı bir gerilim seviyesine sürülmektedir. Bu hata mekanizmasının çözümü için direnç dizesinin çalışma aralığı daraltılarak bir miktar yukarı çekilmiştir. Bununla birlikte kapalı olan transistörlerin geçitleri koda bağlı olarak orantılı bir gerilim seviyesine sürülmektedir. Bu mimarideki temel amaç iletime geçecek transistörün

geçit geriliminin her kod geçişi için sabit miktarda yükselmesini sağlamaktır. Bu mimariye ilişkin SFDR performası Çizelge 4.4'de gösterilmiştir.

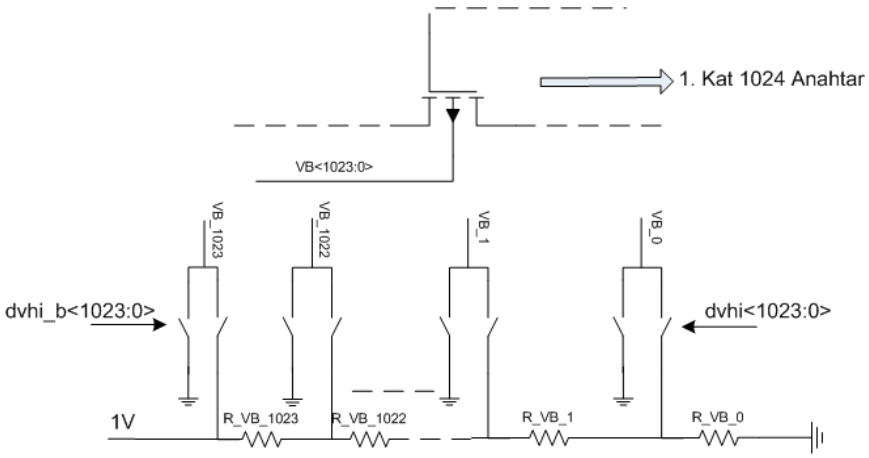
Çizelge 4.4: Açık ve kapalı anahtarlar için sabit V_{GS} mimarisine sahip DAC'ın SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	64 dB	80 dB	71 dB	83 dB

Çizelge 4.4 ile Çizelge 4.2 karşılaştırılmalıdır. Kapalı transistörler için de önerilen VGS yapısıyla kod bağımsız clock feedthrough elde edilmiş olur. Ancak Çizelge 4.4'de görüldüğü gibi SFDR performansı daha kötüye gitmiştir. Bunun sebebinin transistörlerin kapanması sırasındaki zamanlama problemleri olduğu düşünülmektedir. Daha önce kapanan transistörlerin geçidi hızlı bir şekilde torağa çekilirken, bu mimariyle birlikte kapanan transistörlerin geçit gerilimi koda bağlı olarak farklı RC zaman sabitleriyle düşük gerilim seviyelerine çekilmektedir.

Kod bağımlı iletim direncinden sonra en baskın hata mekanizmalarının yük enjeksiyonu ve clock feedtrough olduğu görülmüştür. Mimariler gerçeklenirken özellikle yük enjeksiyonu hata mekanizması göz önüne alınarak tasarım kararları verilmelidir.

Bölüm 3.3.1'de bahsedildiği gibi bir başka hata mekanizması ise kod bağımlı gövde gerilimi ve buna bağlı olarak da kod bağımlı eşik gerilimidir. Bu hata mekanizmasını ortadan kaldırabilmek için Şekil 4.3'deki gibi bir mimari önerilmiştir.



Şekil 4.3: Kod bağımsız V_{BS} mimarisi.

Şekil 4.3'deki mimariyle birlikte kod bağımsız V_{BS} gerilimi elde edilmiş olur. Her kod için transistör gövdesi farklı bir gerilim seviyesine sürülür, farklı bir koda

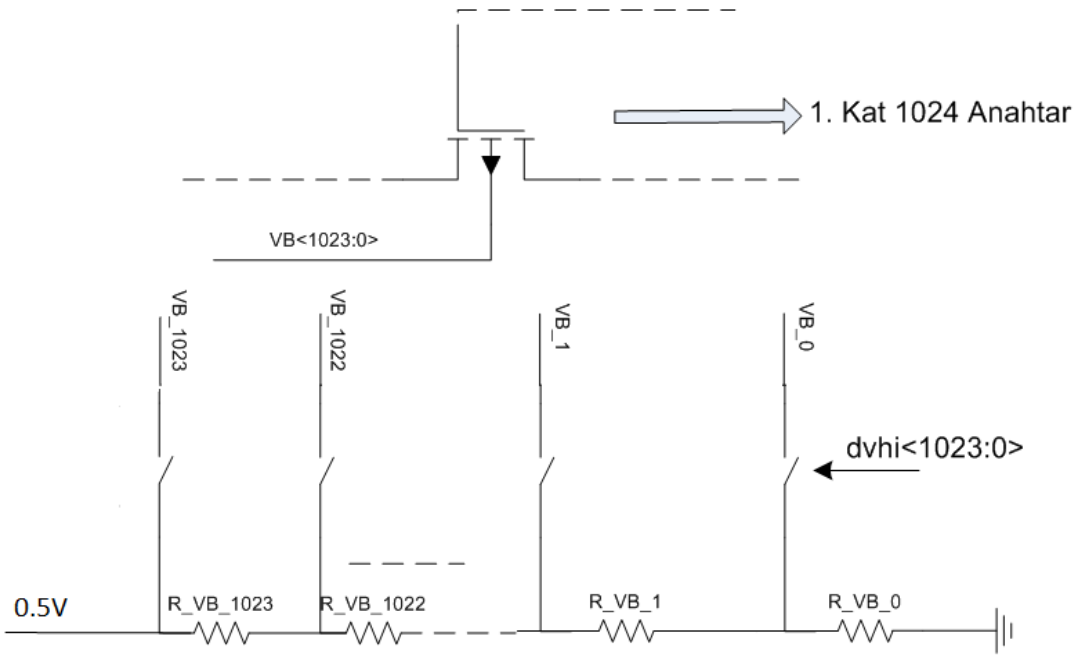
geçildiğinde ise gövde tekrar toprağa çekilir. Sabit V_{GS} yapısına ek olarak Şekil 4.3'deki sabit V_{BS} yapısının kurulması durumda SFDR performansı Çizelge 4.5'de gösterilmiştir.

Çizelge 4.5: Sabit V_{GS} ve sabit V_{BS} yapısı ile SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	70 dB	88 dB	76 dB	84 dB

Bu mimaride de yine koda bağlı olarak yükselme düşme süreleri farklıdır. Bununla birlikte gövde – savak arasında yük enjeksiyonu ve clock feedtrough hata mekanizmaları baskın bir şekilde olmasa da yeni hata mekanizmaları oluştururlar. Bu sebeplere bu Şekil 4.3'deki mimariden performans alınamamıştır.

Şekil 4.3'deki yapının problemleri ve Şekil 3.25'daki kaçak akım problemi göz önüne alınırsa bir başka yöntem olarak DAC'ın çalışma aralığını yukarı çekerek tranzistör gövdeleri kaynak gerilimlerine göre daha aşağı ve orantılı bir gerilim seviyesine sürülebilir. Örneğin, DAC çalışma aralığı 1.2V-0.2V iken, 1.2V-0.7V aralığına çekilerek; tranzistör gövdeleri 0.5V-0V arasında farklı değerlere sürülebilirler. Bu şekilde kod bağımsız V_{BS} yapısı elde edilmiş olur. Bu mimari Şekil 4.4'de gösterilmiştir.



Şekil 4.4: DC kutuplama ile kod bağımsız V_{BS} mimarisi.

Sabit V_{BS} yapısı için Şekil 4.4'deki gibi bir mimari kullanıldığında ise SFDR performansı Çizelge 4.6'daki gibi olmaktadır.

Çizelge 4.6: Sabit V_{BS} yapısının DC kutuplama ile yapılması durumunda SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	73 dB	77 dB	75 dB	88 dB

Çizelge 4.6'da görüldüğü gibi kod bağımsız VBS efekti baskın bir efekt olmadığından Şekil 4.4 mimarisi de DAC SFDR performansını ciddi miktarda iyileştirememektedir.

Bir başka hata mekanizması da bölüm 3.3.3'de bahsedildiği gibi lineer olmayan overlap kapasitesidir. Bu problemin çözümü için iki farklı mimari önerilmiştir, birincisi kod bağımsız V_{GD} gerilimi yapısı diğeri ise PMOS yük transistörleri eklemek. Bu iki yapı da sistemde sadece bir hata mekanizması varken problemi çözmektedir. Ancak sistemde var olan diğer lineer olmayan yapılarla birlikte düşünüldüğünde çeşitli dezavantajları vardır. Lineer olmayan overlap kapasitelerine ters davranış gösterecek PMOS yük ekleme yöntemi sinyal hattı üzerindeki kapasiteyi ciddi miktarda arttırmaktadır. Şekil 3.37'de gösterildiği gibi bu yük transistörleri eklendiğinde daha lineer bir yapı elde edilse de yine bir lineersizlik durumu vardır. Bununla birlikte sinyal hattı üzerindeki direnç her ne kadar sabit tutulmaya çalışılsa da bu direnç koda bağlı olarak bir miktar değişmektedir (örneğin ikinci kattaki tranzistörlerin iletim direnci). Bu sebeple PMOS yük ekleme yöntemi sistemi yavaşlattığından çıkışın oturma zamanı (settling time) süresince varolan hata mekanizmalarının etkinliğini arttırmaktadır. Bu yöntemin dezavantajlı taraflarındandan biri de budur.

Çizelge 4.7: Sabit V_{GD} yapısının SFDR'a etkisi.

Harmonik	2.	3.	4.	5.
Genlik	74 dB	82 dB	69 dB	85 dB

Çizelge 4.7 ile Çizelge 4.3 karşılaştırılmalıdır, çünkü transistörlerin geçitleri ideal devreler ile sürülmüştür. Bu analizden görüldüğü gibi, sabit V_{GD} mimarisi baskın olan yük enjeksiyonu hata mekanizmasının etkisini arttırdığı için DAC'ın SFDR performansı kötüleşmektedir. Bu sebeple bu mimari gerçeklenmemiştir.

Yük enjeksiyonu hata mekanizmasının daha iyi anlaşılabilmesi ve büyüklüğünün gösterilebilmesi amacıyla dört farklı simülasyon senaryosu tasarlanmıştır.

Birinci senaryo olarak sabit V_{GS} yapısını oluşturan direnç dizesi ideal model olarak kullanılmış ve diğer bütün bloklar için gerçek devreleri kullanılmıştır. Bu analiz Çizelge 4.3'de SFDR performansı verilen mimariyle aynıdır. Ancak anahtarların W (kanal genişliği) ve L (kanal boyu)'si iki katına çıkarılarak, yani 8um/0.7um, yük enjeksiyonu etkisi dört katına çıkarılmıştır. İdeal sabit V_{GS} yapısı kullanıldığından transistör boyutlarının değiştirilmesi ekstradan bir zamanlama problemi oluşturmamaktadır. Bu tasarıma ilişkin SFDR performansı Çizelge 4.8'da gösterilmiştir.

Çizelge 4.8: İdeal sabit V_{GS} yapısı varken yük enjeksiyonunu dört katına çıkarmanın SFDR performansına etkisi.

Harmonik	2.	3.	4.	5.
Genlik	65 dB	84 dB	63 dB	82 dB

Çizelge 4.8 ile Çizelge 4.3 karşılaştırıldığında, transistör boyutunu 4 katına çıkartmak ikinci ve dördüncü harmoniği ciddi miktarda etkilemiştir. Transistör boyutlarını 4 katına çıkarmak yük enjeksiyonunu 4 katına çıkarmakla birlikte transistör parazitik kapasitelerini de arttırmaktadır. Bu da daha önce bahsedilen doğrusal olmayan overlap kapasitesi hata mekanizmasının etkisini arttırmaktadır. Sistemde varolan baskın hata mekanizmasını anlayabilmek adına ikinci bir simülasyon senaryosu analiz edilmiştir. Bu senaryoda teknoloji model dosyası değiştirilerek transistör overlap kapasitesi sıfırlanmıştır. Bu analize ilişkin SFDR performansı Çizelge 4.9'da gösterilmiştir.

Çizelge 4.9: İdeal sabit V_{GS} yapısı ile transistör boyutları 4 katına çıkartılıp, overlap kapasiteleri sıfırlandığında SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	70 dB	86 dB	75 dB	90 dB

Çizelge 4.9 ile Çizelge 4.8 karşılaştırılırsa görülecektir ki, doğrusal olmayan overlap kapasitesi ve doğrusal olmayan clock feedthrough büyük boyutlu transistörler için baskın hata mekanizmaları olarak karşımıza çıkmaktadır. Overlap kapasiteleri sıfırlanarak ve transistör boyutları yine eski haline getirilerek, yani 4um/0.35um, üçüncü simülasyon senaryosu hazırlanmıştır. Bu analizde tespit edilen SFDR performansı Çizelge 4.10'de verilmiştir.

Çizelge 4.10: İdeal sabit V_{GS} yapısı varken overlap kapasitelerinin sıfırlanmasının SFDR'a etkisi.

Harmonik	2.	3.	4.	5.
Genlik	75 dB	91 dB	77 dB	85 dB

Çizelge 4.3 ile Çizelge 4.10 karşılaştırıldığında görülmektedir ki, küçük boyutlu transistörler için baskın hata mekanizması doğrusal olmayan overlap kapasitesi ve clock feedthrough değildir, yük enjeksiyonudur.

İncelenen son üç senaryoda mevcut tasarımda en baskın hata mekanizması yük enjeksiyonudur. Anahtarlama sırasında yük bir miktar kaynak terminaline, bir miktar da savak terminaline dağılır (veya terminallerden çekilir). Kaynak tarafından dağılan yük direnç dizesindeki RC ağı üzerinden belli bir zaman sabiti ile toprağa akacaktır. Savak ucundan dağılan yük ise OPAMP giriş kapasitelerine aktarılacak ve iki kod arasındaki yük farkı anahtarlar ve direnç dizesi üzerinden boşalacaktır. Dördüncü senaryo olarak, direnç dizesi sadece ideal gerilim kaynakları ile tasarlanmış ve kaynak tarafına olan yük enjeksiyonu etkisi sistemden çıkartılmıştır. Bu mimariye ilişkin SFDR performansı Çizelge 12'de gösterilmiştir.

Çizelge 4.11: İdeal sabit V_{GS} yapısı ile ideal direnç dizesi varken DAC SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	76 dB	93 dB	79 dB	86 dB

Çizelge 4.3 ile Çizelge 4.11 karşılaştırıldığında görülmektedir ki, sistemde baskın olan hata mekanizması direnç dizesi üzerine dağılan yük değil, transistörün savak terminalinden OPAMP girişine doğru olan yük enjeksiyonudur. Anahtarlama sırasında iki kod arasındaki yük farkı büyük bir RC zaman sabitiyle (seri anahtarlar ve direnç dizesi) boşalarak sistemde varolan, ihmal edilemeyecek bir hata mekanizması oluşturmaktadır.

Bütün bu hata mekanizmaları ve mimari problemleri göz önüne alınırsa, anahtar boyutlarının seçiminin oldukça önemli bir tasarım kararı olduğu görülür. Anahtar boyutları büyüdükçe sistem hızlanmakta ancak yük enjeksiyonu, clock feedthrough gibi efektler etkisini arttırmaktadır. Bununla birlikte açık anahtarların parazitik kapasiteleri de artacağından anahtar boyutlarını büyütmek bir noktadan sonra sistemi hızlandırmaktan çok yavaşlatabilmektedir. Bütün bloklar için gerçek devreler

kullanılarak çeşitli anahtar kanal genişliklerine göre SFDR'ın nasıl değiştiği incelenmiş ve Çizelge 4.12'de gösterilmiştir.

Çizelge 4.12: Anahtar boyutlarının SFDR'a etkisi.

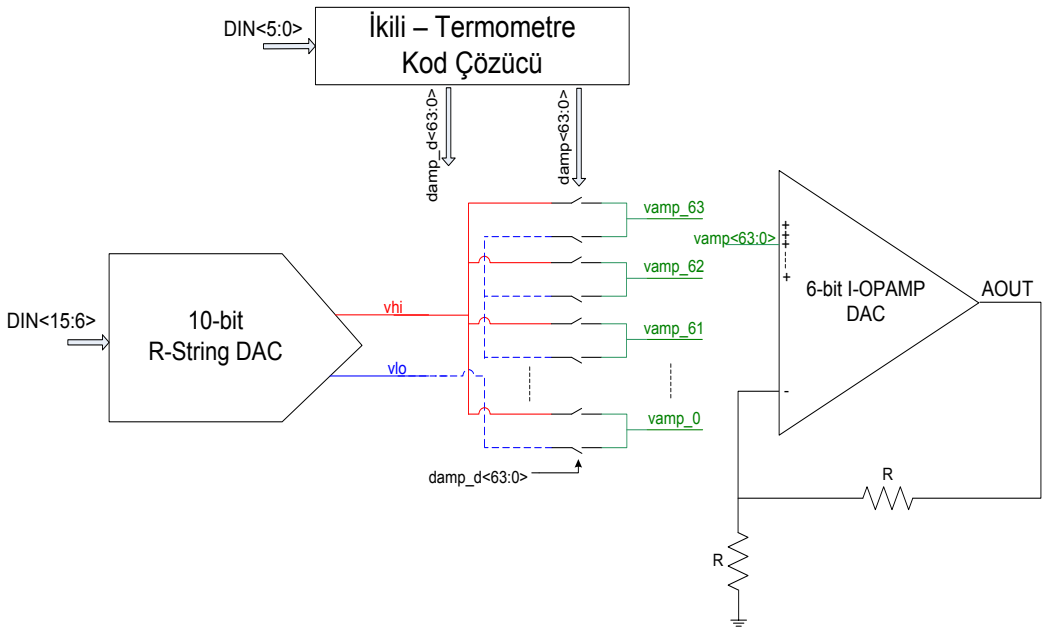
W	1	2	4	8	16
SFDR	62 dB	67 dB	72 dB	69 dB	60 dB

Bu analiz sonucuna göre birinci ve ikinci kat anahtar boyutları 4um/0.35um olarak seçilmiştir.

4.3. OPAMP Giriş Anahtarları Tasarımı

Bu tez çalışmasında 10-bit R-String DAC ve çıkışında 6-bit interpolasyon OPAMP ile 16-bit gerilim çıkışlı DAC mimarisi kurulmuştur. 6-bit çözünürlüğü elde edebilmek için ikili – termometre kod çözücü (binary-to-thermometer decoder) kullanılmıştır. Bu termometre kod çıkışları 64 tane iki girişli çoklayıcının seçme girişlerini oluşturmaktadır.

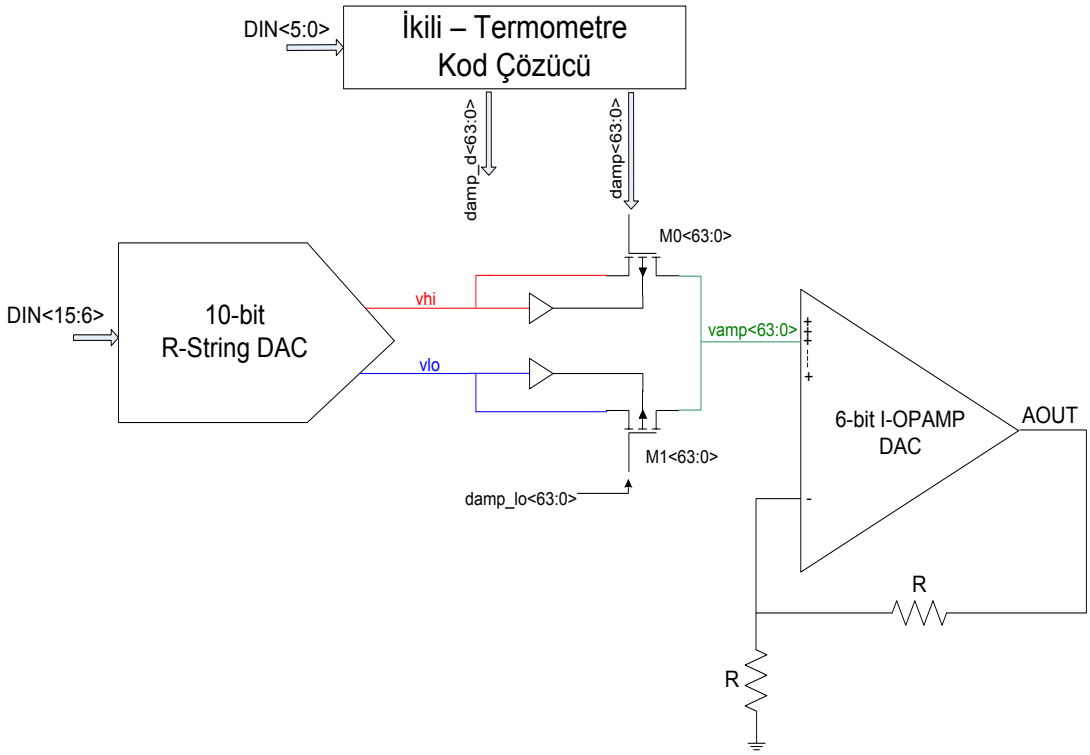
Şekil 4.5'de bu yapı gösterilmiştir.



Şekil 4.5: İnterpolasyon OPAMP DAC ve çoklayıcı yapısı.

Bölüm 3.1'de bahsedildiği gibi Şekil 4.5'deki yapıda vhi ve vlo sinyal hatlarında görülen koda bağlı OPAMP giriş kapasitesi farklı olduğundan dominant bir hata mekanizması oluşmaktaydı. Bu hata mekanizmasını giderebilmek için 64 tane daha çoklayıcı konularak seçme girişleri diğer 64 çoklayıcıya ters olacak şekilde tasarlanmış ve bu çoklayıcı çıkışları OPAMP girişlerine eşlenik olan bir yüke bağlanmıştır. Bu mimari taslağı Şekil 3.5'de gösterilmiştir.

Bununla birlikte çoklayıcıyı oluşturan anahtarların iletim direncinin koda bağlı değişiminin bir hata mekanizması oluşturabileceği düşünülebilir. Ancak her durumda 64 tane açık anahtların bulunması ve bu anahtarların birbirine paralel bağlı olması bu anahtarların iletim dirençlerinden gelen sinyal hattı üzerindeki eşdeğer direncin çok küçük olmasına sebep olur ve dominant bir hata mekanizması oluşturmamaktadır. Yine de kod bağımsız V_{GS} yapısı kurularak daha lineer iletim direnci elde edilebilir ancak Şekil 4.2'deki mimari için bahsedilen koda bağlı yükselme ve düşme süreleri daha baskın bir hata mekanizması oluşturmaktadır. Bu sebeple kod bağımsız V_{GS} yapısı çoklayıcı anahtarları için tasarlanmamıştır. Bununla birlikte gövde etkisi sebebiyle koda bağlı eşik geriliminin değişmesinden kaynaklı hata mekanizması, bütün çoklayıcı anahtarlarının gövdesi tampon (buffer) kullanılarak vhi veya vlo değerine sürülerek giderilebilir. Şekil 4.6'da çoklayıcı anahtarlarının tasarımı gösterilmiştir.



Şekil 4.6: Çoklayıcı anahtar mimarisi tasarımı.

Çizelge 4.2'de performansı gösterilen DAC mimarisinde de Şekil 4.6'daki mimari gerçeklenmiştir. Yani OPAMP giriş anahtarlarının gövdeleri bir tampon yardımıyla vhi ve vlo gerilim seviyeleriyle sürülmektedir. Bu mimarinin gerçeklenmediği yani bu anahtarların gövdesinin toprağa bağlanması ve anahtar boyutlarının yine 1um/0.35um olması durumundaki SFDR performansı Çizelge 4.13'de gösterilmiştir.

Çizelge 4.13: OPAMP giriş anahtarlarının gövdesinin toprağa bağlanması durumundaki SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	70 dB	81 dB	77 dB	86 dB

Çizelge 4.2 ile Çizelge 4.13'deki performans sonuçlarını karşılastırarak bu mimarinin bir miktar iyileşme sağladığını söyleyebiliriz.

Şekil 4.6'deki mimaride anahtar büyüklüklerinin seçimi de önemlidir. Yük enjeksiyonu ve clock feedthrough problemleri bu mimaride yoktur. Çünkü bir anahtar açılırken yine aynı özelliklerde, kutuplamada bir başka anahtar da kapanmaktadır. Anahtar boyutlarının büyük olması problem olmasa da her kod için varolan 64 açık (iletimde olmayan) anahtarın kod bağımlı overlap kapasitesi anahtar boyutları büyüdükçe daha baskın bir hata mekanizması oluşturmaktadır. Bununla birlikte her kod için iletimde olan 64 anahtarın birbirine paralel olduğu ve iletim direncinin yüksek olmasından dolayı anahtarların iletim direncinin büyük olmasının büyük bir hata mekanizması oluşturmayacağı düşünülerek anahtarlar minimum boyutta seçilerek tasarım yapılmıştır. Çoklayıcı anahtarları 0.8um/0.35um boyutlarında tasarlanmıştır. Bu tasarıma ilişkin 1 MHz'lik çıkış işareti için SFDR performansı Çizelge 4.15'de gösterilmiştir.

Çizelge 4.14: Herşey gerçek devre iken DAC SFDR performansı.

Harmonik	2.	3.	4.	5.
Genlik	72 dB	89 dB	78 dB	87 dB

5. SONUÇ

Bu tez çalışmasında Şekil 1.12 mimarisi referans alınarak bu mimarinin dinamik hata mekanizmaları incelenmiştir. Çalışmalar sonucunda 8 temel hata mekanizması bulunmuş ve bu hata mekanizmalarını için çeşitli mimariler önerilmiştir.

RC zaman sabitinin koda bağlı değişiminin SFDR'ı olumsuz etkileyen baskın bir efekt olduğu gösterilmiş ve ilk olarak OPAMP giriş kapasitesinin koda bağlı değişiminin SFDR performansına etkisi gösterilmiştir. Sadece bu hata mekanizması bile diğer bütün bloklar ideal modelleriyle kullanıldığı durumunda 1 MHz'deki SFDR'ı 75 dB'ye düşürmektedir. Bu hata mekanizmasının çözümü için işlevsiz yeni bir OPAMP sisteme konularak ve çoklayıcı anahtarları ters yönde anahtarlanarak kod bağımsız OPAMP giriş kapasitesi elde edilmiş ve 1 MHz'deki SFDR 106 dB'lere çıkarılmıştır.

İkinci hata mekanizması, direnç dizesinden görülen koda bağlı eş değer dirençtir. Her kod için bu dizeden görülen eş değer direncin farklı olması koda bağlı RC zaman sabiti oluşturur ve tek başına oldukça baskın bir hata mekanizmasıdır. Bütün diğer bloklar için ideal modelleri kullanıldığı durumda bile SFDR performansı 1 MHz'de 66 dB'dir. Bu hata mekanizması direnç dizesine her kod için farklı değerde seri birer direnç koyularak çözülmüştür ve 1 MHz'deki SFDR performansı 66 dB'den 104 dB'ye çıkartılmıştır.

Direnç dizesinden gerilim seçen anahtarların koda bağlı olarak V_{GS} geriliminin değişmesi ve buna bağlı olarak da iletim dirençlerinin değişmesi RC zaman sabitinin koda bağlı değişmesine sebep olur ve yeni bir hata mekanizmasını oluşturur. Koda bağlı iletim direncini sabit tutabilmek için uzun yıllardır kullanılan sabit V_{GS} yapısına ek olarak Şekil 4.3 ve Şekil 4.4'de gösterilen iki farklı sabit V_{BS} yapısı önerilmiştir.

Açık anahtarların overlap kapasitelerinin V_{GD} gerilimine bağlı değiştiği ve bunun kod bağımlı RC zaman sabitine yol açtığı gösterilmiştir. Bu dinamik hata mekanizmasının çözümü içinse Şekil 3.34'deki sabit V_{GD} yapısı önerilmiştir.

Anahtarlama sırasında meydana gelen yük enjeksiyonu ve clock feedthrough problemlerinin de baskın bir hata mekanizması oluşturduğu gösterilmiştir. Sabit V_{GD} yapısının yük enjeksiyonu hata mekanizmasının etkisini iki katına çıkardığı gösterilmiş ve sabit V_{GD} yapısı gerçeklemesi yapılmamıştır.

Tespit edilen hata mekanizmalarının baskınlık derecesine göre sınıflandırılması Çizelge 5.1'de verilmiştir.

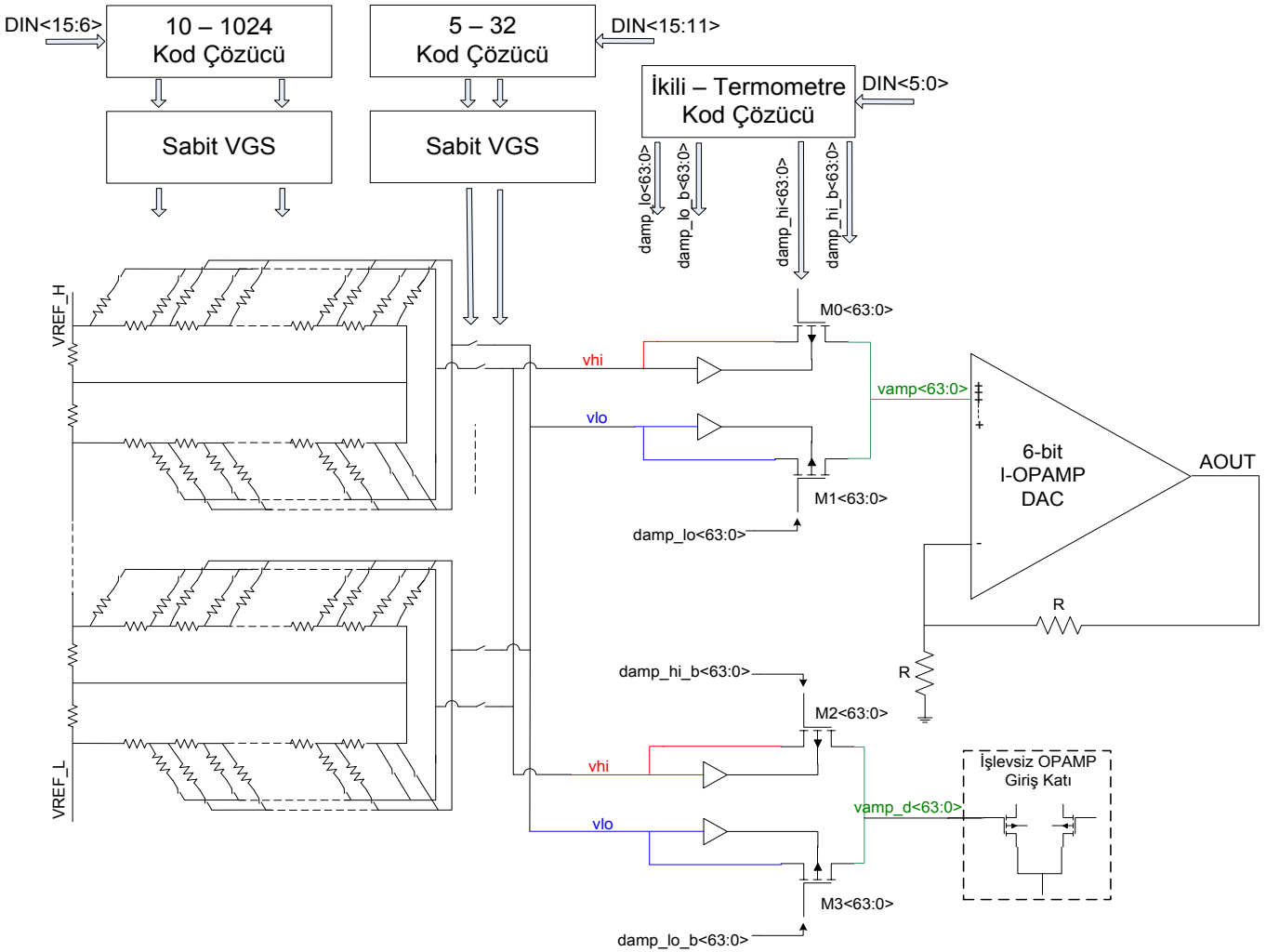
Çizelge 5.1: Hata mekanizmalarının tahmini baskınlık dereceleri.

Baskınlık Derecesi	Hata Mekanizması
1	Kod bağımlı OPAMP giriş kapasitesi
2	Kod bağımlı R-String eşdeğer direnci
3	R-String anahtarları için kod bağımlı V_{GS}
4	Yük enjeksiyonu
5	İkinci kat kapalı anahtarlar için çıkış bağımlı $C_{GD\text{-}ovlp}$
6	Sabit V_{GS} anahtarlar için saat ileri beslemesi farkları
7	OPAMP giriş anahtarlarının koda bağlı eşik gerilimi
8	R-String açık anahtarlarının direnç değişimi: Kod bağımlı V_{BS}
9	Anahtarlama zamanlaması ve sıralanması
10	R-String'e bağlı kapalı anahtarlar için lineer olmayan $C_{GS\text{-}ovlp}$

Bu tez çalışması sonucunda tasarlanan mimari Şekil 5.1'de gösterilmiştir. Bu mimariye ilişkin tasarım detayları bölüm 4'de verilmiştir.

Sonuç olarak; 1 MHz'de 54 dB, 200 KHz'de 64 dB SFDR performansı olan Şekil 1.12 mimarisi referans olarak alınarak yapılan iyileştirmelerle birlikte 1MHz'de 72 dB, 200KHz'de 90 dB SFDR performansına sahip DAC mimarisi önerilmiştir. Çıkış frekansına göre referans mimari ile bu tez çalışmasında gerçeklenen mimarinin SFDR performansının karşılaştırılması Şekil 1.15 ve Şekil 1.16'de verilmiştir.

Bu tez çalışması sırasında çıkıştaki ara bulan OPAMP ideal model olarak kullanılmıştır. OPAMP'ın doğrusal olmayan davranışı DAC'ın doğrusallığını da bozabilmektedir. Gelecek çalışmalarda 1 MHz'de yüksek doğrusallığa sahip I-OPAMP DAC mimarisi üzerinde çalışılabilir.



Şekil 5.1: Bu tez çalışmasında önerilen 16-bit DAC mimari şeması.

KAYNAKLAR

[1] **M. J. M. Pelgrom.** (1990). "A 10-b, 50 MHz D/A Converter with 75 ohm Buffer", vol 25, no 6.

[2] **A. Yilmaz.** (2001). "LSB Interpolation Circuit and Method for Segmented Digital to Analog Converter", US patent, US6246351.

[3] **DAC8580 datasheet.** Alındığı tarih: 27.04.2012. www.ti.com

[4] **T. Kuyel.** (2007). "High Speed, High Resolution Voltage Output Digital to Analog Converter and Method", US patent, US7283082.

[4] **T. Kuyel.** (2007). "High Speed, High Resolution Voltage Output Digital to Analog Converter and Method", US patent, US7283082.

[5] **T. Kuyel.** (2006). "All Digital Calibration of String DAC Linearity Using Area Efficient PWL Approximation: Eliminating Digital Division and Hardware Search", US patent, US7002496.

[6] **K. Parthasarathy, T. Kuyel, Y. Zongjun , D. Chen, R. Geiger.** (2005). "A 16-bit Resistor String DAC with Full Calibration at Final Test", IEEE International Test Conference, pp. 75-85.

[7] **Andrew G. F. Dingwall, Victor Zazzu.** (1985). "An 8-MHz CMOS Subranging 8-Bit A/D Converter", IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 6.

[8] **AD5516 datasheet.** Alındığı tarih: 26.04.2012. www.analog.com

[9] **DAC8420 datasheet.** Alındığı tarih: 20.04.2012. www.analog.com

[10] **Victor Paul Schrader, James Lee Brubaker.** (1999). "Interpolation Circuit For Digital- to-Analog Converter", US Patent, US5859606.

[11] **DAC8581 datasheet.** Alındığı tarih: 22.04.2012. www.ti.com

[12] **Yuhua Cheng, Chenming Hu.** (2002) "MOSFET modeling & BSIM3 user's guide", Kluwer Academic Publishers, pp. 184-188.

[13] **Ju-Young KIM, Min-Kwon CHOI, Seonghearn LEE.** (2011). "RF Extraction of Gate-voltage Dependence of the Overlap and Fringing Capacitances n Deep-Submicron MOSFETs", Journal of the Korean Physical Society, Vol. 59, No.2, pp. 421-424.

[14] **Jonathan Yu.** (2010). "Charge Injection and Clock Feedthrough", San Jose State University, MSc Thesis.

[15] **E. Garnier, A. Tetelin, Ph. Marchegay.** (2002). "Cancellation of Charge Injection Error on Switched Current Divider Circuits for Accurate d/A Converters", International Measurement Conference.

[16] **Michael K. Mayes.** (1991). "Charge Injection Cancellation in Analog-to-Digital Converters", San Jose State University, MSc Thesis.

[17] **Giuseppe Massobrio, Paolo Antognetti.** (1993). "Semiconductor Device Modeling With SPICE", McGraw-Hill Inc.

EKLER

EK A: MATLAB Kodu
EK B: Kod Çözücü Verilog Kodu
EK C: Unix Ortamı İle İlgili Bilgiler

EK A

```
% bu kod esdeger direnc hesabı icin olusturulmustur.
loop_size = 16;
res_value = 16;
total_res_number = 1024;
total_loop_number = total_res_number/loop_size;

r_eq = zeros(1025,1);
comp_r_eq = zeros(1025,1);
de_lower_total_res = zeros(1025,1);

R1 = 0.0;
R2 = 0.0;
R3 = 0.0;
R4 = 0.0;
R5 = 0.0;
RS = 1;
Rc = 1;

for i = 0:1:1024

code_number = i;

loop_number = floor(code_number/loop_size);
res_num_in_loop = code_number - loop_number*loop_size;
upper_total_res = loop_number*(16*res_value/17);
lower_total_res = (total_loop_number-loop_number-1)*(16*res_value/17);

R4 = upper_total_res;
R5 = lower_total_res;

upper_in_loop = res_num_in_loop*res_value;
lower_in_loop = (loop_size-res_num_in_loop)*res_value;

R1 = upper_in_loop;
R2 = lower_in_loop;

R3 = res_value;
RL = RS + Rc;

a = [(R2+R5+RL),(-1*RL),(-1*R2),(-1*R5); ...
   (-1*RL),(R3+2*RL),(-1*R3),0; ...
   (-1*R2),(-1*R3),(R1+R2+2*R3),(-1*R3); ...
   (-1*R5),0,(-1*R3),(R3+R4+R5)];

b = [1;0;0;0];
c = inv(a)*b;

r_eq(i+1) = 1/c(1);
% Rc = 1500 - 1/c(1);

end

%add_res_comp = max(r_eq) - r_eq;
```

```
add_res_comp = 350 - r_eq;


figure(1);plot(r_eq);xlabel('Kod');ylabel('R-String Esdeger Direnci (Ohm)');
figure(4);plot(add_res_comp);xlabel('Kod');ylabel('Kompanzasyon Direnci (Ohm)');


res_print = 0.0002*add_res_comp;

% printing the subcircuit
fid = fopen('comp_res_512_final', 'w');
fprintf(fid, '.subckt subcircuit ');
for i = 0:1:63
   for j = 0:1:15
      fprintf(fid, 'res_in<%d> ', i*16+j);
   end
   fprintf(fid, '\n+');
end
fprintf(fid, 'res_in<%d> ', 1024);
for i = 0:1:63
   for j = 0:1:15
      fprintf(fid, 'res_out<%d> ', i*16+j);
   end
   fprintf(fid, '\n+');
end
fprintf(fid, 'res_out<%d> \n\n', 1024);

for i = 0:1:1024
   fprintf(fid, '   R%d res_in<%d> res_out<%d> %.1f \n', i, i, i, res_print(i+1));
end

fprintf(fid, '.END');

fclose(fid)
```

EK B

```
// DAC anahtarlari icin kod cozucu tasarimi
`timescale 10ps/1ps


module dac_decoder (DIN, DVLO, DVLO_b, DVHI, DVHI_b, DVLO_2, DVLO_2_b, DVHI_2,
DVHI_2_b, DAMP, DAMP_b, CLK );

input  CLK;
input  [15:0]   DIN;
output [1023:0] DVLO;
output [1023:0] DVLO_b;
output [1023:0] DVHI;
output [1023:0] DVHI_b;
output [31:0] DVLO_2;
output [31:0] DVLO_2_b;
output [31:0] DVHI_2;
output [31:0] DVHI_2_b;
output [63:0]   DAMP;
output [63:0]   DAMP_b;

wire [1023:0] DVLO;
wire [1023:0] DVHI;
wire [63:0]   DAMP;
wire [31:0] DVLO_2;
wire [31:0] DVHI_2;

reg [31:0]   dvhi_2_i;
reg [31:0]   dvlo_2_i;
reg [1023:0] dvlo_i;
reg [1023:0] dvhi_i;
reg [63:0]   damp_i;

wire [4:0] din_high_2;
wire [9:0] din_high;
wire [5:0] din_low;
reg [63:0] damp_temp;


assign din_high_2  = DIN[15:11];
assign din_high    = DIN[15:6];
assign din_low     = DIN[5:0];


always @ (din_high)
begin

   dvlo_i = 0;
   dvhi_i = 0;

   dvlo_i = 1 << (din_high);
   dvhi_i = 1 << (din_high);

end

always @ (din_high_2)
begin

   dvlo_2_i = 0;
```

```
   dvhi_2_i = 0;

   dvlo_2_i = 1 << (din_high_2);
   dvhi_2_i = 1 << (din_high_2);

end

// '1' will select VLO; think like damp_n
always @ (din_low)
begin

   damp_temp = 64'b1111111111111111111111111111111111111111111111111111111111111111;

   damp_i = damp_temp << (din_low);

end

// cikislarin olusturulmasi
assign DVLO = dvlo_i;
assign DVHI = dvhi_i;
assign DAMP = damp_i;

assign DVHI_2 = dvhi_2_i;
assign DVLO_2 = dvlo_2_i;

// generate complemets
assign DVLO_b = ~(dvlo_i);
assign DVHI_b = ~(dvhi_i);
assign DAMP_b = ~(damp_i);

assign DVHI_2_b = ~(dvhi_2_i);
assign DVLO_2_b = ~(dvlo_2_i);


endmodule
```

EK C

Tasarım yeri:
/vlsi/projects/TMSETOPCU/db/cadence/lf_150/thesis

Tasarım ve simulasyon ortamı ile ilgili detaylı bilgiyi aşağıdaki dosyada bulabilirsiniz.
/vlsi/projects/TMSETOPCU/db/cadence/lf_150/README

ÖZGEÇMİŞ

Ad Soyad: Emre TOPÇU

Doğum Yeri ve Tarihi: Kars / 06.07.1987

Adres: İstanbul / Türkiye

E-Posta: eemret@gmail.com

Lisans: İstanbul Teknik Üniversitesi (2009)

TEZDEN TÜRETİLEN YAYINLAR/SUNUMLAR

- **Topcu E., Kuyel T.** (2012). "Investigating Static and Dynamic Error Mechanisms of D/A Converters". *EMEA CDNLive 2012*, May 14-16, 2012 Munich, Germany.